

# Manchester编码器的FPGA设计与实现

陈新坤\* 周东 余敬东

(电子科技大学 宽带光纤传输与通信系统技术国家重点实验室 成都 610054)

**【摘要】**介绍一种用现场可编程门阵列FPGA实现Manchester编码器的VHDL设计方案,给出了一些重要模块的VHDL源代码。该设计方案已经用QuartusII综合通过,并适配到具体的FPGA器件APEX20KE系列,时序仿真结果与理论相吻合,时序分析表明数据传输率可达22.5 Mb/s。

**关键词** 曼彻斯特编码器; 硬件描述语言; 现场可编程门阵列; 综合; 仿真

中图分类号 TN431.2 文献标识码 A

## Design and FPGA Implementation of Manchester Encoder

Chen Xinkun Zhou Dong Yu Jingdong

(State Key Laboratory of Broadband Optical Fiber Transmission and Communication Networks, UEST of China Chengdu 610054)

**Abstract** This paper presents a VHDL project of Manchester encoder with FPGA implementation and releases VHDL source code of some important modules. Using QuartusII2.1 of Altera company, the project has been synthesized and fitted to device APEX20KE series with speed. The result of timing simulation is accord with theory. And the timing analysis shows the data rate can be up to 22.5 Mbps.

**Key words** Manchester encoder; VHDL; FPGA; synthesis; simulation

Manchester码又称数字双相码,是一种时钟自同步编码技术,编码后数据包含了丰富的时钟信息。接收方可以利用数字锁相环(DPLL)提取出时钟信号,并利用该时钟信号从Manchester码中恢复出原始的二进制数据,这种编码方法带来的不利会导致所需的信道带宽是NRZ码的1~2倍<sup>[1]</sup>,其编码规则如表1所示。

表1 Manchester码编码规则

Original data	Encoded data
Logic 0	0 to 1 (upward transition at bit centre)
Logic 1	1 to 0 (downward transition at bit centre)

## 1 帧格式

Manchester编码器用于机载数据总线MIL-STD-1773中,每帧持续1  $\mu$ s,由20 bit组成。其中4~19 bit为编码器接收到的待编码数据,20 bit为校验位,对4~19 bit进行奇校验,1~3 bit为同步头,持续3 bit,是无效的Manchester码,用于表示帧类型,标识帧的开始,当前1.5 bit为高电平,后1.5 bit为低电平时表示命令/状态字,前1.5 bit为低电平,后1.5 bit为高电平时表示数据字,解码器可利用同步头提取位同步信息。

2002年12月20日收稿

\* 男 24岁 硕士生 主要从事机载数据总线协议芯片设计方面的研究

## 2 编码器的VHDL设计方案

根据模块化的设计原则<sup>[2]</sup>, 编码器可分成6个模块, 表示为数据位所处状态、尚未编码的数据位个数、移位寄存器、奇校验、帧的封装及三态输出。

### 2.1 编码器的逻辑设计<sup>[3, 4]</sup>

#### 2.1.1 编码器端口设计

rst为上电复位端, 低电平有效, stype表示帧类型, 高电平表示命令/状态字, 低电平表示数据字, clk8x为本地时钟, 频率为数据传输率的8倍, strobe则为选通信号, 持续1 bit的时间, 低电平有效, 此时编码器可将indat加载到内部寄存器, 16位的indat为待编码数据, mdo就是完整的帧数据, 持续20 bit的时间。

entity encoder is

```
port(rst:in std_logic;    --power on reset,active low
     stype:in std_logic;  --sync header type
     clk8x:in std_logic;  --clock,eight times of data rate
     strobe:in std_logic; --strobe indat to internal register,active low
     indat:in std_logic_vector(15 downto 0); --data sent to encoder
     mdo:out std_logic); --Manchester data out
```

end encoder;

#### 2.1.2 数据位的状态设置

由于本地时钟clk8x为数据传输率的8倍, 则每个数据位持续8个时钟周期的时间, 设置一8进制计数器表示数据位所处的位置。该计数器在时钟信号上升沿跳变, 复位信号rst或选通信号strobe有效时计数器清零。因数据选通信号strobe持续一个数据位的时间, 则计数值为1~4时表示数据位的前0.5 bit, 计数值为5、6、7、0时表示后0.5 bit。

#### 2.1.3 位计数器的设计

位计数器用于指示有多少位数据尚未编码, 由于每个数据位对应8个时钟周期, 位计数器只能每8个时钟周期计数一次。如前所述, 当用以表示数据位状态的计数器值为1~4时表示数据位的前0.5 bit, 计数值为5、6、7、0时表示后0.5 bit, 该位计数器在复位信号rst有效时计数器清零, 数据选通信号strobe有效时计数器赋初值20, 在时钟信号clk8x的上升沿且数据位的状态值为0时计数值减1, 当位计数值为20~18, 17~2, 1时分别表示同步头、数据位、校验位编码状态。

#### 2.1.4 移位寄存器的设计

移位寄存器的最低位表示当前待编码数据位, 只能每8个时钟周期移位一次。复位信号rst有效时将移位寄存器清零, 数据选通信号strobe有效时加载输入的16位待编码数据, 位计数值为17~2且位状态值为7时移位使能信号有效。

#### 2.1.5 奇校验生成器的设置

奇校验生成器用于对输入的16位数据进行奇校验, 生成校验位。复位信号rst有效时校验位置0, 或选通信号有效时校验位置1, 位计数值为17~2且位状态值为6时将校验结果反馈到输入端与当前待编码数据位进行进行异或运算。

#### 2.1.6 帧的封装

用于同步头、Manchester码的生成, 并按顺序封装成完整的帧结构。

```
--generate the frame
```

```
process(rst,clk8x)
```

```
begin
```

```
  if (rst='0') then
```

```
    mdo_reg<='0';
```

```
  elsif (clk8x'event and clk8x='1') then
```

```

if (word_cnt_en='1') then
  if (word_cnt="10100") then
    mdo_reg<=stype;
  elsif (word_cnt="10011" and pos_ind="101") then
    mdo_reg<=not stype;
  elsif (word_cnt<="10001" and word_cnt>="00010") then
    if (pos_ind="001") then
      mdo_reg<=shift_reg(0);
    elsif (pos_ind="101") then
      mdo_reg<=not shift_reg(0);
    end if;
  elsif (word_cnt="00001") then
    if (pos_ind="001") then
      mdo_reg<=parity;
    elsif (pos_ind="101") then
      mdo_reg<=not parity;
    end if;
  end if;
end if;
end if;
end process;

```

其中word\_cnt表示尚未编码的数据位个数，pos\_ind表示当前数据位所处状态。

### 2.1.7 三态输出

复位信号rst有效时三态使能信号置0，clk8x上升沿来临时若位计数值为20时三态使能信号置1，若位计数值为0且位状态值为1时三态使能信号置0。三态使能信号为1时三态门输出帧数据，使能信号为0时输出高阻态。

## 2.2 综合、仿真实验

Manchester编码器设计方案由QuartusII综合、验证、仿真，目标器件为APEX20KE系列，时序仿真结果完全正确，timing analysis显示clk8x时钟频率可达180 MHz，即可达到22.5 Mb/s的数据传输率，证明了该设计方案具有良好的可靠性。

Manchester编码器最初的设计方案是对本地时钟进行8分频，再将分频后的时钟与待编码数据进行异或运算来生成Manchester码，并通过其他逻辑关系来进行帧的封装，最后利用本地时钟通过一个D触发器将生成的帧数据送到输出端，结果始终达不到20 Mb/s的数据传输率。这是因为采用了多时钟域的设计方案，在跨时钟域时触发器的建立时间和保持时间冲突比较严重，在数字系统设计中采用单时钟域的设计方法更为可取。而不同的综合工具也可得到不同的综合结果，用QuartusII综合时，须将生成的帧数据再通过一个触发器，然后通过三态门送到输出端，不然同步头将会出现毛刺，而用LeonardoSpectrum综合则不存在这种情况。这是因为二者综合风格不同，前者由于无法从HDL描述中提取出时钟使能信号，生成的帧数据是门控输出，而后者可以从HDL描述中提取出时钟使能信号，生成的帧数据则是寄存器输出。

## 3 结束语

FPGA/CPLD器件的实现极大的方便了数字系统的设计，缩短了开发周期，并具备用户可编程特性。该系统性能高低取决于如何用HDL或原理图来描述数字系统及开发工具的性能。

### 参 考 文 献

- [1] 曹志刚, 钱亚生. 现代通信原理[M]. 北京: 清华大学出版社, 1998
- [2] Rogers C. A VHDL modeling guide[M]. A Product of the Standard Hardware And Reliability Program (SHARP), Technology Independent Representation of Electronic Products (TIREP) Project, 1994
- [3] 侯伯亨, 顾 新. VHDL硬件描述语言与数字逻辑电路设计[M](修订版). 西安: 西电出版社, 1999
- [4] Doulos. The VHDL golden reference Guide[M]. A Handy Desktop Reference for VHDL Designers, 1995

编 辑 孙晓丹

---

(上接第320页)

## 4 结 束 语

本文通过分析MIL-STD-1553/1773总线的总线控制器(BC)的实现结构, 引出了存储管理单元的设计问题, 对存储管理单元设计中的三个重要方面进行了分析, 得出了存储管理单元的控制流程图。本文所描述的主要是一个系统的总体设计过程, 在此基础上可采用常规的数字系统设计方法完成具体的设计。

### 参 考 文 献

- [1] MIL-STD-1553B. Military standard aircraft internal time division command/response multiplex DATA BUS[S]. Department Of Defence, 1975
- [2] MIL-STD-1773. Military standard fiber optics mechanization of an aircraft internal time division command/response multiplex DATA BUS[S]. Department of Defence, 1988
- [3] MIL-HDBK-1553A. Military handbook multiplex applications handbook[S]. Department of Defence, 1988

编 辑 徐培红