

# 基于自由二元判决图转换的可测性优化方法\*

章小兵\*\* 王 勇 陈光

(电子科技大学 CAT 研究室 成都 610054)

**【摘要】** 提出了一种基于自由二元判决图转换的可测性优化方法。该方法首先将电路转化为 FBDD 表达形式,然后用切换单元来替换 FBDD 中的节点,以形成易测的多级网络,再通过冗余的认定和消除来达到可测性逻辑优化的目的。与以前的可测性设计方法相比,这种方法适用于任意电路,特别是规模较大、不能用两级逻辑表达的电路。

**关键词** 可测性; 优化; 冗余消除; 自由二元判决图

**中图分类号** TN407

在手工设计和逻辑综合产生的电路中,一般都存在冗余,它以多余的门或连线的形式出现。虽然它们并不影响电路的功能,但会使电路的可测性变差<sup>[1]</sup>。因此,冗余的认定和消除对电路的可测性有着积极的意义。但是,冗余认定和消除非常复杂。Hayes 指出了冗余电路的一些特性<sup>[1]</sup>,但仅适用于理论上的分析。目前冗余认定和消除方法有两种:测试生成方法和非测试生成方法<sup>[2-4]</sup>。前一种方法需要大量重复的测试向量生成,需要大量的时间。相对而言,后一种方法比较省时,但一般不能完全认定和消除冗余,还需要用前一种方法来对电路中剩下的少数冗余作进一步的处理。

近年来,通过逻辑合成产生易测或可测电路的方法引起了广泛兴趣<sup>[5]</sup>。本文提出了一种基于自由二元判决图转换的可测性逻辑优化方法,能优化电路的可测性。该方法产生的切换模块结构很适用于熔丝体系的可编程门阵列中,因此可将它嵌入到逻辑合成中,以生成实用的可测电路。

## 1 概 念

BDD 是一种带标号的有向无环图。它有两种类型的节点,一种是终节点(标记为 1 或 0),代表逻辑常数 1 或 0;另一种是非终节点,由一个逻辑变量(标记为  $x$ )和两个输出边组成。该节点的两个输出边指向的节点分别表示其父节点代表的函数在  $x$  取 1 和 0 时的值。

约简二元判决图在 BDD 的基础上按如下两条规则进行化简: 1) 合并同构子图; 2) 删除 1 边和 0 边都指向同一节点的节点。RBDD 不存在冗余的子图,删去 RBDD 中任一子图都将改变它所代表的函数。

自由二元判决图是在 RBDD 的基础上,增加了一条变量的限制:从根节点到终节点的任一路径上,每个变量至多出现一次。但是 FBDD 没有规定每个变量出现的顺序。

在实现函数  $f$  的电路中,若对于故障  $T$  有  $f_T = f$ ,则不存在检测  $T$  的测试(即  $f \oplus f_T = 1$ ),称  $T$  为不可测故障,这种电路对故障  $T$  而言称为冗余电路。本文研究单呆滞故障,文中的冗余都是相对于单呆滞故障的冗余。

① 1996 年 6 月 5 日收稿  
\* 国家“八五”重点科研项目  
\*\* 男 26 岁 博士生

## 2 BDD转换方法

电路的 BDD 表达形式忽略了具体的电路结构,只保留电路功能的信息。对其约简,还消除了电路中的冗余信息,增加了电路可测性。所以,通过将电路转换到 BDD,经过简约,再转换到多级电路,就能提高电路的可测度。

BDD 的构造方法很多<sup>[6,7]</sup>,其中一种是对电路函数进行香农展开,如图 1 所示。将 BDD 中的节点用如图 2 中的两输入的切换单元来替换,可以得到与原有电路功能等效的多级电路。显然,这种电路与其 BDD 一一对应,能更方便地分析和优化电路。

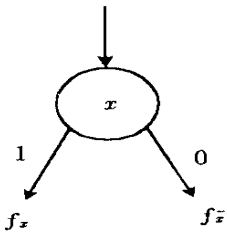


图 1 BDD 的一个节点

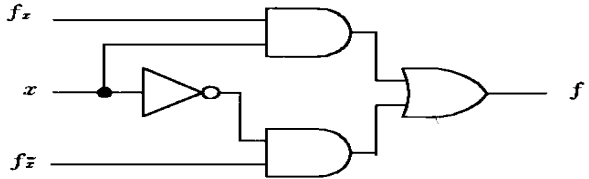


图 2 对应 BDD 一个节点的切换单元

下面给出从 BDD 向多级电路转换的定义。

定义 1 通过以下两步来将二元判决图  $G$  转换到多级电路转换:

- 1) 将  $G$  中每个节点 (见图 1) 用一个二输入切换单元 (见图 2) 替换,该单元实现节点函数  $f = x f_x + \bar{x} f_{\bar{x}}$ ,其中  $x$  是节点的判决变量

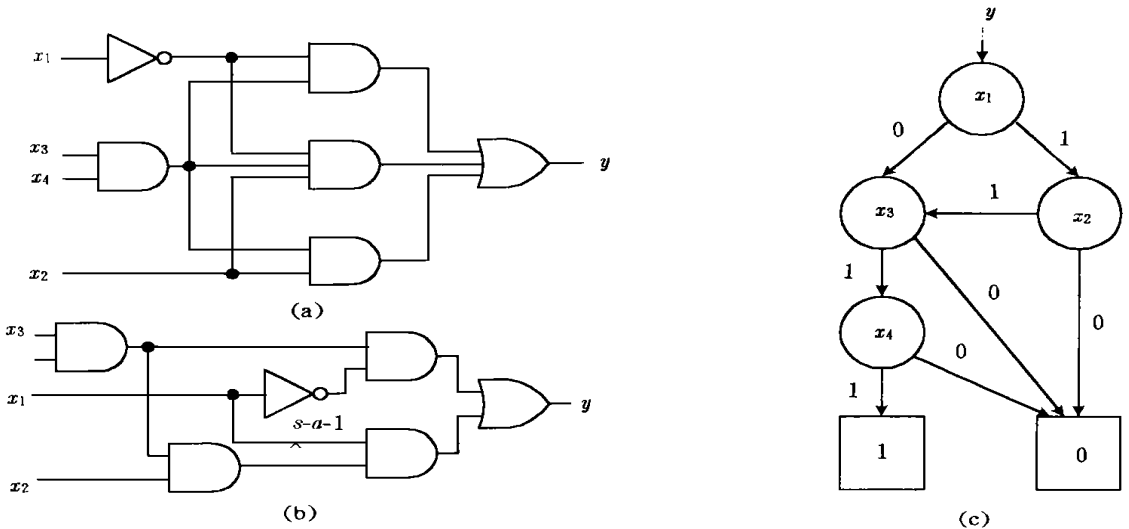


图 3 通过 BDD 转换为易测电路

- 2) 将上述电路中常 0 和常 1 向输出传播,化简电路,删去多余的门和连线

图 3 给出了一个转换例子。图 3a 是原始电路,虚框部分是冗余电路。图 3b 给出了电路的 BDD 形式,它去掉了图 3a 的结构信息和冗余信息。图 3c 是按定义 1 转换成的多级电路。其中,有的切换

单元由于有常量输入,在转换的第二步被化简,它对应于 BDD 中的至少一个输出边与终节点相连的节点。我们希望图 3c 是全可测的,然而,它有不可测的单呆滞故障,如图中标注的  $s-a-1$  故障

BDD 转换去掉了原始电路中的冗余,但又产生了少量新的冗余。下一节将证明新的冗余只局限于切换单元,并提出了相应的冗余认定和消除方法。

### 3 冗余的认定和消除

冗余的认定和消除对一般的电路而言比较复杂。首先证明几个对从 BDD 转换来的多级电路中的冗余认定有用的定理。

**定理 1** 按定义 1 得到的电路图 3c 中,切换单元的输入和输出端的单呆滞故障可测。

**证明** 如果对电路中的一点赋给常 1(或 0)值会改变电路的功能,则这点的单呆滞 1(或 0)故障是可测的。

BDD 中不直接与终结点相连的节点对应于图 3c 中的切换单元。假设图 3c 中切换单元  $M$  对 BDD 中的节点  $n$ ,则  $M$  的输入或输出上的单呆滞故障对应 BDD 中将节点  $n$  的相应输出边或输入边直接接到终节点,这都会删去 BDD 的一些子图。由于 FBDD 的正则性,删去任何子图都会改变 BDD 的逻辑功能。所以,按定义 1 得到的电路图 3c 中,切换单元的输入和输出端的单呆滞故障可测。 证毕

从 BDD 转换来的电路中,有一部分切换单元被化简了。我们忽略两个输入都是常量的情况(这样就直接连到原始输入),一个常量输入的切换单元被化简为两输入的与门(或或门),并可能在门的输入和输出端取非。下面的定理给出了这部分电路的可测性分析。

**定理 2** BDD 中直接与终节点相连的节点,其对应的切换单元被化简为一个两输入门,它的输入和输出上的单呆滞故障可测。

**证明** 假设图 2 中的  $f_{\bar{x}} = 1$ ,则图 3 中的切换单元化简为以  $\bar{x}$  和  $f_x$  为输入的或门。我们在这个假设下证明,其他情况也可相似证明。

由于  $f_x$  是  $f$  对  $x$  的香农展开, $x$  和  $f_x$  的取值相互独立,可见  $f_x$  的故障可以传播到门的输出。由于切换单元的任意输入的故障都可以传播到它的输出,所以任选一个包含  $f_x$  的从原始输入到原始输出的路径,将一个原始输入的值传播到  $f_x$ ,并将  $f_x$  的故障传播到原始输出的条件是信号在路径上各个门传播的条件互不冲突。由于在 FBDD 的定义中,从根节点到终节点的任意路径上一个变量至多出现一次,所以这个条件是可以满足的。可见  $f_x$  和门输出的故障是可测的。而这种被化简的门的另一输入  $x$  是原始输入,根据 FBDD 的定义,也是可测的。 证毕

根据定理 1 和定理 2,可以很容易得到下面结论。

**定理 3** 按定义 1 得到的电路中,只可能存在切换单元中与门的控制输入端的  $s-a-1$  故障。

上述三个定理,将电路中的单呆滞故障限制在切换单元控制端的  $s-a-1$  故障。从图 2 可见,故障不能传播的唯一限制是切换单元的两个输入被同时敏化到 1 对与门的正常控制端的  $s-a-1$  故障进行测试要求  $f_x = 1$ 。如果  $f_x = 1$  的输入赋值同时使得  $f_{\bar{x}} = 1 (f_x \bar{f}_{\bar{x}} = 0)$ ,故障就不能传播,该故障是不可测的。对与门的取非控制端的  $s-a-1$  故障,如果  $f_{\bar{x}} \bar{f}_x = 0$ ,该故障就不可测。由于  $f_x$  和  $f_{\bar{x}}$  的 BDD 是已知道的,可以用这种方法很方便地认定电路中的冗余故障。

冗余故障的消除方法则是比较经典的<sup>[1]</sup>。假定一个与门  $G$  的输入上的  $s-a-1$  故障是不可测的,那么在该线上设置一个固定的 1 值后,电路的功能不会变化。设置 1 值等于将与门的相应输入端去

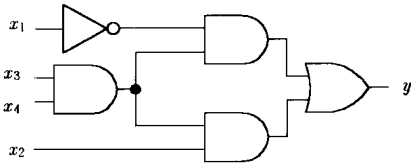


图 4 经过冗余消除的电路

掉。消除冗余的方法是:将不可测的切换单元的  $s-a-1$  故障的线与它的扇入断开, 设置为 1, 并将 1 后向传播, 化简电路

将图 3c 电路中的冗余消除后的电路如图 4 所示。同别的冗余消除方法一样, 冗余消除可能会引起少量新的冗余, 这可以用一般的消除方法来消除, 譬如通过测试生成的方法。通过 BDD 转换得到的特殊电路结构, 可以容易地使用 BDD 来完成这个任务。

## 4 结 论

本文介绍了一种对电路的可测性进行逻辑优化的方法, 它通过自由二元判决图进行一次转换文中证明了通过 FBDD 转换得到的电路中冗余只存在于切换单元的内部控制端, 并限于呆滞为 1 的故障。文中的例子说明了这种方法的正确性。与别的优化设计方法相比, 这种方法适用于任意电路, 特别是一些规模较大, 不能用两级逻辑表达的电路。

## 参 考 文 献

- 1 布鲁尔 M A, 弗里得曼 A D. 数字系统的诊断和可靠性设计. 北京: 人民邮电出版社, 1983
- 2 Abramovici M, Miller D T, Roy R K. Dynamic redundancy identification in automatic test generation. IEEE Trans on CAD, 1992, 11(5): 404~ 407
- 3 Brand D. Redundancy and don't cares in logic synthesis. IEEE Trans on Computers, 1983, C-32(10): 947~ 952
- 4 Menon P R, Ahuja H, Harihara M. Redundancy identification and removal in combinational circuits. IEEE Trans on CAD, 1994, 13(5): 646~ 651
- 5 Devadas S, Keutzer K. Synthesis of robust delay-fault-testable circuits: theory. IEEE Trans on CAD, 1992, 11(1): 87~ 101
- 6 Bryant R. Graph-based algorithms for boolean function manipulation. IEEE Trans on Computers, 1986, C-35(8): 677~ 691
- 7 Malik S, Wang Albert R, Brayton Robert K et al. Logic verification using binary decision diagrams in a logic synthesis environment. Proc Int'l Conf on CAD, 1988: 6~ 9

## ability Optimization Based on Free Binary Decision Diagram Transformation

Zhang Xiaobing Wang Yong Cheng Guangju

(CAT Research Lab, UEST of China Chengdu 610054)

**Abstract** This paper presents a testability optimization method based on free binary decision diagram transformation. In this method, circuit is first converted to FBDD representation, then converted to easily testable multi-level network by replacing BDD nodes with multiplexors, and finally converted to testable circuit by redundancy removal. The method's advantage over the classical ones is that it is suitable for almost arbitrary circuits, especially very large scale circuits that can not be represented by two-level logic.

**Key words** testability; logic optimization; redundancy removal; free binary decision diagram

编辑 徐培红