

· 学术论文与技术报告 ·

具有多优先级的 ATM 交换机的平均延时*

钱炜宏** 李乐民

(电子科技大学宽带光纤传输与通信系统技术国家重点实验室 成都 610054)

【摘要】 分析了 $N \times N$ 内部无阻塞输入/输出排队 ATM 反压型交换机在多优先级独立负载输入, 加速因子 $S \gg B$ (输出缓冲容量) 的情况下, 各优先级业务通过交换机的平均延时。计算机仿真结果表明理论分析是正确的。

关键词 交换机; 异步转移模式; 交换结构; 优先级; 信元延时

中图分类号 TN913.24

近年来有关宽带综合业务数字网 (BISDN) 中 ATM 交换机的研究很多^[1]。按缓冲器位置分类, 交换机有输入排队、输出排队、共享缓存和交叉点缓存等类型。输入排队交换机在每个输入端口都有独立的缓冲器, 来自不同输入端口的业务有可能同时要求输出至同一输出端口, 这就产生了所谓的排头阻塞问题, 这大大降低了输入排队交换机的吞吐量; 输出排队交换机在每一时隙允许所有到达的输入信元交换到输出缓冲器, 所以吞吐量接近 1, 但同时它要求输出缓冲器的操作速率为 $N \times$ 线路速率, 实现不易; 共享缓存交换机利用中心控制器解决排头阻塞问题, 但需要高速、复杂的存储器管理逻辑, 广播功能也不易实现; 交叉缓存交换机采用分布式控制逻辑解决排头阻塞, 但它的缓冲器数量和控制逻辑正比于 N^2 。输入/输出排队分组交换机能充分利用其内部的加速因子 (加速因子: 在一个时隙中排头虚队列中的信元能输到输出缓冲器中的数目) 来达到输出排队分组交换机的性能, 而电路工作速率可以减少很多。在输入/输出排队分组交换机中引入反压 (Backpressure) 机制, 能避免输出排队缓冲器溢出, 从而分组丢失只发生在较易实现的输入排队中, 因此输入/输出排队交换机目前被学术界广泛重视^[2-5]。另外针对 ATM 业务不同的服务质量要求 (QoS), 在 ATM 交换机中应采用优先排队机制。从文献 [1] 来看, 关于 ATM 交换机的研究大都处于无优先级的业务模型下。文献 [6, 7] 分析了两优先级业务下输入排队 ATM 交换机的最大吞吐量, 得出了优先级体制下分组交换机的吞吐量会比无优先级体制的吞吐量得到改善。近年来关于输入/输出排队分组交换机的分析都局限于无优先级体制的场合^[2-5], 本文将分析当加速因子 $S \gg$ 输出缓冲 B 时多优先级 ATM 交换机的平均延时。这种 $S \gg B$ 的分析是基于这样一个事实: 随着微电子科学的发展, 电路操作速率较大 (S 可以做得相当大), 交换机输入/输出端口数很大而在交换机实现时输出缓冲器容量受到限制。

1 系统模型

如图 1 所示, ATM 交换机是一 $N \times N$ 内部无阻塞的多优先级输入/输出排队分组交换机, 所交换的 ATM 信元具有固定的长度 (53 字节), 交换机的运行按同步时槽方式。在每个时槽中, 各优先级业务以独立贝努利过程到达各自的输入缓冲器, 并设优先级别有 R 个, 优先级顺序为: 级别 1

1996 年 10 月 28 日收稿

* 国家自然科学基金和电子部预研基金资助项目

** 男 26 岁 博士生

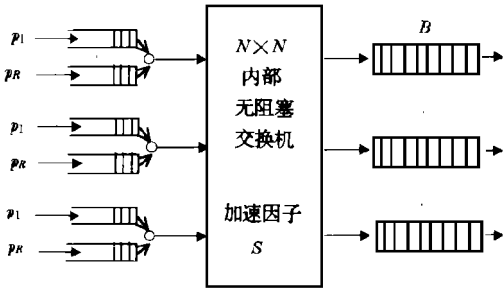


图 1 内部无阻塞分组交换机系统模型

> 级别 2> 级别 3> ...> 级别 R 设 R 种优先级业务分别以概率 p_1, p_2, \dots, p_R 的 Bernoulli 分布到达任一输入端, 设 p_1 对应最高优先级, p_R 对应最低优先级
 令 $d = \sum_{j=1}^i p_j$ 代表前 i 种优先级总的业务量 这样, 系统的稳定条件为 $d_k < 1$

1.1 输入排队的运行规则

各优先级别的信元以概率 p_1, p_2, \dots, p_R 按独立贝努利过程到达各自的输入排队缓冲器, 总的到达率 $p = p_1 + p_2 + \dots + p_R$, 见图 2a 在每个输入端口,

高优先级的信元在该端口排头为时空时比低优先级信元抢先占有该端口排头, 低优先级业务只有当高优先级输入缓冲器为时空时才会得到服务。成为该输入端口排头的信元与其他输入端口的排头一起以无优先级处理方式竞争输出, 到达任一输出端口的概率为 $1/N$ 。分析时我们可以任选一输入端口。

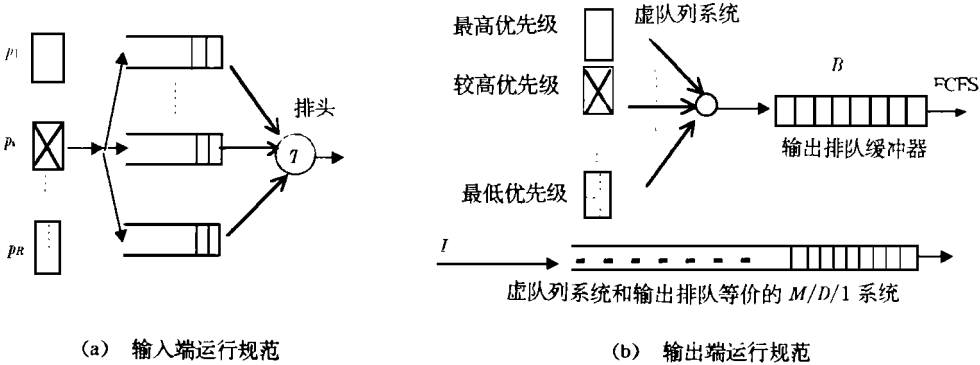


图 2 分组交换机输入/输出端口的运行规范

1.2 输出排队的运行规则

在输出排队中我们不考虑业务的优先级别而按照先来先服务 (FCFS) 的方式进行排队管理。每个时槽中有且仅有一个信元得到服务, 见图 2b。由于引入了反压机制, 输出排队不会溢出。在输入端口经仲裁的信元成为该输入端口的排头, 各输入排头独立地以概率 $1/N$ 输出至交换机输出缓冲器。输往同一输出排队系统的多个排头不分优先级, 是为了赋予各输入排队系统相同的服务概率。所以可以只分析任一指定的输出排队系统。对任一输出排队的排头虚队列, 同时到达该虚队列的信元的输出仲裁规则是随机的。

2 平均延时的分析

根据上一节的系统分析, 可知任一信元随机地经过三方面的延时才能得到输出, 定义如下:

Z_1 : 信元在成为本输入端口排头前在输入排队系统中的等待时间;

Z_2 : 信元在输出排头虚队列中的延时, 亦即信元从到达输出排头虚队列至仲裁输出到输出排队系统的等待时间;

W_0 : 信元在输出排队系统中的延时 Z_0 和发送延时 1 之和

2.1 输出端口的分析

为了便于分析,定义以下参数: $A(m)$ 为时隙 m 开始时到达输出排头虚队列的信元数; $R(m)$ 为在时隙 m 中经仲裁后留在输出排头虚队列中的信元数; $Q(m)$ 为在时隙 m 时输出排队系统中的信元数, $Q(m) \leq B$ 显然有

$$Q(m) = \max\{0, Q(m-1) + \min[B+1 - Q(m-1), S, R(m-1) + A(m)] - 1\} \quad (1a)$$

考虑到 $S > B, Q(m-1) \geq 0$, 有 $S \geq B+1 - Q(m-1)$, 所以式 (1a) 就可写为

$$Q(m) = \max\{0, Q(m-1) + \min[B+1 - Q(m-1), R(m-1) + A(m)] - 1\} \quad (1b)$$

又因为 $S > B$, 有 $R(m) = 0$ 时, $Q(m) < B; Q(m) = B$, 当 $R(m) > 0$ 所以输出排队系统 $Q(m)$ 和输出排头虚队列 $R(m)$ 能用一统一的排队系统来表示; 其到达过程是 $A(m)$, 服务过程是每时隙最多服务一个信元 令 $T(m) = R(m) + Q(m)$ 表示输出排头虚队列长度和输出排队系统队长之和, 则

$$T(m) = \max\{0, T(m-1) - 1 + A(m)\} \quad (2)$$

根据排队理论, 式 (2) 表征了一个 $M/D/1$ 排队系统, 如图 2a 所示. 因此有^[2]

$$\begin{cases} t_0 \equiv Pr(T=0) = 1-p \\ t_1 \equiv Pr(T=1) = (1-p)(e^p - 1) \\ t_j \equiv Pr(T=j) = (1-p) \sum_{i=1}^j (-1)^{j-i} e^{ip} \left[\frac{(ip)^{j-i}}{(j-i)!} + \frac{(ip)^{j-i-1}}{(j-i-1)!} \right] \quad j \geq 2 \end{cases} \quad (3)$$

式中 t_j 表达式中第二项当 $i=j$ 时忽略 当然该 $M/D/1$ 系统的到达过程满足 Poisson 分布, 即

$$a_j \equiv Pr(A=j) = \frac{p^j}{j!} e^{-p} \quad j \geq 0 \quad (4)$$

令 $W_{b,s}$ 表示因交换机引入反压而引起的延时, 即自从某信元到达其输入端口的排头直到该信元开始输出至它所对应的输出端口缓冲器所经历的时隙数, 即 $W_{b,s} \in \mathbb{Z}$; W_s 表示从某信元到达其输入端口的排头直到该信元在它所对应的输出缓冲器中输出到线路所经历的时隙数, W_s 所代表的延时是由于信元排头阻塞和输出排队竞争所引起的. 根据文献 [2] 可得

$$W_s(p) = \frac{p}{2(1-p)} \quad (5)$$

$$\bar{W}_s^2(p) = \frac{p(p^2 - p + 3)}{6(1-p)^2} \quad (6)$$

$$W_{b,s}(p) = \frac{T_B(p)}{p} \quad (7)$$

$$\bar{W}_{b,s}^2(p) = \frac{T_B^2(p)}{p} \quad (8)$$

其中

$$\bar{T}_B(p) = \bar{T} - B(1-t_0) + \sum_{j=1}^B (b+1-j)t_j \quad (9)$$

$$\bar{T}_B^2(p) = \bar{T}^2 - 2BT + B^2(1-t_0) - \sum_{j=1}^B (b+1-j)^2 t_j \quad (10)$$

且有

$$\begin{cases} T = \frac{p^2}{2(1-p)} \\ \bar{T}^2 = \frac{p^2(p^2 - p + 3)}{6(1-p)^2} \end{cases} \quad (11)$$

式 (9) (10) 中的 t_j 由式 (3) 定义, 所以有

$$Z_w + W_0 = \bar{W}_s(p) + 1 = \frac{p}{2(1-p)} + 1 \quad (12)$$

式中 $\bar{1}$ 表示每个信元都有一个时隙的发送延时。

2.2 输入端口的分析

对于输入排队系统,可以用一组 Geom/G/1 排队系统^[8]来描述。其服务时间为输出排头虚队列等待时间 Z_{i+1} 即 $W_{b,s+1}$, 这里的 $\bar{1}$ 和式 (4) 中的 $\bar{1}$ 具有相同的含义。令 $\bar{Q}_B = W_{b,s+1}$ 表示输入排队系统的服务时间, 则

$$\begin{aligned} \bar{Q}_B &= \bar{W}_{b,s+1} \\ \bar{Q}_B^2 &= \bar{W}_{b,s+1}^2 + 2\bar{W}_{b,s+1} \bar{1} \end{aligned} \quad (13)$$

下面考虑某一优先级别 i 的输入排队延时, 它也应包括三个部分:

W_a : 级别 i 的信元到达时因同一端口各输入缓冲器中要先服务的信元而引起的延时;

W_b : 级别 i 的信元到达时因同一输入端口同时到达的较高优先级信元要先服务而引起的延时;

W_c : 级别 i 的信元等待服务期间, 有高优先级信元到达而引起的延时。

令 $W_i = W_a + W_b + W_c$, 表示优先级别 i 的输入排队延时, 分析后可得: W_a 与输入端口中剩余的服务有关, 根据文献 [3], $W_a = p(\bar{W}_{b,s}^2 - \bar{W}_{b,s})/2$; W_b 是比优先级别 i 高的同时到达信元所引起的延时,

$W_b = \bar{W}_{b,s} \sum_{j=1}^i p_j W_j$; W_c 是后续高优先级信元到达所引起的延时, $W_c = \bar{W}_{b,s} W_i \sum_{j=1}^{i-1} p_j$

整理后可得

$$W_i = \frac{p(\bar{Q}_B^2 - \bar{Q}_B)}{2(1 - \bar{Q}_B \sum_{j=1}^{i-1} p_j)(1 - \bar{Q}_B \sum_{j=1}^i p_j)} \quad (14)$$

由式 (12)、(14) 可知, 某一级别 i 的信元通过该交换机的平均延时为

$$E[H_i] = W_i + Z_{i+1} + \bar{1} = \frac{p(\bar{Q}_B^2 - \bar{Q}_B)}{2(1 - \bar{Q}_B \sum_{j=1}^{i-1} p_j)(1 - \bar{Q}_B \sum_{j=1}^i p_j)} + \frac{p}{2(1-p)} + 1 \quad (15)$$

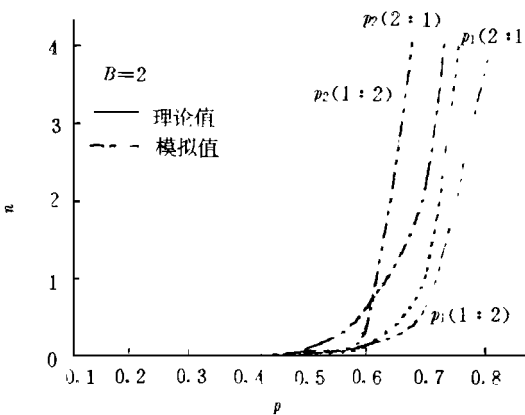


图 3 输入排队延时与总输入负载的关系

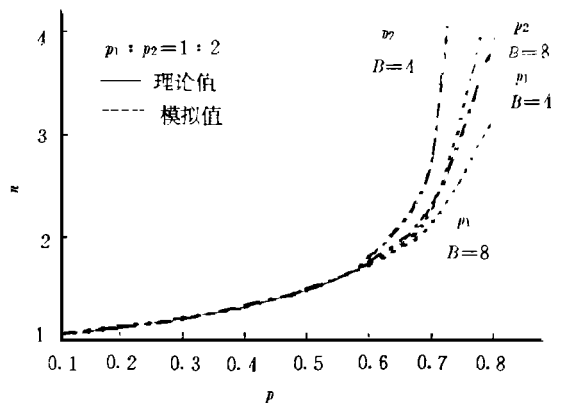


图 4 交换机总延时与总输入负载的关系

3 数值计算和计算机模拟

在进行数值计算时, 只需算出 $t_0 \sim t_B$ 的值就可得到各连接通过交换机的平均延时和输入排队

延时。由于计算没有引入近似,所以该数值计算是精确计算。计算机模拟时,考虑到模拟的精度和计算机所能承受的计算量,我们取交换机端口数 $N = 128$ 。图 3 示出了两优先级负载输入时排队延时 n 与总输入负载的关系,图中括号中的比例表示两优先级输入负载的比例关系,例如 $p_1(1:2)$ 表示输入负载 $p_1:p_2 = 1:2$,且该条曲线表示 p_1 的延时。从图 3 可以得到:当输入总负载 p 较小时,高、低优先级的延时 n 相当一致,表明高优先级对低优先级负载的影响不大;而当总负载较大时交换机负载的影响不大;而当总负载较大时交换机的优先级机制才显示出它的影响。图 4 表示了输出缓冲器大小对平均延时 n 的关系,当缓冲容量较大时对 p_1 、 p_2 的延时 n 都有改善,这表明当缓冲容量较大时,反压机制的影响就较小,特别是当总负载较小时。图 5 从另一个角度证实了由图 3 得出的结论。

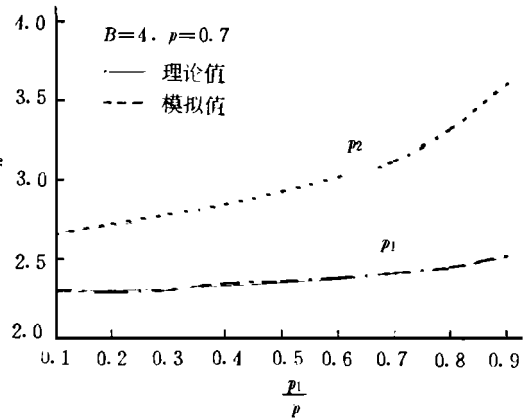


图 5 高优先级负载对延时的影响

4 结 论

本文分析了 $N \times N$ 内部无阻塞 ATM 交换机 ($B < S$) 在多优先级负载输入下的交换机平均延时,得出了任一优先级的信元通过交换机平均延时的数学表达式,为工程设计提供了参考。通过计算机仿真验证了理论分析的正确性。再者,优先级的引入可以在较强负载输入时改善对延时要求比较严格业务的服务质量。

参 考 文 献

- 1 Awdeh Ra'ed Y, Mouftah T. Survey of ATM switch architectures. *Computer Networks and ISDN Systems*, 1995, (27): 1 567~ 1 613
- 2 Iliadis Ilias, Denzel Wolfgang E. Analysis of packet switches with input and output queueing. *IEEE Trans Commun*, 1993, 41: 731~ 740
- 3 Pattavina A, Bruzzi G. Analysis of input and output queueing for nonblocking ATM switches. *IEEE Trans Networking*, 1993: 314~ 328
- 4 Gupta Anil K, Georganas N D. Analysis of a packet switch with input and output buffers and speed constraints. *IEEE INFCOM' 91*, 1991: 694~ 700
- 5 Bruzzi Pattavina A. Performance evaluation of an input-queued ATM switch with internal speed up and finite output queues. *IEEE GLOBECOM' 90*, 1991: 1 455~ 1 459
- 6 Chen J S C, Guerin R. Performance study of an input queueing packet switch with two priority classes. *IEEE Trans Commun*, 1991, 39: 117~ 126
- 7 Li Lemin, Hu Caijun, Liu Pu. Maximum throughput of an input queueing packet switch with two priority classes. *IEEE Trans Commun*, 1994, 42: 3 095~ 3 097
- 8 Karol M J, Hluchy M G, Morgan S P. Input versus output queueing on a space-division packet switch. *IEEE Trans Commun*, 1987, 35: 1 347~ 1 356

Average Delay Analysis of An Input and Output ATM Switch with Multiple Priorities

Qian Weihong Li Lemin

(National Key Lab. of Broadband Optical Transmission and Communication Systems, UEST of China Chengdu 610054)

Abstract This paper analyses an $N \times N$ nonblocking ATM input and output switch queueing with multiple priorities at input ports. The arrival process of each priority to each input port is Bernoulli with probability p_1, p_2, \dots, p_R , and each class has a dedicated buffer with infinite size. The speed-up factor is $S(B \leq S \leq N)$, and the output buffer size is B with backpressure. Each cell has an equal probability $\frac{1}{N}$ being sent to output ports. The average delay time of the considered approaches is derived by theoretical analysis and computer simulations.

Key words input and output switch asynchronous transfer mode; switch; architecture; priority; cell delay time

编辑 叶红

。 科研成果介绍。

用于高炉全料面检测的实时三维成像 3 mm 雷达

主研人员: 陈祝明 杨晓波 杨建宁 丁义元 赵阳基 解生芬等

用于高炉全料面检测的实时三维成像 3 mm 雷达采用动态线性度校正技术, 成功地将大时带积调频连续波体制与 3 mm 固态技术相结合, 充分发挥了两者的优点, 获得了高的距离、方位分辨力和高的测距精度, 为料面三维成像奠定了技术基础, 并使系统小型化, 更适应高炉特有的实际应用环境; 该雷达采用独创的可编程炉外定点炉心跟踪水平螺旋扫描方式, 实现了炉外遥感, 避免了传统高炉料面检测雷达所采用的插入扫描方式的缺陷, 使波束斑点能有效地覆盖全料面, 所需测量时间缩短 20 倍, 使得雷达能在溜槽布料间歇期内进行全料面成像检测; 采用了高速 FFT 专用芯片构成实时信号处理器, 解决了该雷达信号处理的瓶颈问题, 在扫描过程中实时地完成扫描方位信息及测距信息的传递、纠错、坐标变换及三维显示, 达到了完全的实时性; 该雷达采用独创的自适应双重杂波及多径效应抑制技术, 有效地消除了炉内壁金属物体表面和炉喉上方金属测温十字架等对料面成像的严重影响, 保证料面成像清晰准确; 该雷达所获取的全料面三维图像能定量准确地反映料面分布物理状态, 并具有良好的重复性, 终端显示的人机界面清晰友好, 全鼠标操作方便灵活, 具有很好的工程实用性。

作为高炉全料面检测雷达, 其综合技术性能指标达到了国际领先水平, 填补了国内空白。

。 科 卜。