

一种基于同步抽样技术的周期信号高精度 DFT 分析*

代俊光** 陈光福

(电子科技大学自动化系CAT室 成都 610054)

【摘要】 提出了一种提高周期信号 DFT 分析精度的同步抽样技术, 对其原理作了详细的分析, 给出了实现电路。文中以一组周期信号的 DFT 分析为例, 比较了信号谱的幅度和相位误差, 其结果表明频谱精度大大提高。

关键词 周期信号; 抽样定理; 离散傅里叶变换; 同步技术; 数字锁相环

中图分类号 TP399; O174

在理论研究和工程实际中, 常把周期信号加上噪声作为测试信号, 以检验某个算法或数字系统的性能。因此, 在数字信号处理中不可避免地要遇到周期信号的抽样问题。周期信号的数字抽样要求采样信号与其严格同步, 否则就会造成频谱泄漏。为此, 有关学者提出了窗函数和内插技术来减少误差, 但是运算量过于庞大, 不适宜于实时信号处理。

本文提出的新方法利用数字频率合成技术, 根据数字通信中的载波提取原理和数字频率合成技术, 从被测信号本身产生同步抽样信号, 能很方便地实现采样时钟与周期信号同步, 从而避免了上述问题。因为数字锁相环具有频率分辨率高、低功耗等优点, 不需要复杂的信号处理算法(窗函数、内插技术等), 这样就可大大降低数字化仪器的设计难度和成本, 所以该技术非常适合数字化仪器的设计。文中以一组周期信号的 DFT 分析为例, 比较了信号谱的幅度和相位误差, 讨论了窗函数的影响, 其结果表明同步采样技术大大提高了信号频谱的幅度和相位测量精度。

1 周期信号抽样的 DFT 分析

设 $s(t)$ 为一周期连续信号, 其周期为 T_s , 以抽样频率 $f_c = 1/T_c$ 进行采样, 满足奈奎斯特定理。可得 N 个抽样点的时间序列为 $0, \dots, (N-1)T_c$, 由文献[1]得到的抽样信号为

$$p(t) = s(t)g(t) \tag{1}$$

其中

$$g(t) = \sum_{k=0}^{N-1} \delta(t - kT_c) \tag{2}$$

分别设 $s(t)$ 的傅里叶变换为 $S(f)$, $p(t)$ 的傅里叶变换为 $P(f)$ 。由卷积定理可得

$$P(f) = S(f) * G(f) \tag{3}$$

式中 $G(f)$ 为 $g(t)$ 的傅里叶变换, 有

$$G(f) = \frac{\sin(\pi f T_c N)}{\sin(\pi f T_c)} \exp(-j \pi N T_c f) \tag{4}$$

由式(3)和式(4)可知: 1) $G(f)$ 在 $f_0(k) = k/(NT_c)$ 处为过零点, $k = 0, 1, \dots, N-1$; 2) $G(f)$ 为周期信号, 且周期等于 $1/T_c$ 。由式(3)得, $P(f)$ 为与 $G(f)$ 同周期的信号; 3) $P(f)$ 在整个频率轴上为连续函数, 但是 $S(f)$ 仅在 $f = k/T_s$ 处有值, 其中 k 为一整数。

若将 $s(t)$ 的 N 点离散序列 $s(kT_c)$ 代入 $P(f)$, 由文献[2]可得

$$P(f) = \sum_{k=0}^{N-1} p(kT_c) \exp(-j2\pi kT_c f) = \sum_{k=0}^{N-1} s(kT_c) \exp(-j2\pi kT_c f) \tag{5}$$

根据 DFT 理论, 将 $P(f)$ 在频域抽样, 抽样点仍为 N , 但频率间隔序列为 $0, \dots, (N-1)T$, 其中 $T = NT_c$, 由文献[3]可得

1999年4月7日收稿

* 国防科工委预研基金资助项目

** 男 27岁 博士生

$$P\left(\frac{n}{T}\right) = \sum_{k=0}^{N-1} s(kT_c) \exp(-j2\pi fknT_c/T) = \sum_{k=0}^{N-1} s(kT_c) \exp(-j2\pi fkn/N) \quad (6)$$

若抽样信号与被测周期信号同步, 则 $T = T_s$ 。由于 $G(f)$ 的过零点频率等于 $s(t)$ 的谐波频率, 因此, 所得的 $P(n/T)$ 仅在 $\pm f_s$ 处有值, 如同 $s(t)$ 在 $\pm f_s$ 处的 δ 函数一样。由此可得, $P(f)$ 的抽样序列 $P(n/T)$ 等同于 $s(t)$ 的谐波成分, 频域不会发生泄漏。

若抽样信号与被测周期信号不同步, 则 $T \neq T_s$ 。由于 $G(f)$ 的过零点频率不等于 $s(t)$ 的谐波频率, 因此, 所得的 $P(n/T)$ 在整个频域上为非零分布, 发生频谱能量泄漏和混叠现象, 造成 $S(f)$ 的幅度和相位误差。若此时对被测信号选用旁瓣小主瓣窄的窗函数, 可减少泄漏, 但也会产生窗函数的影响。由此可得, $P(f)$ 的抽样序列 $P(n/T)$ 不同于 $s(t)$ 的谐波成分, 并且若抽样信号频率与被测周期信号频率相差越大, 则抽样所得的谐波分量与真实值的误差越大。因此, 对于式(1)的周期信号, 若保证: 1) $f_c = mf_s$, m 为大于等于 2 的整数, 即抽样频率是 f_s 的整数倍; 2) $s(kT_c)$ 的长度 N 是 m 的整数倍, 即抽样点数包括一个或多个周期。那么, 用这 N 点数据做 DFT 时, 所得的 $s(kT_c)$ 无泄漏, 即 $s(kT_c)$ 是在 $\pm f_s$ 处的线谱。

2 抽样时钟产生电路设计

根据上述分析, 说明当用离散傅里叶变换对截短后的 $s(t)$ 做频谱分析时, 为防止频谱泄漏, 抽样信号应与 $s(t)$ 同步。根据数字通信中的载波提取原理和数字频率合成技术, 能够从 $s(t)$ 本身产生与其同步的抽样时钟。采用数字锁相环(DPLL)来实现时钟提取, 在相位锁定时, 输出频率是 $f_{\text{out}} = Nf_{\text{in}}$, 并且分频系数 N 可变; 输出频率应稳定地锁定于输入信号的基波频率; 能检测失锁状态, 以免引起错误测量; 低功耗电路。抽样时钟产生电路的主要部分有:

1) 高性能的 CMOS 数字锁相环 MC14046B

(1) 内置两个鉴相器, 与占空比无关, 其线形范围为 $\pm 2\pi$ 。不仅对输入信号频率变化具有高灵敏度, 而且锁定频率范围较宽;

(2) 当 DPLL 锁定时, 鉴相器的输出恒定。可利用这一特点来检测 DPLL 的锁定情况, 从而保证同步采样的正确性;

(3) 具有 CMOS 器件的良好噪声抑制和低功耗特性。

2) 可编程分频器 HC4040

在该数字环中, 采用电荷泵和积分电路作为环路滤波器, 将鉴相器输出的数字脉冲转换为压控振荡器(VCO)的控制电压。VCO 的输出信号经过可编程分频器 HC4040 反馈给鉴相器。该数字锁相环的传递函数为

$$H(s) = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (7)$$

式中 系统固有频率 $\omega_n = \sqrt{K_0 K_d / N\tau_1}$; 阻尼系数 $\xi = \omega_n \tau_2 / 2$; K_0 为压控振荡器的增益系数; k_d 为鉴相器的增益系数; N 为分频系数; τ_1 和 τ_2 为环路滤波器的时间常数。由对式(7)的线形分析, 可知 ω_n 直接影响 DPLL 的捕捉带宽, ξ 与分频器的动态特性有关。在设计环路时, 需要根据输入信号的特点, 求得最佳环路参数。

为了满足实际应用, 分频系数 N 可选, 但必须考虑固有频率 ω_n 和阻尼系数 ξ 都是分频系数 N 的函数。当分频系数 N 改变时, 可通过预先设定电阻, 来调整环路滤波器的时间常数 τ_1 , 使得 ω_n 和 ξ 保持不变, 确保最佳环路性能。这里分频系数 N 取为: 256、512、1 024。

3) 二阶带通滤波器

输入信号通过二阶带通滤波器后，可滤除噪声干扰，提高数字锁相环的捕捉输入信号基波频率能力和抗干扰性。当相加噪声增加时，鉴相器的灵敏度按 $\exp(-\sigma_n^2/2)$ 指数律下降，而且衰减非常迅速，导致环路性能恶化。

3 DFT 分析实验

用上述抽样时钟产生电路构成一个 DFT 响应测试系统，以说明在同步采样条件下，周期信号 DFT 分析精度能明显改善。该系统以具有 16 位 DAC 精度的数字波形合成器为测试信号源，信号采集模块采用 12 位的 ADC 器件。分别在同步条件和非同步条件下，对含有谐波分量的周期信号作 DFT 分析，并且分别通过矩形窗和汉明窗，以比较窗函数的影响。

数字波形合成器输出的信号可表示为

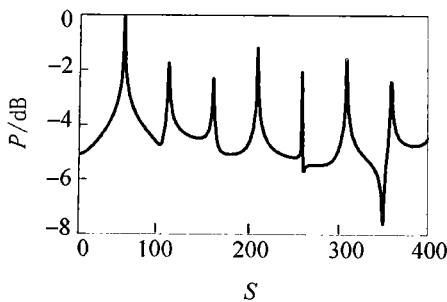
$$\sum_{j=1}^{10} A_j \sin(2\pi f_j t + \varphi_j)$$

式中 输出信号基波分量 f_1 设为 50 Hz， A_j 和 φ_j 如表 1 所示。由于输入信号频率的最大偏移为 5 Hz，则 $\omega_n = 10\pi$ ，并要求输入滤波器的带宽大于 ω_n 。由文献[4] 可得最佳阻尼系数 $\xi = 0.707$ 。由 ω_n 和 ξ 可求出 DPLL 的捕捉带 ω_p 为 $4\pi\omega_n$ ，捕捉时间 $T_p = (N\tau_1 + \tau_2)/5K_0/N\omega_n$ ，其中， ω_n 为输入信号的角频率。

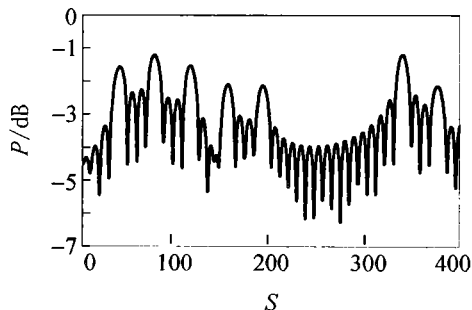
分别在同步采样和非同步采样条件下，对数字波形合成器输出信号作 DFT 分析，其中抽样点为 1024，信号周期数为 4。在同步采样条件下， $f_s = 256f_1$ 。在非同步条件下，采样时钟频率为 13.3 kHz，即每周期采样点数为 266。

图 1 给出了在同步采样和非同步采样条件下所测得的信号幅度谱，并将这两种条件下的输出信号幅度分量和相位分量与表 1 中的原始数据相比较，可以得到：1) 在同步条件下，幅度的最大偏差为 +0.3% (相对于 ADC 的满程电压 5 V)，相位的最大偏差为 $\pm 0.6 \cdot 10^{-3}$ rad (相对于基波相位)；2) 在非同步条件下，幅度和相位的最大偏差如下：

幅度最大偏差		相位的最大偏差	
$\pm 12\%$		± 0.6 rad	
$\pm 10\%$	加矩形窗	$\pm 3 \times 10^{-3}$ rad	加矩形窗
$\pm 3\%$	加汉明窗	$\pm 9 \times 10^{-3}$ rad	加汉明窗



(a) 同步采样条件下的信号功率谱



(b) 非同步采样条件下的信号功率谱

图 1 数字波形合成器输出信号的幅度谱

表 1 测试信号谐波的幅度和相位

j	A_j/V	$\varphi_j/(^\circ)$
1	3	0
2	0.50	5
3	0.25	3
4	0.75	9
5	0.25	10
6	0.50	1
7	0.25	6
8	0.25	2
9	0.75	8
10	0.25	0

因此,采用与信号基波同步的采样技术使其频谱的幅度和相位精度得到了明显改善,而在非同步条件下,即使用窗函数来减少误差,其频谱泄漏仍大于同步采样技术。

4 结 论

基于数字锁相环的同步抽样技术能实现高精度周期信号采集,并且具有频谱分辨率高、低功耗等优点,又不需要复杂的信号处理算法(窗函数、内插技术等),这样就可大大降低数字化仪器的设计难度,因此该技术在电子测量、信号采集与处理等应用中有较好的应用价值。

参 考 文 献

- 1 Grandke T. Interpolation algorithms for discrete Fourier transform of weighted signals. IEEE Trans Instrum Meas, 1983, 32(6): 350~355
- 2 Andria G, Savino M, Trotta A. Windows and interpolation algorithms to improve electrical measurements accuracy. IEEE Trans Instrum Meas, 1989, 38(8): 856~863
- 3 Brandolini A, Ottoboni R, Savini S. A simplified sampling theory for periodic signals. L'Energia Elettrica, 1988, 5(5): 213~219
- 4 陈玉生,朱君范,虞厥邦.一种改进的非线性锁相环分析及仿真方法.电子科技大学学报,1998,27(1): 39~42

A High-accuracy DFT Analysis Based on Synchronous Sampling Techniques

Dai Junguang Chen Guangju

(Dept. of Automation, UEST of China Chengdu 610054)

Abstract This paper presents a synchronous sampling technology to improve the accuracy of periodic signal DFT analysis. The theoretical support is analyzed in detail, and the hardware structure is introduced. As an example of application of this device, the results of the DFT analysis on a multi-frequency signal are given, and the accuracy of these measurements is improved highly.

Key words periodic signal; sampling theory; digital Fourier transform; synchronous technology; digital phase lock loop