

# 一种流水线结构A/D转换器的速度分析方法

王红梅<sup>1</sup>, 李福乐<sup>2</sup>, 李冬梅<sup>1</sup>, 王志华<sup>2</sup>

(1. 清华大学电子工程系 北京 海淀区 100084; 2. 清华大学微电子学研究所 北京 海淀区 100084)

**【摘要】**提出了一种开关电容流水线结构A/D转换器(ADC)的速度分析方法。流水线结构ADC的速度取决于其级电路中开关电容反馈放大器的建立速度。根据流水线结构的特点,推导出输入等效阶跃电压的计算公式。将建立过程划分为大信号和小信号工作区,分别用不同的跨导运放(OTA)模型进行分析,得出了OTA指标、采样电容值等电路参数与建立时间之间的关系式。通过对一个10 bit流水线结构ADC的MATLAB进行仿真,验证了所提出的分析方法和得到的关系式的有效性。

**关键词** 模数转换器; 流水线; 开关电容; 建立时间  
中图分类号 TN431 文献标识码 A

## A Speed Analysis Methodology for Pipelined A/D Converters

WANG Hong-mei<sup>1</sup>, LI Fu-le<sup>2</sup>, LI Dong-mei<sup>1</sup>, WANG Zhi-hua<sup>2</sup>

(1. Dept. of Electronic Engineering Tsinghua University Haidian Beijing 100084;

2. Inst. of Microelectronics, Tsinghua University Haidian Beijing 100084)

**Abstract** A speed analysis methodology for a switched-capacitor pipelined A/D converter is presented. The conversion speed of a pipelined A/D converter is determined by the settling speed of the switched-capacitor feedback amplifier in the conversion stage. According to the principle of the pipelined architecture, the formula of the equivalent input step voltage seen at the input nodes of the op-amp is obtained. Then by dividing the settling phase into the large-signal and small-signal mode and using different op-amp model in the different mode, the expression which shows the relationship between the settling time and circuit parameters such as the value of sampling capacitors or op-amp specifications is obtained. Finally, the proposed methodology and the obtained expression are verified by the MATLAB simulation on a 10-bit pipelined ADC.

**Key words** analog-to-digital converter; pipeline; switched-capacitor; settling time

对于CMOS流水线结构A/D转换器(ADC)来讲,开关电容流水线结构是一种合适的选择。ADC的转换速度取决于其中反馈放大器的建立速度,因此在设计流水线结构ADC时,对于给定的运算放大器指标,如何估算可实现的ADC转换速度,或者对于给定的流水线结构ADC性能要求,如何设计合适的运算放大器指标、采样电容值等电路参数是一个很重要的问题。

为了分析建立时间,可将工作在小信号工作状态的运放简化为单极点或二极点模型,相应的反馈放大器的建立过程可简化为一阶或二阶闭环反馈系统的阶跃响应过程<sup>[1-2]</sup>。而对于大信号工作状态时等效阶跃输入情况下(如 调制器中的开关电容积分器),建立过程可被划分为大信号工作区和小信号工作区分别进行分析。在大信号工作区,运放被简化为一个电流源,而在小信号工作区,则被简化为一个单极点模型<sup>[3]</sup>。本文针对流水线结构ADC中开关电容电路的工作特点,提出了一种流水线结构A/D转换器的速度分析方法。

### 1 等效阶跃电压

图1为流水线结构中典型的采样/保持/DAC/减法/增益模块(MDAC)开关电容电路实现(为简单起见,仅分析

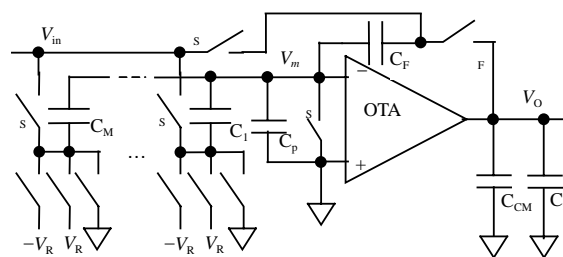


图1 典型的MDAC模块开关电容实现

收稿日期: 2005-01-13

基金项目: 国家863计划资助项目(2002AA1Z1720); 国家973资助项目(G2000036508)

作者简介: 王红梅(1979-), 女, 硕士, 主要从事低功耗高性能模数转换器方面的研究。

单端配置的情况), 其中 $C_1, C_2, \dots, C_M$ 为采样电容,  $C_F$ 为反馈电容,  $C_p$ 为运放负输入端所见的寄生电容,  $C_{CM}$ 为运放的共模反馈电容,  $C_n$ 为后级采样电容和反馈电容之和。在采样相 $\phi_S$ , 输入信号 $V_{in}$ 被采样到 $C_1, C_2, \dots, C_M$ 和 $C_F$ 上; 在放大相 $\phi_F$ ,  $C_1, C_2, \dots, C_M$ 在本级ADC(sub-ADC)输出的控制下接到参考电压 $V_R$ 、0或 $-V_R$ , 且 $C_F$ 的右极板从 $V_{in}$ 切换到运放输出端, 此时MDAC构成一个开关电容反馈放大器。

在MDAC开关切换进入放大相的一瞬间, 由于运放不能立即响应, 在运放的负输入端会得到一个阶跃电压 $V_{mi}$ , 其幅度与 $C_n$ 上的原始电荷、本级DAC(sub-DAC)输出和 $V_{in}$ 有关。设以下三者单独作用时的响应分别为 $V_{mi_1}$ 、 $V_{mi_2}$ 和 $V_{mi_3}$ , 根据分析有:

$$V_{mi_1} = \frac{C_F C_n}{(C_1 + C_2 + \dots + C_M + C_p)(C_F + C_n + C_{CM}) + C_F(C_n + C_{CM})} V_{olast} \quad (1)$$

$$V_{mi_2} = \frac{(C_1 V_1 + C_2 V_2 + \dots + C_M V_M)(C_n + C_{CM} + C_F)}{(C_1 + C_2 + \dots + C_M + C_p)(C_F + C_n + C_{CM}) + C_F(C_n + C_{CM})} \quad (2)$$

$$V_{mi_3} = -\frac{(C_1 + C_2 + \dots + C_M)(C_F + C_n + C_{CM}) + C_F(C_n + C_{CM})}{(C_1 + C_2 + \dots + C_M + C_p)(C_F + C_n + C_{CM}) + C_F(C_n + C_{CM})} V_{in} \quad (3)$$

$$|V_{mi}| = |V_{mi_1} + V_{mi_2} + V_{mi_3}| \quad (4)$$

式中 $V_{olast}$ 是本级电路在上一个放大相的输出, 故 $V_{olast}$ 的范围可达 $[-V_R, +V_R]$ 。在流水线结构中, 设下一级电路的采样电容为 $C'_1, C'_2, \dots, C'_M$ , 反馈电容为 $C'_F$ , 并且设本级的一个输出, 即下一级的一个输入为 $V'_{in}$ , 则 $C_n$ 上的原始电荷为:

$$C_n V_{olast} = (C'_1 V'_1 + C'_2 V'_2 + \dots + C'_M V'_M) - [(C'_1 + C'_2 + \dots + C'_M + C'_F) V'_{in} - (C'_1 V'_1 + C'_2 V'_2 + \dots + C'_M V'_M)] = C_n V'_{in} \quad (5)$$

由以上各式可求得最大的起始阶跃幅度 $|V_{mi}|_{max}$ , 它对应着最大的建立时间。

## 2 反馈放大器建立过程分析

假设流水线级电路中的运放是一种A类跨导运放(Operational Test Antenna, OTA), 其输出电流对差分输入电压的转移特性可近似定义为图2中的曲线<sup>[3]</sup>。当输入较小时, 输出电流与输入电压成线性关系; 当输入较大时, 输出电流在一个最大的饱和值上保持不变。图中 $|I_{sat}|$ 即为流入或流出负载电容的运放最大输出电流, 而 $\Delta V_{th}$ 为使输出电流刚刚达到 $|I_{sat}|$ 时的差分输入电压。具有这种电流转移特性的跨导运放有电流增益OTA<sup>[4]</sup>和折叠-共源共栅OTA<sup>[5]</sup>等。

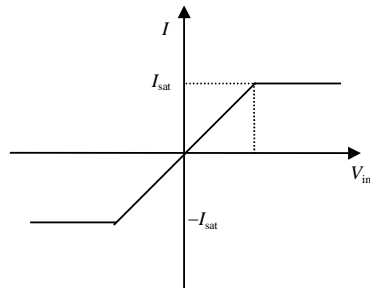


图2 典型A类跨导运放的电流特性

OTA的小信号双极点模型可由以下参数定义: 直流增益 $A_m$ ; 饱和输出电流 $I_{sat}$ ; 输出级电导 $g_o$ ; 及非主极点 $\omega_2$ 。其他参数可由此导出: 跨导 $g_m = A_m g_o$ ; 主极点 $\omega_1 = g_o / C_L$ ; 饱和差分输入电压 $\Delta V_{th} = I_{sat} / g_m$ 。

对式(4)的分析表明,  $|V_{mi}|_{max}$ 随着级分辨率的降低而增大, 并且在级分辨率为3 bit以下(包括3 bit)时, 一般有 $|V_{mi}|_{max} > \Delta V_{th}$ 。因此下面将反馈放大器的建立过程根据OTA所处的不同工作状态(大信号和小信号状态)分别进行分析。

为了便于分析, 将反馈放大器简化为如图3所示的电路模型。闭环反馈系数为:

$$\omega_n = \sqrt{(A_m F_c + 1) \omega_1 \omega_2} \quad (6)$$

OTA输出端等效负载电容为:

$$C_L = C_n + C_{CM} + (C_1 + C_2 + \dots + C_M + C_p) F_c \quad (7)$$

### 2.1 大信号工作状态分析

当OTA的负输入端电压 $V_m$ 的幅度大于 $\Delta V_{th}$ 时, 称OTA工作在大信号工作状态, 而 $|V_m|$ 大于 $\Delta V_{th}$ 的时间被称为大信号工作时间或压摆区时间。在压摆区, OTA的输出电流处于饱和状态, OTA在图3中的作用等效于接在输出端 $V_o$ 处的一个电流源, 其电流为OTA的饱和输出电流。此时, OTA输入端的电压变化率为:

$$\left| \frac{dV_m}{dt} \right| = \left| \frac{dV_o}{dt} \right| F_c = \frac{I_{sat}}{C_L} F_c \quad (8)$$

假设  $T_{slewing}$  为压摆区时间, 则有:

$$T_{slewing} = (|V_{mi}| - \Delta V_{th}) C_{eff} / I_{sat} \quad (9)$$

### 2.2 小信号工作状态分析

当  $|V_m|$  小于  $\Delta V_{th}$  时, 称 OTA 工作在小信号工作状态, 相应的时间被称为小信号工作时间或线性建立区时间。在小信号线性建立区, 可将 OTA 简化为两个极点的线性系统, 而反馈放大器也可简化为图 3 所示的线性反馈系统。简化的 OTA 二极点模型的开环传输函数为:

$$A(s) = \frac{A_m}{\left(1 + \frac{s}{\omega_1}\right) \left(1 + \frac{s}{\omega_2}\right)} \quad (10)$$

式中  $A_m$  为直流增益;  $\omega_1$  和  $\omega_2$  分别为第一个极点和第二个极点, 且:

$$\omega_1 = g_o / C_L \quad (11)$$

反馈放大器的闭环传输函数为:

$$A_f(s) = \frac{A_m}{1 + A_m F_c} \frac{\omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (12)$$

式中  $\omega_n$  为自然频率;  $\xi$  为阻尼系数; 并且有:

$$\omega_n \sqrt{(A_m F_c + 1)\omega_1\omega_2} \quad (13)$$

$$\xi = (\omega_1 + \omega_2) / 2\omega_n \quad (14)$$

定义时常数  $\tau = 1/\omega_n$ , 则建立时间为:

$$T_{settling} = f(\xi, V_{eff}, D)\tau \quad (15)$$

式中  $D$  为建立精度要求;  $D = 1/2^N$ ,  $N$  为后接的 ADC 分辨率; 函数  $f$  的解可根据二阶闭环系统的响应特性来得, 在此不再赘述。当负载电容变小、单位增益频率增加到一定程度时, OTA 零点和高阶极点的作用不能忽略, 二阶模型将不能准确描述放大器的建立特性。令闭环单位增益频率小于  $\omega_2(A_m F_c \omega_1 - \omega_2)$ , 也即:

$$C_L A_m F_c g_o / \omega_2 \xi < 0.5 \quad (16)$$

一般在此范围内二阶模型较准确, 否则零点和高阶极点作用增强, 反馈放大器相位特性恶化, 输出震荡加剧, 建立时间将逐渐大于二阶模型所计算的结果。

### 2.3 总建立时间分析与设计优化

求得压摆区时间对  $\tau$  的归一化为:

$$\frac{T_{slewing}}{\tau} = \frac{|V_{mi}| - \Delta V_{th}}{I_{sat} F_c} \sqrt{(A_m F_c + 1)g_o \omega_2 C_L} \quad (17)$$

当考虑 ADC 的建立时间时, 应取级电路建立时间的最大值, 即取  $V_{mi}$  的最大幅值。总的建立时间为:

$$T_{all} = \begin{cases} (T_{slewing})_{max} + T_{settling} = \left[ \frac{|V_{mi}|_{max} - \Delta V_{th}}{I_{sat} F_c} \sqrt{(A_m F_c + 1)g_o \omega_2 C_L} + f(\xi, V_{eff}, D) \right] \tau & |V_{mi}|_{max} > \Delta V_{th} \\ T_{settling} = f(\xi, V_{eff}, D)\tau & |V_{mi}|_{max} \leq \Delta V_{th} \end{cases} \quad (18)$$

式(18)可用于计算在一定 OTA 指标和采样电容值等电路参数下的流水线结构 ADC 的速度, 或者用于在一定的 ADC 性能要求下, 确定合适的 OTA 指标和采样电容值等电路参数。

## 3 仿真验证

下面用 MATLAB 软件对一个 10 bit 流水线结构 ADC 进行仿真来验证式(18)的适用性。在 ADC 模型中, 不考虑电容失配问题, 采用 1 bit/stage 的结构, 整个流水线转换通道由 9 个相同的级电路和末端的一个比较器串联构成; 级电路中采样电容、反馈电容和共模反馈电容的大小分别为 1、1 和 0.5 pF; OTA 的模型参数为:  $A_m = 311$

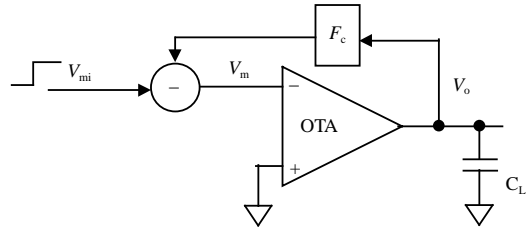


图3 反馈放大器的简化电路模型

$k$ ,  $\omega_2=102$  MHz,  $g_o=2.306$  n,  $I_{sat}=152$   $\mu$ A,  $C_p=0.22$  pF。这些参数由一个电流增益和共源共栅结构的OTA经过HSPICE晶体管级仿真得到,所用的工艺模型为CSMCM0.6  $\mu$ m CMOS BSIM3V3模型。基于上述模型参数,根据式(18)可估算出建立时间 $T_{all}$ ,并定义实际的级电路建立时间 $t$ 与 $T_{all}$ 之比为归一化建立时间。然后设定级电路的归一化建立时间,对ADC模型进行仿真求取其SNDR。图4给出了归一化建立时间以0.1的步长,从0.5开始变化到1.5时,对应的ADC输出SNDR随之变化的情况。从图中可见,在归一化建立时间小于1的区间,随着建立时间的增加SNDR快速增加;而在归一化建立时间大于1的区间,随着建立时间的增加SNDR增加缓慢乃至稳定,并且根据仿真数据,归一化建立时间从1增加到1.5时,SNDR仅增加约3 dB,对应于0.5 bit的分辨率。说明式(18)的结果正是对ADC工作速度的一种恰当评估。

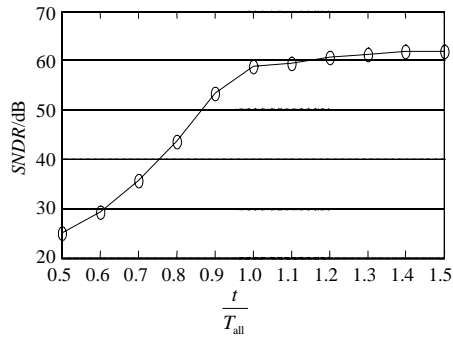


图4 归一化建立时间与ADC性能的关系

从图中可见,在归一化建立时间小于1的区间,随着建立时间的增加SNDR快速增加;而在归一化建立时间大于1的区间,随着建立时间的增加SNDR增加缓慢乃至稳定,并且根据仿真数据,归一化建立时间从1增加到1.5时,SNDR仅增加约3 dB,对应于0.5 bit的分辨率。说明式(18)的结果正是对ADC工作速度的一种恰当评估。

## 4 结 论

针对开关电容流水线结构ADC的结构特点,本文给出了A/D转换速度的分析方法。该方法基于反馈放大器等效阶跃电压的计算,以及大信号工作模型和小信号工作模型,得出了OTA指标、采样电容值等电路参数与建立时间之间的关系式。通过对一个10 bit流水线结构ADC的MATLAB仿真,从SNDR的角度验证了所提出的速度分析方法与所得关系式的正确性和有效性。本文的工作对流水线结构ADC的电路设计,特别是与速度有关的单元电路指标设计方面,具有一定的参考和指导作用。

## 参 考 文 献

- [1] Cline D W. Noise, speed, and power trade-offs in pipelined analog to digital converters[D]//California: UC Berkeley Doctoral Thesis, 1995.
- [2] Yang H C, Abu-Dayeh M A, Allstot D J. Small-signal analysis and minimum settling time design of a one-stage folded-cascode CMOS operational amplifier[J]. IEEE Trans. Circuits Syst, 1991, 38: 804-807.
- [3] Wang F, Harjani F. Power analysis and optimal design of op amps for oversampled converters[J]. IEEE Trans. Circuits Sys II, 1999, 46: 395-369.
- [4] Milkovic M. Current gain high frequency CMOS operational amplifier[J]. IEEE J Solid-State Circuits, 1985, 20: 845-851 .
- [5] Bibner D B, Copeland M A, Milkovic M. 80 MHz low offset CMOS fully differential and single-ended opamps[C]// Proc. IEEE Custom Integrated Circuits Conf, Portland, 1985.

编 辑 刘文珍