

# 新型分段多分搜索算法高速A/D转换方案

王向展, 宁宁, 于奇

(电子科技大学微电子与固体电子学院 成都 610054)

**【摘要】**针对比较器、子DAC和残差放大器单元对高速ADC面积与功耗的制约,从基准区间搜索过程入手,提出了分段多分搜索算法和基于该算法的新型模数A/D转换方案,从而实现了速度与功耗的优化。并采用SMIC 0.35  $\mu\text{m}$  CMOS工艺模型实验设计了芯片面积仅为1.0 mm $\times$ 0.8 mm的8位250MSPs ADC。模拟验证表明,其功耗仅85 mW,无杂散动态范围达64.92 dB, INL和DNL均小于 $\pm 0.5$  LSB。

**关键词** 模数转换方案; 高速ADC; 低功耗; 分段多分搜索算法;  
**中图分类号** TN402; TP3 **文献标识码** A

## A Novel High-Speed A/D Conversion Scheme Based on Segmented Multi-Division Search Algorithm

WANG Xiang-zhan, NING Ning, YU Qi

(School of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology of China Chengdu 610054)

**Abstract** To overcome the limitations imposed by comparators, sub-DACs, and residual amplifiers upon high-speed analog to digital converter (ADC) area and power design, a segmented multi-division search algorithm is proposed and a novel A/D conversion scheme is developed. This scheme can the realized the optimization of speed and power dissipation. An 8-bit 250 MHz ADC with chip area only 1.0 mm $\times$ 0.8 mm is designed by using SMIC 0.35  $\mu\text{m}$  CMOS models. Simulation reveals that the ADC possesses 85 mW power consumption and 64.92 dB spurious free dynamic range (SFDR) under Nyquist conversion, both of its INL and DNL less than  $\pm 0.5$ LSB.

**Key words** analog-to-digital conversion; high-speed ADC; low-power; segmented multi-division search algorithm

高速模数转换器(analog to digital converter, ADC)广泛应用于雷达、测控、医学成像等数字信号处理系统,但其速度、精度和功耗已成为制约系统性能的瓶颈。创新性地开发设计高速低功耗ADC已成为具有挑战性的任务。

流行的电压定标ADC工作原理是先用基准电阻串将基准分为若干个区间,每个区间对应一个数字码,基准区间和数字码构成一维线性有序表<sup>[1-3]</sup>。模数转换的过程实际上就是一维线性有序表的查表过程,即知道数据(模拟信号值)查找其对应的关键字(数字码)。全并行(flash)ADC转换过程是多指针并行查找过程,因而速度最快<sup>[4-5]</sup>。而典型的逐次逼近(successive approximation register, SAR)ADC属单指针折半查找过程,速度很慢;但仅需要一个比较转换单元循环往复,故面积和功耗极小<sup>[6]</sup>。

本文综合考虑上述两种模数转换方式的特点,

以优化速度和面积为目的,提出了基于多指针分段多分搜索算法的高速ADC设计方案。基于该算法设计ADC,既保持了flash结构高速特点,又使所需比较器个数大大减少,且摒弃了普通多步式(multi-step)ADC和流水线(pipeline)ADC结构中必需的子DAC(MDAC)和残差放大模块(RA)<sup>[7]</sup>,从而进一步减小了芯片面积,降低了总功耗,精简了系的结构。

## 1 分段多分搜索A/D转换方案

### 1.1 分段多分搜索比较算法

以3分段8位A/D转换为例,图1为基准区间树描述分段多分搜索的算法。先将基准电压粗分为四个地址区间,由三个比较器判断输入信号 $V_{in}$ 处于哪个区间,得到高2位二进制数字码。注意到比较器所得直接结果为温度码,因此可通过对相邻两个比较器输出进行地址预测运算,缩小地址搜索范围。然后再将选中区间细分为八个子区间,并进行地址区间

选择, 判断出输入信号所处地址区间, 同时得到三位二进制数字码。最后将所选择的地址区间继续再细分为八个, 由七个比较器比较得出三位二进制数字码, 完成整个ADC转换。

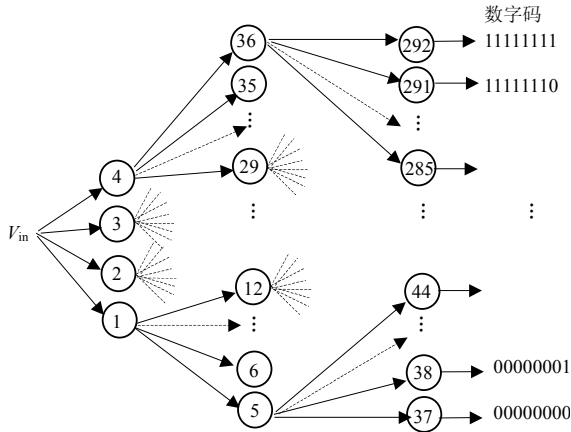


图1 8-bit ADC分段多分搜索基准区间树

完整的分段多分搜索比较算法步骤如下:

设  $V_{ref}[1..N]$  表示一线性有序表, 表中有  $N$  个记录, 第  $i$  个记录数据为  $V_{ref}[i]=i \times V_{ref}/N$ ,  $\langle V_{ref}[i], V_{ref}[j] \rangle$  表示线性表  $V_{ref}[1..N]$  中一个区间。

(1) 先用ADC基准电压构成一线性有序表  $V_{ref}[1..2^{n_1}]$ , 通过  $2^{n_1}-1$  个比较器将其均分为  $2^{n_1}$  份, 并判断  $V_{in}$  是否大于  $V_{ref}[i](i=1, 1, 2^{n_1})$ 。如果是则比较器

输出“1”; 否则输出“0”。共可得到高  $n_1$  位二进制数字码。如果  $V_{in}$  大于  $V_{ref}[i]$  而小于  $V_{ref}[i+1]$ , 则选中区间  $\langle V_{ref}[i], V_{ref}[i+1] \rangle$ 。

(2) 将所选基准区间再通过  $2^{n_2}-1$  个比较器均分为  $2^{n_2}$  份重新构成有序表  $V_{ref}[1..2^{n_2}]$ , 判断  $V_{in}$  是否大于  $V_{ref}[j](j=1, 1, 2^{n_2})$ , 得到  $n_2$  位二进制码。如果  $V_{in}$  大于  $V_{ref}[j]$  而小于  $V_{ref}[j+1]$ , 则选中区间  $\langle V_{ref}[j], V_{ref}[j+1] \rangle$ 。

(3) 重复步骤2, 直到得到LSB为止。

上述算法的思想结合了flash ADC和SAR ADC的优点, 在速度与比较器个数之间进行折中。特别是该算法通过基准电压区间选择逻辑替代了MDAC与残差放大器单元, 一改传统 pipeline ADC和 multi-step ADC结构仅从较少比较器个数来减小ADC面积而忽视包含RA和MDAC的子ADC单元的面积缩减。

### 1.2 基准区间的划分

虽然多指针分步小范围并行查找比较可以减小flash ADC所需的比较器个数和完成一次转换所需的比较次数, 但如何划分搜索范围与步数将直接影响到整个A/D转换所需的比较器个数和完成一次转换所需的时钟周期。为了兼顾面积和转换延迟时间, 并考虑到一维线性有序表的特性, 本文提出了以减少比较器个数为手段的优化基准区间划分方法。

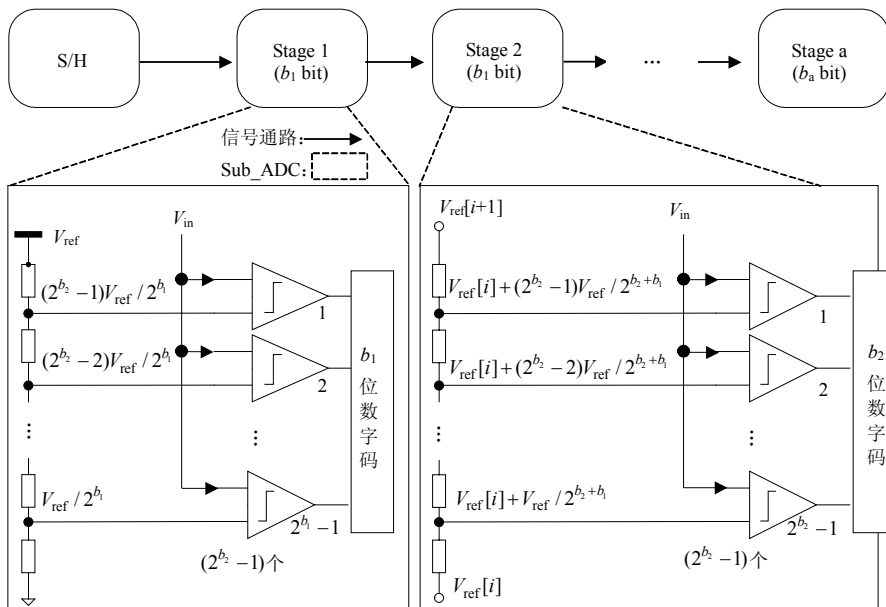


图2 分段多分搜索ADC结构框图

如图2所示,  $n$ 位分辨精度ADC, 其满量程基准电压可由电阻串分为  $2^n$  个线性有序地址区间, 先将其均分为  $2^{b_1}$  个大区间, 用  $2^{b_1}-1$  个比较器判断输入信

号所处区间, 进行第一步A/D转换, 得到  $b_1$  位二进制编码作为高位数字输出。再把每个区间都分成  $2^{b_2}$  个子区间, 用  $2^{b_2}-1$  个比较器对  $2^{b_1}$  个区间中的某一区间

进行搜索、比较,完成第二步A/D转换,得到 $b_2$ 位编码作为次高位数字码,这一区间的选择由前面所得 $b_1$ 位编码作为图中开关控制信号得以确定。如果共进行 $a$ 级编码,每级分辨率相应为 $b_1$ 、 $b_2$ 、 $\dots$ 、 $b_a$ ,则可得 $n=b_1+b_2+b_3+\dots+b_a$ 。所用比较器个数 $m$ 为:

$$m = 2^{b_1} + 2^{b_2} + 2^{b_3} + \dots + 2^{b_a} - a \quad (1)$$

由柯西不等式知:

$$m + a = 2^{b_1} + 2^{b_2} + 2^{b_3} + \dots + 2^{b_a} \geq 2^{\frac{b_1+b_2+b_3+\dots+b_a}{a}} a = 2^{\frac{n}{a}} a$$

从而:

$$m \geq 2^{\frac{n}{a}} a - a = a(2^{\frac{n}{a}} - 1) \quad (2)$$

令 $n=ab+c$ ,其中 $a$ 为级数, $b$ 为 $n$ 除以 $a$ 的商, $c$ 为余数,则式(2)可表示为:

$$m \geq a(2^{(ab+c)/a} - 1) \quad (3)$$

于是,当 $c=0$ 时, $m \geq a(2^b - 1)$ ,即当 $n=ab$ 时,每次将地址区间分为 $2^b$ 个时,比较器个数 $m$ 取最小值。当 $c \neq 0$ 时, $m \geq 2^{(ab+c)/a} a - a = 2^b a + a(2^{c/a} - 1) - a$ 。可以证明, $m = 2^b(a-c) + 2^{b+1}c - a$ 为最小整数。即当 $n/a$ 商 $b$ 余 $c$ 时,其中 $c$ 步搜索区间都为 $2^{b+1}$ 个, $a-c$ 步搜索区间都为 $2^b$ 个,则此时比较器个数 $m$ 取最小值。

由以上分析可得,比较器个数 $m$ 取值为 $2^b(a-c) + 2^{b+1}c - a$ 时,基准区间划分最优。

## 2 仿真验证与结果分析

为了验证本文基于分段多分搜索算法和最优比较器数目算法的A/D转换方案,用中芯国际(SMIC)提供的 $0.35 \mu\text{m}$  Si CMOS工艺模型设计了一种8-bit位分段多分搜索250 MSPs ADC,并进行了电路设计、仿真和模拟验证。

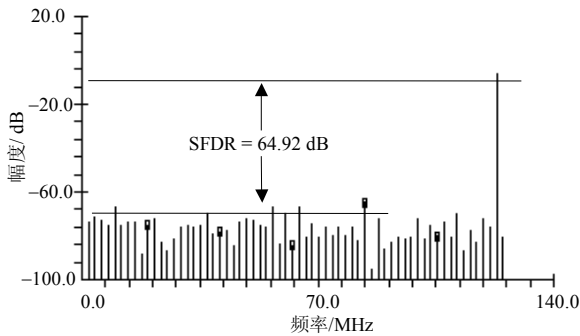


图3 8-bit分段多分搜索ADC SFDR模拟结果

图3为高速数模转换器以250 MHz采样时钟对123.046 875 MHz正弦输入信号进行A/D转换时,其无杂散动态范围(spurious free dynamic range, SFDR)的模拟结果。可以看出该ADC SFDR的模拟结果达

到64.92 dB,满足8位分辨要求。

图4给出了其线性仿真结果。从图上可以看出该ADC具有非常好的线性,差分非线性度(differential nonlinearity, DNL)和微分非线性度(integral nonlinearity, INL)均小于典型要求( $\leq \pm 0.5$  LSB)。特别是INL性能,由于摒弃了子DAC、残差放大等部分,因而消除了这些模块对整个ADC系统在噪声、线性等方面的影响,使得INL提高较多。

整个ADC芯片面积仅为 $1.0 \text{ mm} \times 0.8 \text{ mm}$ ,其功耗为85 mW。表1为本文所设计分段多分搜索ADC与最新的基于 $0.35 \mu\text{m}$ 及 $0.35 \mu\text{m}$ 以下CMOS工艺的高速ADC在面积、功耗等性能的对比。由表1可见,基于分段多分搜索算法的模数转换设计方法在面积与功耗方面具有优势。

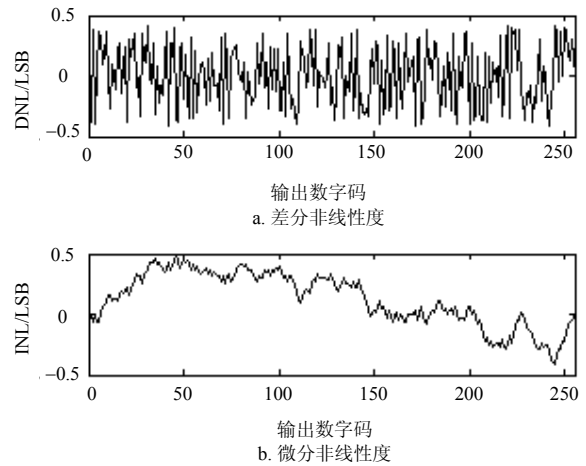


图4 8-bit分段多分搜索ADC线性模拟结果

## 3 结论

本文提出了分段多分搜索算法和基于该算法的ADC设计新方案。该方案可使ADC在分辨率较高的情况下既保持Flash结构高速特点,又使所需比较器个数大大减少且无需子DAC和残差放大模块,从而明显地降低了系统设计复杂度,并为减小ADC芯片面积与功耗提供了新思路。

表1 几种高速ADC性能比较

	分辨率	采样速度 /MHz	面积 /mm <sup>2</sup>	功耗 /mW
文献 [1]	7	300	1.20	200.0
文献 [2]	8	100	2.60	108.9
文献 [4]	6	400	1.20	190.0
文献 [8]	8	200	0.25	177.0
AD9480 (ADI公司产品)	8	250	--	590.0
本文	8	250	0.80	85.0

基于该方案和SMIC 0.35  $\mu\text{m}$  CMOS工艺模型实现的8位250 MSPs ADC, 达到了8位分辨率, INL和DNL均小于 $\pm 0.5$  LSB, 而其面积仅为 $1\text{ mm} \times 0.8\text{ mm}$ , 功耗85 mW。

该方法可望用于小面积低功耗高速ADC进一步的理论与工程开发。

### 参 考 文 献

- [1] LI Y, EDGAR S S. A wide input bandwidth 7-bit 300-MSample/s folding and current-mode interpolating ADC [J]. IEEE JSSC, 2003, 38(8): 1405-1410.
- [2] ROBERT C T, MARIA R. A 100-MSPs 8-bit CMOS subranging ADC with sustained parametric performance from 3.8 V down to 2.2 V[J]. IEEE JSSC, 2001, 36(3): 331-338.
- [3] LI J P, AHN G C, CHANG D Y, et al. A 0.9-V 12-mW 5-MSPs algorithmic ADC with 77-dB SFDR[J]. IEEE JSSC, 2005, 40(4): 960-969.
- [4] SANROKU T, WILLIAM G S, TOSHIKI E. A CMOS 6-b,400-MSample/s ADC with Error Correction[J]. IEEE JSSC, 1998, 33(12): 1939-1947.
- [5] CHOUDHURY J, MASSIHA G H. Efficient encoding scheme for ultra-fast flash ADC[C]//Topical Conference on Wireless Communication Technology. Hawaii: IEEE, 2003: 38-39.
- [6] GINSBURG B P, CHANDRAKASAN A P. An energy-efficient charge recycling approach for a SAR converter with capacitive DAC[C]//Proc of the 5th IEEE ISCAS. Kobe, Japan: IEEE, 2005: 184-187.
- [7] YU Q, WANG X Z, NING N, et al. A 10-Bit 100MSPs 0.35 $\mu\text{m}$  Si CMOS Pipeline ADC[C]//Proc of the 7th IEEE ICSICT. Beijing: IEEE, 2004: 1523-1525.
- [8] CHEN C, WANG Z, REN J, et al. An embedded 200-MSPs 8-bit 177mW folding and interpolating CMOS ADC in 0.25-mm<sup>2</sup>[C]//Proc of 5th International Conference on ASIC. Beijing, Piscataway(NJ): IEEE, 2003: 661-664.

编辑 张俊

(上接第49页)

### 参 考 文 献

- [1] HOST S, JOHANNESSON R, ZY ABLOV V. A first encounter with binary woven convolutional codes[C]//Proc Int Symp Communication Theory Applications. U K: [s.n.], 1997: 13-18.
- [2] BERROU C, GLAVIEUX A, THITIMAJSHIMA P. Near Shannon limit error-correcting coding and decoding: Turbo codes[EB/OL]. (1993-12-18)[2005-08-09]. [http://ieeexplore.ieee.org/xpls/abs\\_all.jsp?arnumber=397441](http://ieeexplore.ieee.org/xpls/abs_all.jsp?arnumber=397441).
- [3] FORNEY G D J. Concatenated codes[M]. Cambridge, Massachusetts: Massachusetts Institute of Technology, 1966.
- [4] 魏琴芳, 王琳, 罗智勇. 编织卷积码的编码原理及其分类[J]. 无线通信技术, 2004, 13(1): 13-17.
- [5] 王军勇, 王琳, 王丹, 等. 斜纹结构的编织卷积码的性能仿真[J]. 重庆邮电学院学报(自然科学版), 2005, 17(4): 414-417.
- [6] YASUDE Y, KASHIKI K H. High-rate punctured convolutional codes for soft decision Viterbi decoding[J]. IEEE Trans Commun, 1984, 32(3): 315-318.
- [7] BEGIN G, HACCOUN D. High-rate punctured convolutional codes: Structure properties and constructing techniques[J]. IEEE Trans Commun, 1997, 38(11): 1922-1928.
- [8] FREUDENBERGER J, BOSSERT M, ZYABLOV V, et al. Woven codes with outer block codes[C]//ISIT2000. Italy: Sorrento, [s.n.], 2000.
- [9] JORDAN R, HÖST S, JOHANNESSON R, et al. Woven convolutional codes II: Decoding aspect[J]. IEEE Trans on Information Theory, 2004, 50(10): 2522-2529.
- [10] BENEDETTO S, MONTOMI G. Serial concatenation of interleaved codes: Performance analysis, design, and iterative decoding[J]. IEEE Trans on Information Theory, 1998, 44: 909-926.

编辑 漆蓉