

单片DC/DC变换器的分析与设计

李清华, 邵志标, 耿莉

(西安交通大学电子与信息工程学院 西安 710049)

【摘要】在0.35 μm 硅衬底CMOS工艺条件下,分析了集成平面电感器的单片DC/DC变换器的功率损耗,折中考虑了设计中的难点以及各种影响因素。优化了变换器的转换效率,确定其开关频率为100 MHz;考虑片上集成平面电感器的单位面积电感值与品质因数的大小也是决定DC/DC变换器性能的关键因素,该文给出了双层平面螺旋电感器的物理设计与几何参数优化,获得了双层平面螺旋电感。模拟结果表明该变换器工作稳定,转换效率可以达到62%。

关键词 DC/DC变换器; 转换效率; 单片; 平面电感器

中图分类号 TN4

文献标识码 A

Analysis and Design of Monolithic DC/DC Converters

LI Qing-hua, SHAO Zhi-biao, GENG Li

(School of Electronic and Information Engineering, Xi'an Jiaotong University Xi'an 710049)

Abstract The challenges and tradeoffs in designing a monolithic DC/DC converter including planar inductor using 0.35 μm CMOS technology on silicon substrate are described by analyzing the power dissipation of the converters. The efficiency of the converter is optimized. The physical design and geometric parameters optimization of the desired planar inductor are given. A double-layer spiral inductor with quality factor of 2.3, area of 0.38 square millimeters, inductance of 35 nH are obtained. From the simulated results, a steady Buck converter with the efficiency of 62% is achieved.

Key words DC/DC converter; efficiency; monolithic; planar inductor

移动电子设备需要超低功耗的硬件来最大限度地增大系统运行时间,而既保持低功耗又保持计算性能的最有效途径是使每个系统都工作在其最优的电源电压状态,因此需要有高效的DC/DC变换器将单一的电池电源有效地转换成各个低压电源。目前应用的单片DC/DC变换器主要还是对控制芯片的集成,而将无源器件电感与电容外置,仍然存在接口功耗、电源体积等问题。单片DC/DC的研究工作主要集中在以下两个方面:(1)从电路设计上取代或减轻对电感器的要求^[1-4]。(2)解决工艺兼容的电感集成技术^[5-8]。

对于采用硅衬底CMOS工艺实现的单片完全集成DC/DC变换器,转换效率的提高与平面电感器的集成是设计的主要难点。本文分析了影响变换器效率的重要因素,并设计优化了变换器中的平面电感器;优化确定了100 MHz的开关频率以及双层串联

平面电感器的几何尺寸;采用0.35 μm CMOS工艺对所设计的Buck变换器进行模拟,结果表明系统稳定。但平面集成电感器的串联电阻对输出电压的瞬态特性有一定程度的影响,使其有约6%的偏移。

1 转换效率分析

CMOS PWM Buck变换器结构如图1所示。开关晶体管 M_1 与同步整流晶体管 M_2 将输入电压 $V_{in}=V_{DD}$ 斩波,滤波电感 L_f 与滤波电容 C_f 组成的低通滤波器将AC纹波电压削弱到可接受的值;将输出电压 V_{out} 与一个参考电压 V_{ref} (不随温度发生变化)进行对比,然后调整占空比 D ,从而调整输出电压。

Buck变换器的静态电压与电流波形如图2所示。 ΔV 是输出电压 V_{out} 的纹波电压,变换器工作在连续电流模式(CCM),电流纹波 ΔI 与静态输出电流 I_{out} 满足:

$$\frac{\Delta I}{2} = \frac{V_{in} D (1 - D)}{2 f_{switch} L} \leq I_{out} \quad (1)$$

收稿日期: 2006-04-01; 修回日期: 2006-10-21

基金项目: 国家自然科学基金(60206003)

作者简介: 李清华(1976-),女,博士生,主要从事CMOS全集成DC/DC变换器方面的研究。

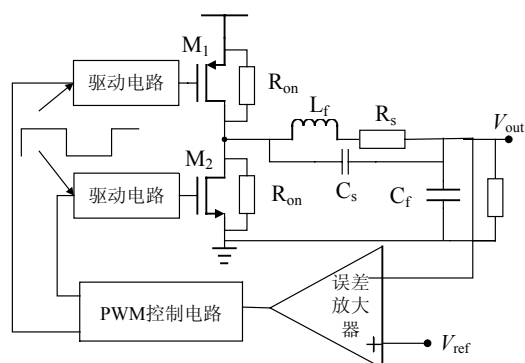


图1 Buck变换器结构图

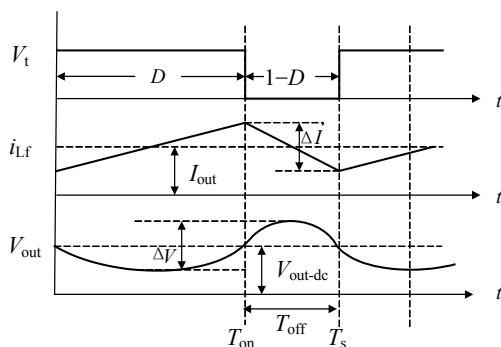


图2 静态电流与电压波形

由式(1)可知,变换器中所需的最小滤波电感值为:

$$L_{f \min} = \frac{(1-D)(R_{\text{load}} + R_{\text{on}} + R_{\text{ind}})}{2f_s} \quad (2)$$

由式(2)可知,当负载给定时,增大开关频率可以降低电感器所需的最小值。

变换器的转换效率主要取决于开关器件、驱动电路、集成电感和控制电路的损耗,即:

$$\eta = \frac{P_{\text{out}}}{P_{\text{total}}} = \frac{P_{\text{out}}}{P_{\text{out}} + P_{\text{Ron}} + P_{\text{driver}} + P_{\text{ind}} + P_{\text{ctrl}}} \quad (3)$$

开关器件的导通电阻 R_{on} 产生的损耗为:

$$P_{\text{Ron}} = i_{\text{rms}}^2 R_{\text{on}} \approx D \left[\frac{I_{\text{out}}^2 + \frac{1}{3} \left(\frac{\Delta I}{2} \right)^2}{\mu_p C_{\text{ox}} \left(\frac{W}{L} \right)_p (V_{\text{GSp}} - V_{\text{THp}})} \right] + (1-D) \left[\frac{I_{\text{out}}^2 + \frac{1}{3} \left(\frac{\Delta I}{2} \right)^2}{\mu_n C_{\text{ox}} \left(\frac{W}{L} \right)_n (V_{\text{GSn}} - V_{\text{THn}})} \right] \quad (4)$$

在驱动电路中,假设有 n 级缓冲,则对开关器件进行充电和放电所产生的损耗为:

$$P_{\text{driver}} = [C_{P-1,2} + C_{P-3,4} + \dots + C_{P-(n-1),n}] f_{\text{switch}} V_{\text{in}}^2 \quad (5)$$

集成平面电感器的串联电阻 R_{ind} 也会影响输出功率与功率损耗,即:

$$P_{\text{Rind}} = i_{\text{rms}}^2 R_{\text{ind}} \approx R_{\text{ind}} \left[I_{\text{out}}^2 + \frac{1}{3} \left(\frac{\Delta I}{2} \right)^2 \right] \quad (6)$$

控制电路(包括比较器、补偿器等)的功耗在总功率中所占的比例通常都在10%以下,可视为一个常数。

对于CMOS工艺单片集成变换器,要在合理的面积内获得较高的转换效率,在设计中必须应用各种折中。由以上各公式可知,增大开关频率可以降低变换器所需的电感值,也就是降低了平面电感器串联电阻对变换器转换效率的影响;但是增大开关频率的同时也增大了开关损耗与驱动损耗。本文应用文献[9]的优化方法来确定开关频率。

以一个额定输入输出3.3 V/1.5 V,额定负载为50 Ω的Buck变换器为例,采用0.35 μm硅衬底CMOS工艺,经过优化确定开关频率为100 MHz。开关晶体管与同步整流晶体管的宽长比分别为 $(W/L)_p = (6000/0.35)$, $(W/L)_n = (2000/0.35)$ 。

2 双层平面螺旋电感器的物理设计与模型

在连续电流模式(CCM)的Buck变换器中,假定所设计的输出电压纹波低于±5%,由式(1)~(2)可知采用最大输出电压纹波 $\Delta V_{\text{out}} = 75$ mV,滤波电感值 $L_f = 32$ nH。

为了降低平面电感所占的面积并且与工艺兼容,本文设计优化了方形双层串联螺旋电感,如图3所示。在单层平面电感中串联电容的值很小,往往可以忽略不计;但在双层串联平面电感中串联电容也成了影响品质因数 Q 的重要参数之一。为了提高单位面积的电感值和品质因数,必须对电感器进行优化。

工作频率在100 MHz左右的双层串联平面电感器的品质因数为:

$$Q = \frac{\omega L_s}{R_s} \left(1 - \frac{R_s^2 C_s}{L_s} - \omega^2 L_s C_s \right) \quad (7)$$

式中 R_s 为寄生电阻; C_s 为寄生电容。对于串联的双层平面螺旋电感(假设上下两层完全相同),则有:

$$R_s = R_{s1} + R_{s2} = 2R_{s1} = \frac{2\rho l}{w\delta(1-e^{-l/\delta})} \quad (8)$$

$$C_s = A_{\text{ov}} \epsilon_{\text{ox}} / d_{\text{SiO}_2} \quad (9)$$

式中 ρ 为金属电阻率; l 为每个线圈的金属线总长度; w 为线条宽度; δ 为金属趋肤深度; t 为金属厚度; d_{SiO_2} 为上下两个线圈之间氧化层的厚度; A_{ov} 为两个线圈之间重叠的面积。

单层线圈的电感值 L_{s1} 可由文献[10]中的数据拟合单项式得到, 双层串联平面电感器的总电感值为:

$$L_s = L_{s1} + L_{s2} + 2k\sqrt{L_{s1}L_{s2}} \quad (10)$$

式中 L_{s1} 和 L_{s2} 分别是下层和上层线圈的电感值; k 为两线圈之间的耦合系数($0 < k \leq 1$)。

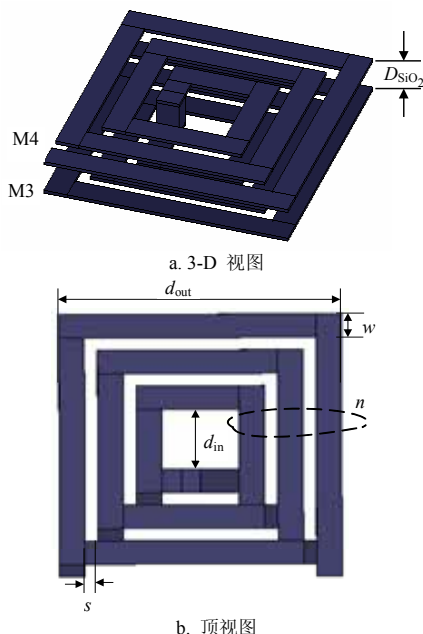


图3 方形双层平面螺旋电感器的结构图

对于单层平面螺旋电感器, 金属线条的宽度可以在允许的面积内选择最大值, 以此将电感器的寄生电阻最小化。然而在双层串联线圈中, 金属线条的宽度增大又会使电感器的寄生电容增大, 进而影响电感器性能。标准CMOS工艺中, 金属层厚度通常为定值, 所以优化重点是金属线宽度 w , 线圈的内直径 d_{in} 和相邻金属线间距 s , 以获得单位面积电感值 L_{unit} 和品质因数 Q 的最大值为优化目标。

电感器几何尺寸的优化采用文献[11]中的方法, 最终确定方形双层平面螺旋电感的几何参数为: 金属条宽 $w=50 \mu\text{m}$, 内径 $d_{in}=100 \mu\text{m}$, 相邻金属线间距 $s=2 \mu\text{m}$, 线圈数 $n=5$ 。模拟计算结果为: $L_s=35 \text{ nH}$, $R_s=9.5 \Omega$, $C_s=8.5 \text{ pF}$, $L_{unit}=92.1 \text{ nH/mm}^2$, $Q=2.3$ 。

本文将此双层平面螺旋电感置于一额定输入电压3.3 V、额定输出电压1.5 V的Buck变换器中, 如图1所示, 并对其整体性能进行了模拟。

3 模拟结果

本文进行模拟得出的Buck变换器的传输特性及转换效率如下: 额定输入电压3.3 V, 额定输出电压1.5 V, 开关频率100 MHz, 采用 $0.35 \mu\text{m}$ 硅衬底CMOS工艺, 模拟工具采用SPICE。

Buck变换器输出电压的瞬态响应如图4所示。加载 $1 \mu\text{s}$ 后, 变换器开始正常运行。由结果可知, 由于平面集成电感器串联电阻的存在, 使实际输出电压为1.4 V, 相对额定输出电压值1.5 V约有6%的偏移。本文应用足够大的滤波电容, 保证了输出电压纹波在 $\pm 5\%$ 以内。由图4可见, 整个变换器系统运行稳定。最终模拟计算得到的变换器转换效率为62%。

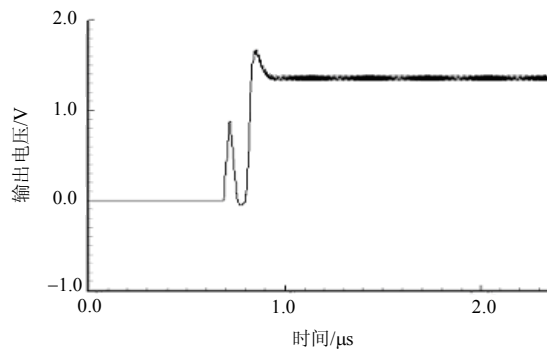


图4 Buck变换器输出电压的瞬态响应

4 结论

本文分析了CMOS单片集成DC/DC变换器中的主要功耗链, 包括导通损耗、驱动损耗以及平面集成电感的损耗。通过优化变换器的转换效率与各参数的关系确定了开关频率为100 MHz的高频运行方案; 并给出了品质因数2.3、电感值35 nH的双层串联平面螺旋电感设计。在更先进的工艺条件下, 工艺的金属层数增加, 平面螺旋电感可以考虑多层串-并联混合结构进行设计优化, 能显著提高平面电感的性能与变换器的效率。

参考文献

- [1] ZHU G, IOINOVICI A. Implementing IC-based designs for 3.3 V supplies[J]. IEEE Circuits and Devices Magazine, 1995, 11(5): 27-29.
- [2] ARNTZEN B, MAKSIMOVIC D. Switched-capacitor DC/DC converters with resonant gate drive[J]. IEEE Transactions on Power Electronics, 1998, 13(5): 892-902.
- [3] 隋晓红, 陈治明, 赵敏玲. 改善单片集成3.3 V/12 V开关电容DC-DC变换器的输出特性[D]. 西安: 西安理工大学, 2004.
- [4] HAN J, VON JOUANNE A, TEMES G C. Design and IC implementation of an ultra-low-ripple switched capacitor based Buck DC-DC converter[C]//IEEE 20th Applied Power Electronics Conference and Exposition. Piscataway, USA: IEEE, 2005: 1447-1452.
- [5] MCSHANE E A, SHENAI K. Monolithic DC power supplies for wireless telecommunications and multimedia systems[C]//IEEE 22nd International Telecommunications Energy Conference. Piscataway, USA: IEEE, 2000: 733-740.

(下转第73页)

今后将继续研究SS表示的其他布局约束,如“有预先放置模块的约束布局”、“对称约束布局”、“模块对齐约束的布局”等,并且将用程序实现SS的有边界约束的布局。

参 考 文 献

- [1] MURATA H, FUJIYOSHI K, NAKATAKE S, et al. Rectangle-packing based module placement[C]// Proceedings of the 1995 IEEE/ACM International Conference on Computer-aided Design. San Jose, California, USA: IEEE, 1995: 472-479.
- [2] NAKATAKE S, FUJIYOSHI K, MURATA H, et al. Module placement on BSG-structure and IC layout applications[C]//Proceedings of the 1996 IEEE/ACM International Conference on Computer-aided Design. San Jose, California, USA: IEEE, 1997: 484-491.
- [3] GUO P N, CHENG C K, YOSHIMURA T, et al. An O-tree representation of non-slicing floorplan and its applications[C]//Proceedings of the 36th ACM/IEEE Conference on Design Automation. New Orleans, Louisiana, USA: IEEE, 1999: 268-273.
- [4] CHANG Y C, CHANG Y W, WU G M, et al. B*-Trees: A new representation for non-slicing floorplan[C]// Proceedings of the 2000 IEEE/ACM International Conference On Computer-aided Design. San Jose, California, USA: IEEE, 2000: 458-463.
- [5] HONG X, HUANG G, CAI Y, et al. Corner block list: An effective and efficient topological representation of non-slicing floorplan[C]//Proceedings of the 2000 IEEE/ACM International Conference on Computer-aided Design. San Jose, California, USA: IEEE, 2000: 8-12.
- [6] KAJITANI Y. Theory of placement by numDAG related with single-sequence, SP, BSG, and O-Tree[C]//Proceedings of 2006 IEEE International Symposium on Circuit and System. [S. l.]: IEEE, 2006: 4-7.
- [7] OUNG F Y, WONG D F, YANG H H. Slicing floorplans with boundary constraint[J]. IEEE Transactions on Computer-aided Design of Integrated Circuits and Systems, 1999, 18(9): 1385-1389.
- [8] MA Y, DONG S, HONG X, et al. VLSI floorplanning with boundary constraints based on corner block list[C]// Proceedings of the 2001 Conference on Asia South Pacific Design Automation. Yokohama, Japan: [s.n.], 2001: 509-514.
- [9] AI J, LIN M, WANG T, et al. Module placement with boundary constraints using the sequence-pair representation[C]//Proceedings of the 2001 Conference on Asia South Pacific Design Automation. Yokohama, Japan: [s.n.], 2001: 515-520.
- [10] LIN J M, YI H E, CHANG Y W. Module placement with boundary constraints using B*-trees[J]. IEE Proceedings Circuits Devices and Systems, 2002, 149(4): 251-256.
- [11] LIU R, HONG X L, DONG S Q, et al. Module placement with boundary constraints using O-tree representation[C]// Proceedings of the 2002 IEEE International Symposium on Circuit and Systems. Phoenix-Scottsdale, AZ, USA: IEEE, 2002: 871-874.

编辑 黄莘

(上接第67页)

- [6] MUSUNURI S, CHAPMAN P L, ZOU J, et al. Inductor design for monolithic DC-DC converters[C]//IEEE 34th Annual Power Electronics Specialist Conference. Piscataway, USA: IEEE, 2003: 227-232.
- [7] RICHELLI A, COLALONGO L, QUARANTELLI, et al. A fully integrated inductor-based 1.8-6 V step-up converter[J]. IEEE Journal of Solid-State Circuits, 2004, 39(1): 242-245.
- [8] MUSUNURI S, CHAPMAN P L, ZOU J, et al. Design issues for monolithic DC-DC converters[J]. IEEE Transactions on Power Electronics, 2005, 20(3): 639-649.
- [9] GENG Li, LI Qing-hua, SHAO Zhi-biao. A new design strategy for the monolithic buck converters[C]//In Proc IEEE 4th International Power Electronics and Motion Control Conference. Piscataway, USA: IEEE, 2004: 192-196.
- [10] MOHAN S S, HERSHENSON M M, BOYD S P, et al. Simple accurate expressions for planar spiral inductances[J]. IEEE Journal of Solid-State Circuits, 1999, 34(10): 1419-1424.
- [11] LI Qing-hua, GENG Li, SHAO Zhi-biao. Optimum double-layer spiral inductor on silicon substrate designed for monolithic buck converters[C]//In Proc of 17th Asia-Pacific Microwave Conference. Piscataway, USA: IEEE, 2005: 2156-2159.

编辑 黄莘