

消除重复计算的H.264帧内预测电路

马涛, 陈杰

(中国科学院微电子研究所通信与多媒体SOC实验室 北京市 朝阳区 100029)

【摘要】通过分析H.264编码标准中帧内预测的17种模式,提出了一种有效的应用于H.264视频标准帧内预测算法的可配置电路,可以支持标准中规定的所有预测模式。该电路通过合理地利用一些特殊模式的空闲周期,提前计算出后续预测模式中的部分预测值,并且利用同一预测模式中相邻行(列)间预测值的冗余信息,使用两个计算单元实现了每个周期处理4个像素的预测值。电路在55 MHz运行速度下每秒可以处理39帧标清图像,完全满足标清序列的实时编码需求。

关键词 H.264; 集成电路设计; 帧内预测; 并行处理
中图分类号 TN47 文献标识码 A

Computing Process Optimized Hardware for H. 264 Intra Prediction

MA Tao and CHEN Jie

(Institute of Microelectronics of Chinese Academy of Sciences Chaoyang Beijing 100029)

Abstract Based on the analysis of all the intra prediction modes of H.264, an efficient hardware architecture for H.264 prediction is proposed to support all the prediction modes. By utilizing the idle cycles of certain special modes, some prediction values can be calculated in advance. The redundancy of prediction values between two neighbour lines in the same prediction mode is also fully utilized in order to get four prediction values in one cycle using two calculating units. Under 55 MHz frequency, the implements can process 39 standard definition TV (SDTV) frames(720×480) per second.

Key words H.264; integrated circuit design; intra prediction; parallel execution

H.264的帧内预测是在空域中利用当前块的相邻像素直接对每个系数做预测,有效地去除了相邻块之间的空间冗余度,因此可以极大地提高帧内编码的效率。H.264的帧内预测包括9种4×4亮度块的预测模式、4种16×16亮度块的预测模式和4种8×8色度块的预测模式。3种不同大小的预测块和多达17种的预测模式,在提高预测精度的同时,也使得计算的复杂度和冗余度大大增加。针对这种情况,出现了一些针对帧内预测模式决策的快速算法^[1-3]和针对帧内预测的电路结构^[4-7]。

本文针对H.264的帧内预测算法,提出了一种充分利用预测模式中各预测值之间的冗余关系的有效电路设计。该电路可根据不同的预测类型,配置成不同的形式。与文献[4]相比,减小了硬件面积;与文献[5]相比,减少了计算周期,从而结合了两者的优点。本文提出的结构用Verilog HDL语言实现,在55 MHz的工作频率下,每秒可以处理39帧标清图

像(720×480)。

1 H.264帧内预测算法简介

在H.264/AVC视频编码标准中,对于亮度分量,支持两种尺寸的帧内预测方式:一种是以4×4为单元进行预测;另一种是以整个16×16块作为整体进行预测。4×4亮度块有9种预测模式可供选择,该9种模式中除了直流模式是所有像素的值都相等外,其余8种都带有方向性。图1为9种预测模式的示意图。预测时需要使用相邻已编码块中的13个像素点。16×16亮度块有4种预测模式,图2给出了该4种预测模式的示意图,其中平面模式是通过整数计算来逼近双线性插值运算,因此计算相对复杂。

色度块的预测独立于亮度块,两个色度分量使用相同的预测模式。色度预测以8×8块为单位,每个块有4种预测模式可供选择。除了尺寸是以8×8为单位,以及直流模式的计算公式有一些变化外,色度块的预测模式与16×16亮度块的预测模式非常相似。

收稿日期: 2007-09-05; 修回日期: 2008-02-28

基金项目: 国家自然科学基金(60425413)

作者简介: 马涛(1980-),男,博士,主要从事多媒体系统芯片设计方面的研究。

以上各预测模式的具体计算公式可参考文献[8-10], 本文因篇幅限制, 不再给出。

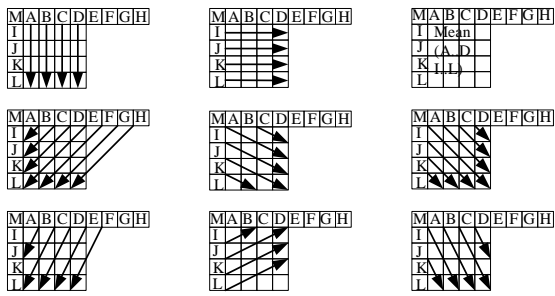


图1 4x4亮度块预测模式

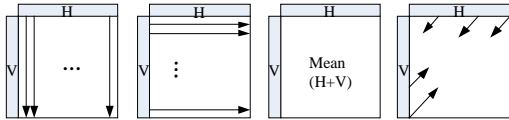


图2 16x16亮度块预测模式

2 硬件结构

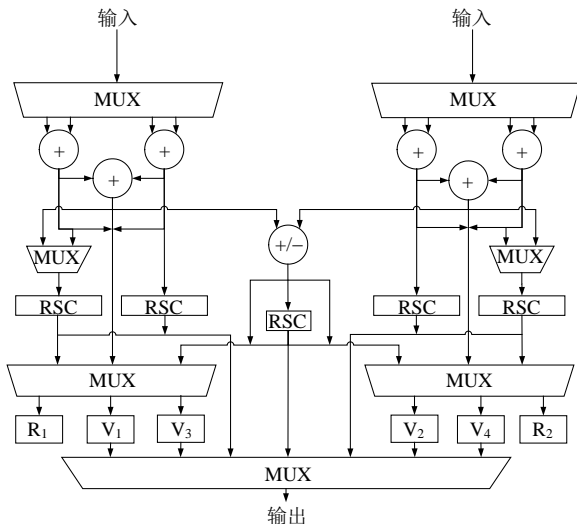


图3 本文提出的可配置电路

本文提出的可重配置的电路结构如图3所示。它包括左右两个计算单元、一个中间计算支路, 以及下端的输出复选器。每个计算单元包括1个输入复选器、3个加法器、2个四舍五入移位裁剪器(RSC)、1个缓存复用器及3个寄存器。输入复选器按照当前模式的计算公式, 给相应的加法器选择不同的输入值。与输入复选器直接相连的两个加法器用于16x16亮度块及8x8色度块的平面模式。与这两个加法器相连的第3个加法器用于4x4亮度块除直流模式外的其余8种预测模式。四舍五入移位器和裁剪器用于将加法器计算结果按规定方式限制在[0,255]区间内。缓存复选器将计算结果送入相应的寄存器中, 3个寄存器用于存放中间结果及最终的预测值。电路中部的计算分支用于初始化及直流模式。输出复选器根据当

前的工作状态选择适当的值并进行输出。

2.1 4x4亮度块预测模式的硬件结构

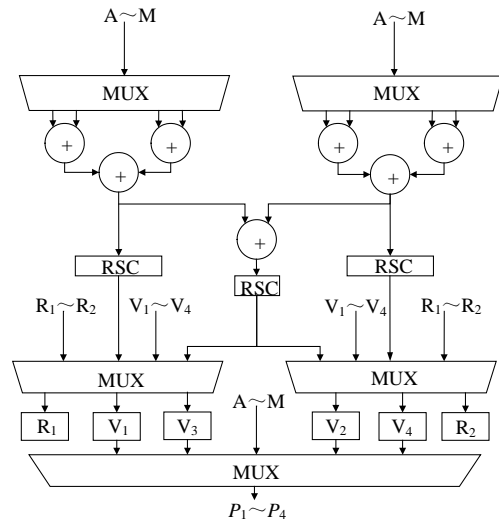


图4 4x4预测模式的电路配置

在4x4亮度块9种预测模式中, 垂直模式与水平模式无需插值计算, 因此可以利用处理这两种模式的周期提前计算其他模式中的部分预测值。在DC模式中, 整个4x4块中的所有像素的预测值相同, 因此, 它只需要一个周期进行计算, 剩余的周期也可用于计算其他模式的预测点。在同一预测模式内部各点间的预测值存在冗余, 如在对角线向左下模式和对角线向右下模式中, 相邻两行中有3个像素点的预测值相同; 在水平向上模式和水平向下模式中, 相邻的两行中有两个像素点的预测值相同; 在垂直向右模式和垂直向左模式中, 相邻两列中有两个像素点的预测值相同, 合理利用这些冗余信息可以节省计算开销。

基于上述分析, 4x4亮度块预测电路的配置如图4所示。两侧的插值单元每个周期最多可以并行计算出两个预测点的值。位于两个插值单元中间的求和分支用于计算DC值。R₁、R₂两个寄存器用于存放在空闲周期提前计算的预测值, 4个(V₁~V₄)寄存器用于存放当前行(列)的4个预测值(P₁~P₄)。9种预测模式被分成3组, 第1组包括垂直模式、对角线向左下模式和对角线向右下模式。第2组包括DC模式、水平向上模式和水平向下模式。第3组包括水平模式、垂直向左模式和垂直向右模式。前两组中每个周期输出4x4块的一行, 第3组每个周期输出4x4块的一列。每组中第一种模式至少有3个周期不需要进行预测值计算, 它们的第3和第4个周期用于为其他两种模式计算第一行(列)的两个预测值, 另外的两个预测值则在相应模式的第一个周期内计算获得。在剩

余的周期中, 相邻两行(列)中相同的预测值通过 $V_1 \sim V_4$ 之间的传递进入相应的寄存器, 新的预测值则利用两个计算单元计算并由缓存复选器送入相应寄存器。完成一个宏块的所有 4×4 亮度块预测值生成需要576个周期。

2.2 16x16亮度块预测模式的硬件结构

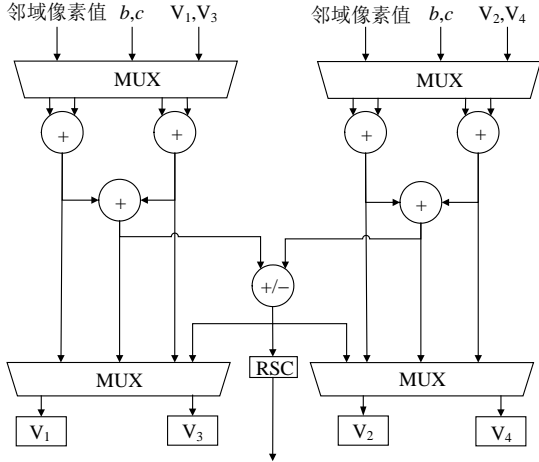


图5 初始化计算电路配置

16x16亮度块有4种预测模式, 分别是水平模式、垂直模式、直流模式和平面模式。垂直和水平两种模式不需计算, 直流模式只需要计算一个预测值, 最为复杂的是平面预测模式。若直接按标准中规定的公式进行实现, 计算一个平面模式的预测值需要2个乘法器、5个加法器和1个移位器。为了减小计算的复杂度, 本文采用了文献[4]中提出的计算方法, 并进行了修改以利于硬件实现。该算法需要一个初始化过程来计算 b 、 c 以及 $A_0 \sim A_4$ 这4个种子值, 电路配置如图5所示, 并修改了标准中定义的公式使其易于使用该电路配置进行计算:

$$H_1 = \sum_{k=0}^7 \sum_{x'=-1}^{15-k} p(x', -1) \quad (1)$$

$$H_2 = \sum_{k=0}^7 \sum_{x'=-1}^{k-1} p(x', -1) \quad (2)$$

$$V_1 = \sum_{k=0}^7 \sum_{y'=15}^{15-k} p(-1, y') \quad (3)$$

$$V_2 = \sum_{k=0}^7 \sum_{y'=-1}^{k-1} p(-1, y') \quad (4)$$

$$b = (H_1 + 4 \times H_1 - H_2 - 4 \times H_2 + 32) \geq 6 \quad (5)$$

$$c = (V_1 + 4 \times V_1 - V_2 - 4 \times V_2 + 32) \geq 6 \quad (6)$$

$$w = 4 \times (p(-1, 15) + p(15, -1)) \quad (7)$$

$$a = 4 \times w \quad (8)$$

$$A_0 = (a - 3b - 3c) \quad (9)$$

$$A_1 = A_0 + 3b \quad (10)$$

$$A_2 = A_1 + 3b \quad (11)$$

$$A_3 = A_2 + 3b \quad (12)$$

其中, 式(1)的计算需要9个周期, 开始先把 V_1 和 V_3 置零, 在1~8周期内, 按照 $V_3 = V_3 + p(x', -1)$ 和 $V_1 = V_1 + V_3$ 的方式更新这两个寄存器, 在第9周期内, 令 V_3 保持不变, 并令 $V_1 = V_1 + V_3$, 此时 V_1 中即为 H_1 的值。通过计算 $V_3 = V_1 + V_1 + V_1 + V_1$, 可得 $4H_1$ 。按照同样的方式, 计算单元2可同步计算出 H_2 与 $4H_2$, 分别存放于 V_2 和 V_4 中, 这样就可利用两个计算单元中间的计算分支计算式(5)来求得 b 。 c 的计算与之类似。其他公式的计算过程不再赘述, 整个初始化过程需要30个周期。

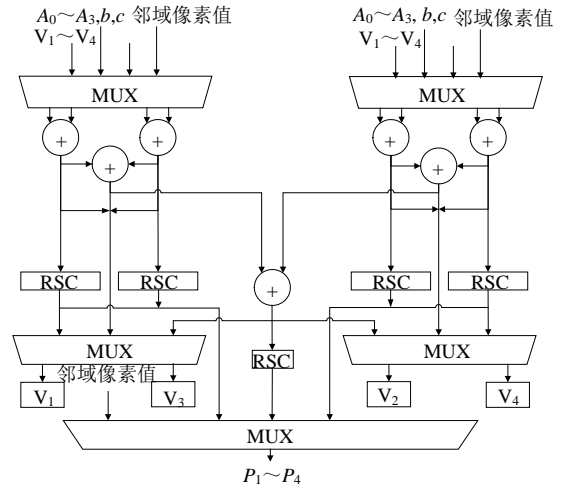


图6 16x16亮度块预测模式的电路配置

16x16亮度块预测模式的电路配置如图6所示。

16x16的块被分成16个4x4的子块分别进行处理, 该方法有利于与文献[4]提出的方法兼容, 解决在4x4预测模式中相邻两块间的周期停顿问题。对每个子块, 都要进行4种预测模式的计算。直流模式中, 所有点的值都相同, 该值的计算最多需要将32个重构点相加, 为此将水平模式安排在DC模式之前, 在每个周期内利用中间的计算分支求出8个重构点之和, 并分别存于 $V_1 \sim V_4$ 中。在DC的4个周期中, 即可利用中间的计算分支将 $V_1 \sim V_4$ 中的值相加, 并做移位裁剪得到DC值。在平面模式中, 对每个4x4子块首先需要计算出该子块第一行未经四舍五入移位和裁剪的原始值, 这可利用垂直模式的空闲周期来进行, 并将其分别存在 $V_1 \sim V_4$ 中。在平面模式的第一个周期, $V_1 \sim V_4$ 中的值经四舍五入和移位即得第一行的预测值。在剩余的每个周期中, $V_1 \sim V_4$ 与 c 相加并经四舍五入移位和裁剪可得下一行的预测值, $V_1 \sim V_4$ 与 c 之和用于更新相应的寄存器。

2.3 色度块预测模式的硬件结构

由于8x8色度块的预测模式与16x16亮度块的预

测模式非常相似,因此本文提出的8×8色度块预测模式的硬件结构与16×16亮度块预测模式的硬件结构类似。对色度块的平面预测模式也做了与16×16亮度块的平面预测模式相同的变换,在初始化阶段需要为每个色度分量计算两个种子值。

3 仿真与综合结果

本文电路结构采用Verilog HDL语言实现,用ModelSim进行功能仿真,并使用Synplify软件进行综合,器件选用Altera Stratix II EP2S180fc1020,速度设为4,综合后运行频率最高可达138.3 MHz。基于SMIC 0.18 μm最坏的工艺,设定综合后的电路的关键路径最大时延10 ns,得到的电路规模不到1万门。该电路的配置模式由各复选器的控制信号所决定,在各种配置模式下电路均可保持每周期产生4个预测点的性能。

与文献[4]相比,本文的设计节约了2个PE,其中每个PE包括4个加法器、2个复选器、1个四舍五入移位器和1个裁剪器,从而节约了近50%的硬件资源。文献[5]提出的结构在90 MHz下每秒处理27帧VGA图像(640×480),而本文提出的结构可以在55 MHz下每秒处理39帧标清图像(720×480),处理一个宏块所需的平均时钟数节约了63%。

4 结论

本文提出的可重配置电路可有效地支持H.264标准所规定的所有帧内预测模式。对于各预测模式间的时间冗余以及预测模式内部的空间冗余都进行了充分的利用,从而减小了硬件面积,提高了处理速度。电路实现在55 MHz频率下每秒可处理39帧标清图像的帧内预测,满足了实时编码的要求。

参考文献

- [1] WANG Jhing-fa, WANG Jia-ching, CHEN Jang-ting, et al. A novel fast algorithm for intra mode decision in H.264/AVC encoders[C]//IEEE International Symposium on Circuits and Systems. Kos: IEEE, 2006: 3498-3501.
- [2] PAN Feng, LIN Xiao, RAHARDJA S, et al. Fast mode decision algorithm for intraprediction in H.264/AVC video coding[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2005, 15(7): 813-822.
- [3] 孔磊, 田荣恩, 刘钊. 对视频传输协议H.26L的实现及改进[J]. 电子科技大学学报, 2006, 35(1): 21-24.
KONG Lei, TIAN Rong-en, LIU Zhao. Realization and improvement of low-rate video coding standard—H. 26L. [J]. Journd of University of Electronic Science and Technology of China, 2006, 35(1): 21-24.
- [4] HUANG Yu-wen, HSIEH Bing-yu, CHEN Tung-chien, et al. Analysis, fast algorithm, and VLSI architecture design for H.264/AVC intra frame coder[J]. IEEE Transactions on Circuits and Systems for Video Technology, 2005, 15(3): 378-401.
- [5] SAHIN E, HAMZAOGLU I. An efficient hardware architecture for H.264 intra prediction algorithm[C]//Design, Automation & Test in Europe Conference & Exhibition. Nice: IEEE, 2007: 1-6.
- [6] SAHIN E. An efficient H.264 intra frame coder hardware design[D]. Istanbul: The Graduate School of Engineering and Natural Sciences of Sabanci University, 2006.
- [7] SUH K, PARK S, CHO H J. An efficient hardware architecture of intra prediction and TQ/IQIT module for H.264 Encoder[J]. ETRI Journal, 2005, 27(5): 511-524.
- [8] PURI A, CHEN X, LUTHRA A. Video coding using the H. 264/MPEG-4 AVC compression standard[J]. Signal Processing: Image Communication, 2004, 19: 793-849.
- [9] RICHARDSON I E G. H.264/MPEG-4 part 10 white paper: intra prediction.[EB/OL]. [2003-04-05] http://www.vcodex.com/files/h_264_intrapred.pdf.
- [10] WEIGAND T, SULLIVAN G, BJNTEGAARD G, et al. Overview of the H.264/AVC video coding standard[J]. IEEE Transactions on Circuits and Systems for Video Technology. 2003,13(7): 560-576.

编辑 张俊