

CDTTB标准中LDPC码的编码结构设计

林竞力¹, 敬龙江², 陈涛¹, 陈客松¹, 朱维乐¹

(1. 电子科技大学电子工程学院 成都 610054; 2. 四川石油管理局物探公司 成都 610213)

【摘要】中国数字地面电视广播标准采用准循环低密度校验码(QC-LDPC codes)作为其信道编码的内码。根据该类LDPC码的准循环特性, 该文提出了一种基于流水线方式的半并行编码结构, 可实现发射机中LDPC码的多码率编码; 在满足系统净荷数据率的前提下, 合理规划多种寄存器, 充分复用硬件资源, 降低其消耗。使用编程门阵列(FPGA)实现此结构, 通过验证, 证明了该结构编码结果正确, 资源利用率较低。

关键词 中国数字地面电视广播标准; 可编程门阵列; 多码率; 流水线; 准循环低密度校验码; 半并行
中图分类号 TN911.22 **文献标识码** A **doi**:10.3969/j.issn.1001-0548.2009.03.006

Design of Encoder for LDPC Codes Used in CDTTB Standard

LIN Jing-li¹, JING Long-jiang², CHEN Tao¹, CHEN Ke-song¹, and ZHU Wei-le¹

(1. School of Electronic Engineering, University of Electronic Science and Technology of China Chengdu 610054;

2. Geophysical Company of Chuanqing, Drilling Engineering Company Limited Chengdu 610213)

Abstract Quasi-cyclic low-density parity-check (QC-LDPC) codes have been adopted as the inner code of channel codes in chinese digital terrestrial television broadcasting standard (CDTTB). These code have encoding advantage over other types of LDPC codes. Based on its systematic circulant form, this paper presents an encoder with semi-parallel and pipeline architectures. The encoding of LDPC codes at multiple rates can be achieved in transmitter. With carefully designing the involved registers and fully multiplexing the hardware, resources are reduced on the premises that the payload rates are met. This architecture has been implemented and its functionality verified.

Key words chinese digital terrestrial television broadcasting standard; FPGA; multiple rates; pipeline; quasi-cyclic low-density parity-check codes; semi-parallel architecture

低密度校验(LDPC)码^[1]是可用稀疏校验矩阵描述的线性分组码, 因在迭代译码条件下逼近Shannon限的能力^[2], 近年来受到越来越多的关注, 并成功地应用于多个行业标准, 如第二代欧洲数字电视卫星广播标准(DVB-S2)^[3]和中国数字地面电视广播标准(CDTTB)^[4]。

LDPC码主要分为随机化LDPC码^[5-6]和结构化LDPC码^[7-9]两大类。前者因为其随机性有较优异的性能, 但在编译码时需要完整地存储整个生成矩阵或校验矩阵, 耗费大量的硬件资源, 带来较大的编译码复杂度; 后者因为其结构性特征, 可从存储的生成矩阵和校验矩阵部分行列信息递推完成编译码, 为硬件实现带来了方便。CDTTB采用的准循环LDPC码是一种结构化LDPC码。本文根据其结构, 设计了在一个发射机内可实现3种码率编码的编码器的FPGA方案。

1 CDTTB中LDPC码的生成矩阵

1.1 QC-LDPC码

QC-LDPC码^[8-9]是一类特殊的高度结构化的LDPC码, 对于一个 $m \times n$ 阶的校验矩阵, 包括 $(m/b) \times (n/b)$ 个子矩阵, 每个子矩阵都是 $b \times b$ 阶循环移位阵或零方阵。该类LDPC码的一些重要性质为:

- (1) 每个子矩阵的逆矩阵是循环移位阵;
- (2) 两个子矩阵的和与积的结果都是循环移位阵;
- (3) 每个循环移位阵的第二行是第一行的循环右移一位, 第三行是第二行的循环右移一位; 依此类推, 第一行是最后一行的循环右移一位, 其第二列是第一列的循环下移一位, 第一列是最后一列的循环下移一位。

LDPC码的性质(1)和(2)保证了一个由QC-LDPC

码校验矩阵生成的矩阵仍然具有准循环结构, 性质(3)表明每个子矩阵的第一行(列)的“1”元素位置确定后, 其他“1”元素位置就相应确定, 即校验矩阵(生成矩阵)的各子矩阵可以由其第一行或者第一列表征, 称为循环行列式的行(列)生成器(generator)。由此, 可降低编译码时的硬件复杂度。在硬件实现时, 只需存储生成矩阵(校验矩阵)各子矩阵的行(列)生成器, 从而所需存储单元为随机化LDPC码的1/b。在本文的编码器设计中存储了子矩阵的行生成器。

1.2 CDTTB中LDPC码的生成矩阵结构

在CDTTB中, 根据矩阵分解中的两个信息符号的RS码方法构造了0.4、0.6、0.8 3种码率的LDPC码的校验矩阵^[10], 转换得到其生成矩阵 G_{qc} ^[4]为:

$$G_{qc} = \begin{bmatrix} G_{0,0} & G_{0,1} & \cdots & G_{0,c-1} & I & O & \cdots & O \\ G_{1,0} & G_{1,1} & \cdots & G_{1,c-1} & O & I & \cdots & O \\ \vdots & \vdots & & G_{i,j} & \vdots & \vdots & \ddots & \vdots \\ G_{k-1,0} & G_{k-1,1} & \cdots & G_{k-1,c-1} & O & O & \cdots & I \end{bmatrix} \quad (1)$$

式中 I 是 $b \times b$ 阶单位矩阵; O 是 $b \times b$ 阶零矩阵; $G_{i,j}$ 是 $b \times b$ 循环矩阵 ($0 \leq i \leq k-1, 0 \leq j \leq c-1$)。

这是一种系统码, 只要求取前面 $c \times b$ 个校验位就可以得到LDPC码编码后码字。

3种码率的生成矩阵参数如表1所示。

码率	k	c	b
0.4	24	35	127
0.6	36	23	127
0.8	48	11	127

2 编码器结构设计

2.1 QC-LDPC码编码原理

对式(1)中系统码形式的QC-LDPC码而言, 校验位的计算方式为:

$$P = AG_{qc}^c \quad (2)$$

式中

$$G_{qc}^c = \begin{bmatrix} G_{0,0} & G_{0,1} & \cdots & G_{0,c-1} \\ G_{1,0} & G_{1,1} & \cdots & G_{1,c-1} \\ \vdots & \vdots & & G_{i,j} \\ G_{k-1,0} & G_{k-1,1} & \cdots & G_{k-1,c-1} \end{bmatrix} \quad (3)$$

$A = (a_0, a_1, \dots, a_{kb-1})$ 是一个码字的 $1 \times kb$ 阶待编码信息矢量; $P = (p_0, p_1, \dots, p_{cb-1})$ 是 $1 \times cb$ 阶校验位矢量。

对待编码信息矢量 A 分成等长的 k 个部分, 则

$A'_i = (a_{ib}, a_{ib+1}, \dots, a_{(i+1)b-1})$, $0 \leq i < k$, 对单个子矩阵 $G_{i,j}$ ($0 \leq i < k, 0 \leq j < c$), 定义其行生成器为 $g_{i,j}$, 当 $0 \leq l \leq b$ 时, 令 $g_{i,j}^{(l)}$ 为 $g_{i,j}$ 的循环右移 l 位, 且 $g_{i,j}^{(0)} = g_{i,j}^{(b)} = g_{i,j}$ 。则该子矩阵的运算为:

$$p_{i,j} = a_{ib}g_{i,j}^{(0)} + a_{ib+1}g_{i,j}^{(1)} + \cdots + a_{(i+1)b-1}g_{i,j}^{(b-1)} + p_{i-1,j} \quad (4)$$

式中 $p_{i,j}$ 是待编码信息矢量 A 的前 ib 个信息比特 $A' = (a_0, a_1, \dots, a_{ib-1})$ 编码计算校验比特 $P_j = (p_{jb}, p_{jb+1}, \dots, p_{(j+1)b-1})$ 的中间结果, 且有 $p_{-1,j} = 0$ 。

由此, CDTTB中采用的3种码率的QC-LDPC码编码器结构如图1所示。该编码器主要由子矩阵运算单元AU、行生成器存储器、信息位存储器、码字存储器RAM和控制器组成, 采用流水线方式进行编码。下面详述该编码器各组成部分及控制方式。

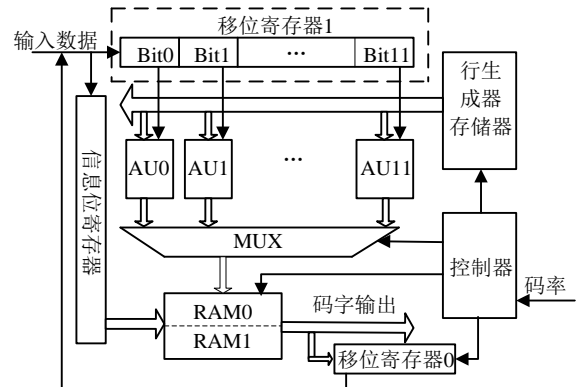


图1 多速率QC-LDPC码编码器结构框图

2.2 子矩阵运算单元AU

编码后校验位矢量 $P = (p_0, p_1, \dots, p_{cb-1})$ 均分为等长的 c 个部分, 则 $P = (P_0, P_1, \dots, P_{c-1})$, 其中, $P_j = (p_{jb}, p_{jb+1}, \dots, p_{(j+1)b-1})$, 即 $P_j = p_{k,j}$ ($0 \leq j < c$)。作为QC-LDPC码编码器的核心运算单元, 子矩阵运算单元AU用以完成 b 个比特校验位 P_j 的运算生成, 其结构电路如图2所示^[10]。

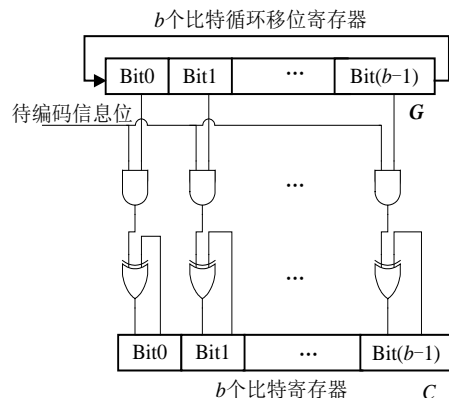


图2 子矩阵运算单元AU电路结构

图中, 一个码字的待编码信息矢量 A 共有 kb 个

比特串行流入, \mathbf{G} 是 b 个比特循环移位寄存器。寄存器 C 在编码前清空置零, 并且 $\mathbf{G}_{0,j}$ 的行生成器 $\mathbf{g}_{0,j}$ 载入 \mathbf{G} 。在第一个时钟, \mathbf{A} 的第一位 a_0 与 \mathbf{G} 中各位相乘(与门)后与 C 中各位模二相加(异或门), 结果存入 C , 此时完成 a_0 与 $\mathbf{G}_{0,j}$ 的第一行行向量相乘并相加, 同时, 在该时钟, 循环移位寄存器循环右移一位, 产生 $\mathbf{G}_{0,j}$ 的第二行以备下个时钟与 a_1 的运算; 在第 b 个时钟, 循环移位寄存器已循环移位 $b-1$ 次, 此时可完成 $\mathbf{G}_{0,j}$ 的最后一行与 a_{b-1} 的运算, 即得到运算结果 $\mathbf{p}_{0,j}$, 该时钟循环移位寄存器载入 $\mathbf{G}_{1,j}$ 的行生成器以备下个时钟与 a_b 的运算。当上述过程重复 k 次后, b 个比特校验位 \mathbf{P}_j 即存储于寄存器 C 中。

以上是对行生成器进行循环右移操作的循环移位相加累计器 (shift-register-adder-accumulator, SRAA) 电路。如果设置 t 个与此相同的并行结构, 循环移位寄存器 \mathbf{G} 在第 $0, b, \dots, (k-1)b$ 时钟分别载入相应的各行生成器, 随着待编码信息矢量各比特串行输入, 可同时编码生成 tb 个比特校验位 $\mathbf{P}_j, \mathbf{P}_{j+1}, \dots, \mathbf{P}_{j+t-1}$ ($0 \leq j < c-t$)。当 $t=c$ 时, 即为文献[8]中基于SRAA电路的串行QC-LDPC编码器结构。

类似地, 文献[8]中同时给出了另外两种QC-LDPC编码器结构: 基于SRAA电路的并行结构和两级结构。表2中给出上述3种编码器结构的各资源消耗情况比较。

表2 各编码器结构资源消耗情况比较

编码器结构	时钟	寄存器	两输入异或门	两输入与门
基于SRAA的串行结构	kb	$2cb$	cb	cb
基于SRAA的并行结构	cb	$2kb$	$kb-1$	kb
两级结构	$2b$	$(k+c)b$	$O(c^2b)$	127

对FPGA而言, 逻辑单元是相对稀少宝贵的资源, 而寄存器会消耗相应的逻辑单元。由表2可见, 两级结构速度最快, 但所需寄存器数目最大。两种基于SRAA电路的编码器结构的编码速度都能满足系统要求。而对CDTTB的3种码率LDPC码, c 最大为35(0.4码率), k 最大为48(0.6码率)。根据优先选择尽可能少占用寄存器的原则, 基于SRAA电路的串行编码器结构一般为首选方式。

观察CDTTB的3种码率生成矩阵的校验位生成部分, 其每行子矩阵个数分别为35、23、11, 都近似为12的倍数。因此, 在设计中选择 $t=12$, 3种码率对该结构分别重复使用3、2、1次, 即可完成全部校验位的生成。但相对文献[10]所述基于SRAA电路的串行编码器结构, 码率0.4和码率0.6时校验位都不能并行同时产生。因此, 称其为“半并行编码方式”。

由此可知, 0.4和0.6码率复位后都需要9 156个时钟才能完成第一个码字的编码, 此后每隔9 144个时钟输出一个码字。0.8码率复位后需要6 107个时钟完成第一个码字的编码, 此后每隔6 096个时钟输出一个码字。CDTTB中3种码率系统净荷数据率最高分别为16.243 Mb/s, 24.365 Mb/s, 32.486 Mb/s^[4], 故要求系统时钟最低为48.73 MHz。

2.3 行生成器存储器

3种码率的行生成器共2 196个, 每个宽度为127位。为了节省片上存储器, 在设计中分配了宽度为127位, 深度分别为2 048和256两块LPM_ROM。0.4码率和0.6码率的行生成器存储于深度为2 048的LPM_ROM中, 0.8码率的前380个行生成器存储于深度为2 048的LPM_ROM中, 剩下的148个行生成器存放于256深度的LPM_ROM。两存储器输出根据片选分别有效。为了完成部分并行编码, 各码率行生成器在存储器中按照地址依次存储为 $\mathbf{g}_{0,12l}, \mathbf{g}_{0,12l+1}, \dots, \mathbf{g}_{0,12l+11}, \mathbf{g}_{1,12l}, \dots, \mathbf{g}_{1,12l+11}, \dots, \mathbf{g}_{k-1,12l}, \dots, \mathbf{g}_{k-1,12l+11}$ 。对0.4码率, $l=0, 1, 2$; 对0.6码率, $l=0, 1$; 对0.8码率, 即可按照各子矩阵的行列顺序依次存储。

2.4 流水线的编码方式

行生成器存储器每个时钟只能读取一个行生成器, 因此, 当一个待编码信息位输入时, 无法同时完成12个AU与此信息位的计算。为了解决此问题, 本文在设计中引入了流水线的编码方式。

图1中的移位寄存器1是12比特移位寄存器, 每个时钟右移一位, Bit0位由串行输入的信息位填充。在复位后第1个时钟, 信息位 a_0 输入到此寄存器的Bit0位, 并且从行生成器存储器读取 $\mathbf{g}_{0,0}$ 存放于图1中的AU0; 第2个时钟, a_0 与 $\mathbf{g}_{0,0}$ 的运算完成, 结果存储于AU0的寄存器B, 信息位 a_1 输入Bit0, a_0 移位到Bit1, 读取 $\mathbf{g}_{0,1}$ 存放于AU1, 下个时钟即可同时完成 a_0 与 $\mathbf{g}_{0,1}$ 和 a_1 与 $\mathbf{g}_{0,0}^{(1)}$ 的运算; 对每个信息位, AU($i+1$)比AU i 要晚一个时钟运算。第13个时钟, a_0 完成与所有AU的运算, 此时AU0尚未完成127次循环。所有操作步骤与上述相同, 但不再读取新的行生成器; 第128个时钟, AU0完成子矩阵126次循环, 即子矩阵 $\mathbf{G}_{0,0}$ 运算完成, 此时, AU0载入 $\mathbf{g}_{1,0}$, 开始 $\mathbf{G}_{1,0}$ 运算。

上述步骤循环操作, 3种码率分别第3 048、4 572、6 096时钟即可完成第一批127位校验位的生成, 将其存放于RAM中等待编码完成后输出。此后, 在11个时钟内(0.8码率是10个时钟), 每个时钟产生一批127位的校验位写入RAM。

2.5 信息位寄存器

CDTTB的生成矩阵是系统码形式, 校验位在前, 信息位在后, 在校验位生成之前, 必须保留信息位。当一个码字的信息位串行输入完毕时, 本文对0.4和0.6码率都只能生成部分校验位, 为了计算剩余校验位, 也要求保留输入的全部信息位。

2.6 码字存储器RAM

码字存储器RAM由RAM0和RAM1两个RAM构成, 以乒乓方式操作。RAM0和RAM1都是宽度为127, 深度为59。复位后第一个编码完成码字存储于RAM0, 当第二个码字编码开始, 输入的信息位和产生的校验位开始存放于RAM1, RAM0中的第一个码字可以开始后续处理, 同样对于下面的各编码码字依次处理。

2.7 127位移位寄存器

图1中的移位寄存器0是127位移位寄存器, 其由RAM输出。对0.4和0.6码率, 当信息位串行输入完毕, 只能完成部分校验位生成, 此时, 需要从RAM中读取保存的信息位用于剩下校验位的生成。在信息位输入的最后一个时钟, 从RAM开始读取保存的信息位 $(a_0, a_1, \dots, a_{126})$ 到移位寄存器0, 下一个时钟最高位 a_0 输入移位寄存器1的Bit0, 并且移位寄存器0左移一位以便下一个时钟对 a_1 的运算操作; 127个时钟后, 从RAM读取信息位 $(a_{127}, a_{128}, \dots, a_{253})$ 操作同上。当所有信息位读取操作完毕, 可完成第二批校验位生成。对于0.6码率, 此时码字编码完毕; 对于0.4码率还需重复一次上述操作完成编码。

2.8 控制器

以上各操作都通过控制器控制完成。根据输入的不同码率, 控制器对系统各部分产生相应的控制时钟完成操作。

3 FPGA实现

3.1 FPGA实现

根据本文的设计方案, 在编写Verilog代码后选用Altera公司Stratix系列EP1S80F1020C5作为测试平台, 结果显示此编码器仅消耗6 201个LE单元, 占FPGA总逻辑单元的8%; 消耗300 101比特的存储器资源, 占FPGA总存储器资源的4%。编码器最高时钟可达104.3 MHz, 完全能满足系统的最低时钟48.73 MHz的要求。

3.2 验证

作为线性分组码的一种, LDPC编码后码字 D 是以校验矩阵 H 定义为合法码字的充分必要条件:

$$DH^T = 0 \quad (5)$$

对3种码率, 选择相应信息矢量长度的随机序列输入, 输出码字与其对应 H^T 相乘, 结果都为0, 表明此编码器设计正确。

4 结束语

本文提出了一种针对CDTTB标准中多码率LDPC码编码的流水线设计方法, 并通过FPGA实现, 保证了CDTTB数据净荷率要求; 并且, 消耗了较少的系统资源。对于CDTTB标准的应用推广, 有一定实用意义。

参 考 文 献

- [1] GALLAGER R G. Low density parity check codes[M]. Cambridge MA: MIT Press, 1963.
- [2] 文 红, 符初生, 周 亮. LDPC码原理与应用[M]. 成都: 电子科技大学出版社, 2006
- [3] WEN Hong, FU Chu-sheng, ZHOU Liang. Theories and applications of LDPC codes[M]. Chengdu: University of Electronic Science and Technology of China Press, 2006.
- [4] 李 强, 李少谦. 级联LDPC码和CCK的编码调制性能分析[J]. 电子科技大学学报, 2003, 32(5): 578-582.
- [5] LI Qiang, LI Shao-qian. Performance analysis of coded modulation concatenate CCK and low-density parity-check code[J]. Journal of University of Electronic Science and Technology of China, 2003, 32(5): 578-582.
- [6] MACKAY D J C, NEAL R M. Near shannon limit performance of low density parity check codes[J]. Electro Lett, 1996, 32(18): 1645-1646.
- [7] ETSI. Digital video broadcasting (DVB); second generation framing structure, channel coding and modulation systems for broadcasting, interactive services. News Gathering and other broadband satellite applications[S]. Draft EN 302 307 VI.1.1. Lucioles France: ETSI, 2004.
- [8] 地面数字电视广播传输系统帧结构、信道编码和调制[S]. GB20600-2006. 北京: 中国标准出版社, 2006.
- [9] Framing structure, channel coding and modulation for digital television terrestrial broadcasting system[S]. GB 20600-2006. Beijing: Standard Press of China, 2006.
- [10] MACKAY D J C. Good error-correcting codes based on very sparse matrices[J]. IEEE Trans Inform Theory, 1999, 45(2): 399-432.
- [11] RICHARDSON T, SHOKROLLAHI A, URBANKE R. Design of capacity-approaching low-density parity-check codes[J]. IEEE Trans Inform Theory, 2001, 47(2): 619-637.
- [12] KOU Y, LIN S, FOSSORIER M. Low-density parity-check codes based on finite geometries: a rediscovery and more[J]. IEEE Trans Infor Theory, 2001, 47(1): 2711-2736.
- [13] LI Z, CHEN L, ZENG L Q, et al. Efficient encoding of Quasi-Cyclic low-density parity-check codes[J]. IEEE Trans Commun, 2006, 54(1): 71-81.
- [14] MYUNG S, YANG K, KIM J. Quasi-Cyclic LDPC codes for fast encoding[J]. IEEE Trans Inform Theory, 2005, 51(8): 2894-2901.
- [15] DJURDJEVIC I, XU J, ABDEL-GHAFFAR K. et al. A class of low-density parity-check codes constructed based on reed-solomon codes with two information symbols[J]. IEEE Commun Lett, 2003, 7(7): 317-319.

编辑 税 红