

以 $\{2^n-1, 2^n, 2^n+1\}$ 为基的余数系统 2^n 高性能缩放

马 上, 胡剑浩, 叶燕龙

(电子科技大学通信抗干扰国家级重点实验室 成都 611731)

【摘要】数值缩放(scaling)的高效VLSI实现是基于余数系统(RNS)的DSP系统的关键问题之一。该文提出了有符号余数系统数值缩放通用算法,并结合基为 $\{2^n-1, 2^n, 2^n+1\}$ 的余数系统特性提出了其优化的 2^n 缩放算法和VLSI实现结构,明确给出了在进行有符号RNS整数缩放时负数情况下所引入的修正常量计算方法。分析表明该方法较级联 n 个1 bit缩放模块实现余数系统 2^n 缩放具有更好的速度、面积和功耗特性,从而易于实现基于RNS的DSP系统。

关键词 中国剩余定理; 数字信号处理; 余数系统; 数值缩放; 超大规模集成电路

中图分类号 TP338.6

文献标识码 A

doi:10.3969/j.issn.1001-0548.2010.02.033

High Efficient 2^n Scaling for RNS $\{2^n-1, 2^n, 2^n+1\}$

MA Shang, HU Jian-hao, and YE Yan-long

(National Key Laboratory of Science and Technology on Communications, University of Electronic Science and Technology of China Chengdu 611731)

Abstract The high efficient very large scale integration (VLSI) implementation of scaling operation for residue number system (RNS) plays an important role in RNS-based digital signal processing (DSP) systems. In this paper, the general algorithm for scaling a positive number in RNS is presented firstly. With the properties of moduli set $\{2^n-1, 2^n, 2^n+1\}$ and based on the proposed scaling algorithm, an efficient 2^n scaling scheme for this moduli set is proposed. Furthermore, the correction factor for negative numbers scaling is also presented. The analysis result shows that the proposed scaler has higher area and power consumption performances compared with the cascaded scaling scheme. The scaler can be used in the design of RNS-based DSP systems.

Key words Chinese remainder theorem (CRT); digital signal processing; residue number system; scaling; VLSI circuits

技术的进步和需求的不断增长使现代信息处理系统的处理能力日益提高,过去几十年来这种高性能的获得主要来自于集成电路工艺的发展,而VLSI芯片集成度和运行速率的增加却使得其面积和功耗急剧上升。研究表明大规模的并行处理技术将取代传统的串行处理方式,以满足低功耗、高性能的要求^[1]。并行计算有两个研究领域:(1)增加处理单元个数并辅以相关调度机制获得性能的提升,但并未改善单个处理单元的能力、速度和功耗;(2)利用并行数值表征系统从算法前端优化单个计算模块的速度、功耗和面积特性。结合这两种并行系统处理技术的优点可为设计具有高性能、低功耗特性的新型信息处理系统提供有效的技术手段。余数系统(RNS)是一种并行数值表征系统,在该系统中,传统多位数(bit)的复杂运算被分解为多个并行的较少位数的简单运算,其乘、加运算时各通道完全独立,具有良好的并行特性,从而减小了芯片关键路径时延,降低了

功耗和面积,因此特别适用于构建乘、加密集型的现代数字信号处理系统(DSP)。如一个采用RNS数值表征方法的16抽头FIR(finite impulse response)数字滤波器,在字长为48 bit和64 bit时“面积×时延×功耗”特性较传统二进制系统几乎提高了7倍^[2]。然而,由于RNS的非权重特性,某些在二进制系统中可轻易实现的问题在余数系统中则比较困难,如大小比较、数值缩放(常数除法)、除法运算等。

在FIR、IIR(infinite impulse response)和FFT(fast fourier transform)这类DSP运算中,大量的乘、加运算将导致动态范围急剧增加,需要采取一定措施使得在有限动态范围情况下避免运算溢出。余数系统的数值缩放与二进制系统的“截位”操作类似,高效的VLSI实现是其应用于DSP系统的基本问题之一。过去几十年,学者们针对余数系统数值缩放问题做了广泛而深入的研究。按照缩放因子类型,RNS缩放算法可分为3类^[3]:(1)用某个余数基分量或几

收稿日期:2008-08-24;修回日期:2009-10-28

基金项目:国家自然科学基金(60873076);国家863计划(2007AA01Z291)

作者简介:马 上(1978-),男,博士生,主要从事VLSI设计和无线通信方面的研究。

个分量的乘积作为缩放因子^[4-10]; (2) 用动态范围内的任意整数作为缩放因子^[11]; (3) 用2的幂次方缩放^[12-13]。文献[4]提出了一种以基于LUT的缩放因子为余数基分量或其乘积的缩放算法, 并利用MRC (mixed radix conversion) 获取对应分量缩放后的值。文献[5-7]则利用中国剩余定理和冗余基结合LUT(look-up table)实现了类似的缩放操作, 并对LUT的数量或访问时间做了优化。文献[8]对查找表的实现方法做了进一步优化, 使得在余数基较小的情况下可以在两个查找表周期内实现。这些方法虽然可用于任何形式的余数基, 但未针对具体余数基进行优化, 因此实际应用中还有待改进。2的幂次方缩放类似二进制系统中的截位操作, 可使余数系统数据通路在数值上和二进制系统保持一致, 使普通二进制系统中的DSP实现方法可方便地移植到余数系统中。文献[12]则利用LUT实现RNS整数的符号判断和奇偶检测。文献[13]采用了类似于文献[12]的结构, 不同之处在于使用了冗余基实现符号判断和奇偶检测。文献[12]和[13]都提及了实现2的幂次方缩放时可采用级联方式实现, 但该方法的弊端是进行多比特缩放时, 级联结构会带来很大的信号延迟, 且需要更多的VLSI实现面积和功耗, 使得缩放效率降低, 同时每级的误差修正电路将消耗大量逻辑^[13]。到目前为止还没有文献针对基为 $\{2^n-1, 2^n, 2^n+1\}$ 这种最常见形式的余数系统缩放问题进行讨论, 而针对该余数基的后向转换、符号检测等问题都有较多文献研究^[14-15]。

本文在分析余数系统基本缩放算法的基础上, 提出了基为 $\{2^n-1, 2^n, 2^n+1\}$ 的有符号余数系统 2^n 缩放算法及其VLSI实现结构。在缩放算法设计中, 充分结合了该余数基特点, 使得VLSI实现结构中无乘法操作, 所有加法器均限制在 n 比特内且具有最简单的实现形式。此外, 本文还提出了在有符号数表示情况下进行负数缩放时所引入的修正常量计算方法。

1 余数系统定义

通常, 一个余数系统由一组互质的余数基 $\{p_1, p_2, \dots, p_N\}$ 定义($N > 1, \text{GCD}(p_i, p_j) = 1, i \neq j, i, j = 1, 2, \dots, N$), $[0, P)$ 内整数 X 可由它对该余数基的余数向量 $\{x_1, x_2, \dots, x_N\}$ 独一无二地表示, 其中 $x_i = X \bmod p_i = \langle X \rangle_{p_i}, i = 1, 2, \dots, N, P = p_1 p_2 \dots p_N$ 。令 $[0, P)$ 范围内的整数 a, b, c 的RNS分别表示为 $\{a_1, a_2, \dots, a_N\}, \{b_1, b_2, \dots, b_N\}$ 和 $\{c_1, c_2, \dots, c_N\}$, 根据

高斯模运算准则, 若 $c_i = (a_i \Delta b_i) \bmod p_i$, 则 $C = \langle A \Delta B \rangle_p$, 其中“ Δ ”表示加、减及乘法运算。

RNS整数 $\{x_1, x_2, \dots, x_N\}$ 与其对应的十进制整数 X 可由著名的中国剩余定理计算得到:

$$X = \left\langle \sum_{i=1}^N P_i \langle a_i x_i \rangle_{p_i} \right\rangle_P \quad (1)$$

式中 $P_i = P / p_i, a_i = \langle P_i^{-1} \rangle_{p_i}, \langle P_i^{-1} \rangle_{p_i}$ 为 P_i 模 p_i 的倒数, 满足 $\langle a_i \times P_i \rangle_{p_i} = 1$ 。CRT是RNS中的基本理论之一, 是解决RNS中大小比较、数值缩放、R/B转换等一系列问题的理论基础。

2 缩放算法

余数基的形式在很大程度上决定了电路复杂度, 基为 $\{2^n-1, 2^n, 2^n+1\}$ 的余数系统是一种最常见且研究最多的余数基, 该余数基具有以下特点: (1) 目前的VLSI实现绝大部分基于二进制系统, 而对基于二进制系统的模 2^n-1 、模 2^n+1 和模 2^n 的乘、加实现非常简单; (2) 余数基 $\{2^n-1, 2^n, 2^n+1\}$ 的3个通道的位宽几乎相同, 保证了各通道复杂度的平衡性; (3) 在实现该余数系统同二进制系统之间转换时无乘法操作, 可大大减小实现复杂度^[14-16]。因此, 基为 $\{2^n-1, 2^n, 2^n+1\}$ 的余数系统在构建基于RNS的DSP系统时具有重要意义。本文将结合该余数基的特点, 给出其 2^n 缩放算法及实现方法。

2.1 无符号正整数缩放

数值缩放即为常数除法, 其中, 常数被称为缩放因子, 常数的选取是决定缩放复杂度的重要因素之一。若缩放因子为 K , 则缩放结果为:

$$Y = \left\lfloor \frac{X}{K} \right\rfloor = \frac{X - \langle X \rangle_K}{K} \quad (2)$$

式中 $\lfloor \cdot \rfloor$ 表示“ \cdot ”的整数部分。若 X 为无符号数, 对式(2)做模运算即可得到RNS内的缩放结果:

$$y_i = \langle Y \rangle_{p_i} = \left\langle \left\langle X - \langle X \rangle_K \right\rangle_{p_i} \left\langle K^{-1} \right\rangle_{p_i} \right\rangle_{p_i} = \left\langle \left\langle x_i - \langle X \rangle_K \right\rangle_{p_i} \left\langle K^{-1} \right\rangle_{p_i} \right\rangle_{p_i} \quad (3)$$

式中 $\langle K^{-1} \rangle_{p_i}$ 存在的条件是 $\text{GCD}(K, p_i) = 1$ 。式(3)

的关键在于求 $\langle X \rangle_K$, 若 $K = \prod_{i=1}^s p_i$, 则较容易获取 $\langle X \rangle_K$ 的值; 如当 $K = p_1$ 时, $\langle X \rangle_K$ 显而易见, 为 x_1 ; 但当 $K = \prod_{i=1}^s p_i$ 时, $\text{GCD}(K, p_i) \neq 1 (1 \leq i \leq s)$, 因此必须采用其他算法获取 $y_i (1 \leq i \leq s)$ 。

令 $\{p_1, p_2, p_3\} = \{2^n, 2^n + 1, 2^n - 1\}$ ，缩放因子 $K = 2^n$ ，整数 X 的RNS表示为 $\{x_1, x_2, x_3\}$ 。则 $\langle (2^n)^{-1} \rangle_{2^{n+1}} = 2^n$ ， $\langle (2^n)^{-1} \rangle_{2^{n-1}} = 1$ ，由式(3)得：

$$y_2 = \langle (x_2 - x_1) \times 2^n \rangle_{2^{n+1}} = \langle x_1 - x_2 \rangle_{2^{n+1}} \quad (4)$$

$$y_3 = \langle (x_3 - x_1) \times 1 \rangle_{2^{n-1}} = \langle x_3 - x_1 \rangle_{2^{n-1}} \quad (5)$$

由于不存在任何整数 a 使得 $\langle 2^n a \rangle_{2^n} = 1$ 成立，即 $\langle (2^n)^{-1} \rangle_{2^n}$ 不存在，因此式(3)不能用于计算 y_1 。由前所述， $0 \leq X < P$ ，则经 2^n 缩放后 $0 \leq (X - x_1)2^{-n} < (P - x_1)2^{-n}$ ，即 $0 \leq Y < (P - x_1)2^{-n} = p_2 p_3 - x_1 2^{-n}$ ，而 $\min\{x_1\} = 0$ ，所以 $\max\{Y\} = p_2 p_3 - 1$ 。以上分析表明 Y 的动态范围在 $[0, p_2 p_3)$ 内，因此可用基为 $\{p_2, p_3\}$ 的余数系统独一无二地表示，而对应的RNS整数经式(4)和式(5)的运算结果为 $\{y_2, y_3\}$ ，此时可视 p_1 为冗余基，由已知量 $\{y_2, y_3\}$ 获得 y_1 的值。

在文献[16]中，由CRT和混合基转换详细推导得到了减小模运算的RNS到二进制系统转换算法，即若余数基为 $\{p_2, p_3\}$ ，二进制整数 Y 的RNS表示为 $\{y_2, y_3\}$ ，则：

$$Y = y_2 + \langle a(y_3 - y_2) \rangle_{p_3} p_2 \quad (6)$$

式中 $a = \langle p_2^{-1} \rangle_{p_3}$ 。当 $\{p_2, p_3\} = \{2^n + 1, 2^n - 1\}$ 时， $\langle p_2^{-1} \rangle_{p_3} = 2^{n-1}$ ，由式(6)可得缩放后：

$$Y = y_2 + \langle 2^{n-1}(y_3 - y_2) \rangle_{2^{n-1}} (2^n + 1) \quad (7)$$

则：

$$y_1 = \langle y_2 + \langle 2^{n-1}(y_3 - y_2) \rangle_{2^{n-1}} (2^n + 1) \rangle_{2^n} = \langle y_2 + \langle 2^{n-1}(y_3 - y_2) \rangle_{2^{n-1}} \rangle_{2^n} \quad (8)$$

文献[16]给出了形如 $\langle 2^{n-i} a \rangle_{2^{n-1}}$ 模乘法的简便运算方法，即若 $0 \leq a \leq 2^n - 1$ ，其二进制表示为 $a_{n-1} a_{n-2} \dots a_i a_{i-1} \dots a_0$ ，则 $\langle 2^{n-i} a \rangle_{2^{n-1}}$ ($i = 1, 2, \dots, n-1$) 的结果为 $a_{i-1} \dots a_0 a_{n-1} \dots a_i$ ，即循环右移 i 比特。因此，式(8)仅由一个模 $2^n - 1$ 加法器和一个 n 比特普通二进制加法器即可完成。

2.2 有符号数缩放修正常量计算

以上分析仅考虑了无符号RNS整数的缩放算法，余数系统有符号数定义同二进制补码系统类似，即用 $[0, P)$ 范围内的整数 X 表示有符号数 \bar{X} 。当 $X < P/2$ 时 \bar{X} 为正， $X \geq P/2$ 时 \bar{X} 为负， \bar{X} 的相反数 $-\bar{X} = P - X$ 。若 \bar{X} 的余数系统表示为 $\{x_1, x_2, \dots, x_N\}$ ，则 $-\bar{X}$ 的余数系统表示为 $\{\tilde{x}_1, \tilde{x}_2, \dots, \tilde{x}_N\}$ ， $\tilde{x}_i = p_i - x_i$ 。当 \bar{X} 为负数时， \bar{X} 的绝对值为 $P - X$ ，首先应对其绝对值进行缩放，利用式(2)可得 \bar{X} 的绝对值缩放结果为：

$$Y' = (\langle \bar{X} \rangle - \langle \bar{X} \rangle_K) / K = (P - X - \langle P - X \rangle_K) / K = (P - X - \langle P \rangle_K + \langle X \rangle_K) / K \quad (9)$$

然后，将其取反映射到RNS所表示的负数范围内，考虑到 $K = p_1$ ， $P = p_1 p_2 p_3$ ，则：

$$Y = -Y' = P - Y' = ((K - 1)P + X + \langle P \rangle_K - \langle X \rangle_K) K^{-1} = (K - 1)p_2 p_3 + (X - \langle X \rangle_K) K^{-1} \quad (10)$$

令 $t = (K - 1)p_2 p_3$ ， $d = (X - \langle X \rangle_K) K^{-1}$ ，由式(2)

可知 d 即为正数情况下的缩放结果。而负数情况下则需要加上修正常量 t ，因此将式(4)、式(5)和式(8)的计算结果加上该修正常量即可得到负数情况下的缩放结果，即：

$$y'_i = \langle y_i + t \rangle_{p_i} = \langle \langle y_i \rangle_{p_i} + \langle t \rangle_{p_i} \rangle_{p_i} \quad (11)$$

由于 $t = (K - 1)p_2 p_3$ ， $K = p_1$ ，所以 $\langle t \rangle_{p_1} = \langle -p_2 p_3 \rangle_{p_1} = \langle -(2^n + 1)(2^n - 1) \rangle_{2^n} = 1$ ， $\langle t \rangle_{p_2} = 0$ ， $\langle t \rangle_{p_3} = 0$ ，此时 2^n 通道缩放结果为：

$$y_1 = \langle y_2 + \langle 2^{n-1}(y_3 - y_2) \rangle_{2^{n-1}} + 1 \rangle_{2^n} \quad (12)$$

由以上分析可见，对基为 $\{2^n, 2^n + 1, 2^n - 1\}$ 的有符号余数系统进行 2^n 缩放时，在负数情况下，只有第一个通道需要在正数缩放结果中加上常量1，最后的实现框图如图1所示，其中符号检测模块检测RNS整数 $\{x_1, x_2, x_3\}$ 的符号特性，以决定 p_1 通道是否需要加上修正常量。

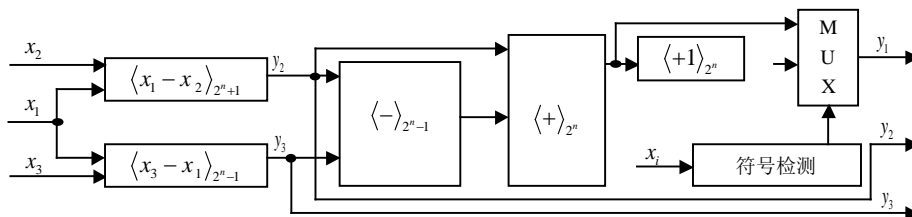


图1 基为 $\{2^n-1, 2^n, 2^n+1\}$ 的余数系统 2^n 缩放框图

符号检测是实现基于RNS的DSP系统的又一重要单元，是有关RNS的重要研究内容^[17]。如前所述，

按照RNS有符号数的定义, 当 $X < P/2$ 时 \overline{X} 为正, $X \geq P/2$ 时 \overline{X} 为负, 因此符号检测实际上就是判断RNS整数 X 所处的范围。RNS的符号检测在一定程度上需要借助R/B转换获得一定的权重信息, 常用的方法有CRT、MRC及其它们的变型, 或将权重信息引入到RNS中。文献[15]则基于CRT-II提出了一种专门针对基为 $\{2^n-1, 2^n, 2^n+1\}$ 的余数系统的实现方法。

3 性能分析

由图1可知RNS缩放算法在实现时仅需一个模 2^n+1 加法器、两个模 2^n-1 加法器、两个 n 比特普通二进制加法器、一个选择器及一个符号检测模块, 其中模 2^n+1 加法器和模 2^n-1 加法器是目前基于二进制最简单的模加法器。式(8)和式(12)中的乘法运算可通过简单的循环移位操作代替, 不需要消耗任何逻辑。由于有符号RNS整数缩放时均需要进行符号判断, 有专门文献讨论其优化实现方法, 本文仅针对该缩放模块的主体部分进行性能分析。

实现一个1 bit二进制全加器需要两个二输入异或门(XOR)、两个二输入与门(AND)和一个或门(OR)。为便于分析, 所有模加法器都按照最简单的行波进位实现方式构建, 则一个模 2^n 加法器需要 $2n-1$ 个XOR、 $2n-3$ 个AND和 $n-1$ 个OR。在实现模 2^n-1 加法器时, 可将 n 比特加法器的进位输出反馈到最低的进位输入(即端回进位)获得模运算结果, 则需要 $2n$ 个XOR、 $2n$ 个AND和 n 个OR。对于模 2^n+1 加法器实现时, 仍可利用端回进位加法器实现, 但需将端回进位加法器的结果减1获得最后的模运算结果, 此时需要 $3n-2$ 个XOR、 $3n-2$ 个AND、 $2n-2$ 个OR和 n 个NOT(非门)。采用行波进位方式构建模加法器时, 一个模 2^n 加法器的关键路径延时为 $n-2$ 个AND和 $n-1$ 个OR延时; 一个模 2^n-1 加法器关键路径延时为 n 个AND和 n 个OR延时。由于采用了并行结构, 模 2^n+1 加法器中的减1操作可通过端回进位加法器同时进行, 因此其关键路径延时同模 2^n-1 加法器大致相同。可见对于基为 $\{2^n-1, 2^n, 2^n+1\}$ 的余数系统, 各通道运行速度具有很好的平衡性, 对于图1所示全并行实现结构, 整个系统关键路径延时约为4个模加法器延时和一个二选一选择器延时之和。

按照各种门电路的VLSI实现复杂度, 通常认为一个非门(NOT)的面积为一个单位面积(记为 A_g), 延时为一个单位延时(记为 A_t), 则一个XOR的面积和延时分别为 $3A_g$ 和 $2A_t$, 一个OR的面积和延时分别

为 $2A_g$ 和 $2A_t$, 一个AND的面积和延时分别为 $2A_g$ 和 $2A_t$ ^[18], 一个 n 比特宽度的二选一选择器的面积和延时分别为 $7nA_g$ 和 $4A_t$ 。根据以上分析, 缩放模块需要的面积和关键路径延时分别约为 $(51n-25)A_g$ 和 $(40n-16)A_t$ 。对于 2^n 缩放, 文献[12]和文献[13]介绍了余数基分量均为奇数情况下的实现方法, 均采用了级联结构实现, 每次进行除2操作。由于 p_1 通道为 2^n , 不为奇数, 因此实现基为 $\{2^n, 2^n+1, 2^n-1\}$ 的余数系统 2^n 缩放时, 文献[12]和文献[13]的算法需要适当改进, 借助串行处理思想和本文的算法, 在实现相同位宽缩放时, 串行处理方式每次进行除2操作时同本文的算法复杂度相当, 仅符号检测模块不需要重复进行, 因此其面积和延时大约是本文方法的 n 倍。

4 结论

本文提出了有符号RNS整数的通用数值缩放算法, 并结合具体余数基 $\{2^n-1, 2^n, 2^n+1\}$ 提出了其 2^n 缩放实现结构, 明确给出了对负整数进行缩放时修正常量的计算方法。该缩放算法实现时仅需一个模 2^n+1 加法器、两个模 2^n-1 加法器、两个模 2^n 加法器、一个选择器及一个符号检测模块。分析结果表明, 本文所提出的缩放算法较串行逐比特方式提高了VLSI实现时的面积、延时和功耗性能。

参 考 文 献

- [1] WILLIAM J D, STEVE L. VLSI architecture: past, present, and future[C]//Proceedings of the 20th Anniversary Conference on Advanced Research in VLSI. Atlanta, GA, USA: IEEE Press, 1999: 232-241.
- [2] ADREAS L, LARS B. A low-power FIR filter using combined residue and radix-2 signed-digit representation [C]//Proceedings of the 8th Euromicro conference on Digital System Design. Porto, Portugal: IEEE Press, 2005: 42-47.
- [3] MA Shang, HU Jian-hao, Zhang Lin, et al. An efficient 2^n RNS scaler and its VLSI implementation[C]//2008 international conference on communications, circuits and systems. Chengdu, China: IEEE Press, 2008: 1498-1501.
- [4] JULLIEN G A. Residue number scaling and other operations using ROM arrays[J]. IEEE Transactions on Computers, 1978, c-27(4): 325-336.
- [5] SHENOY M A P, KUMARESAN R. A fast and accurate RNS scaling technique for high speed signal processing[J]. IEEE Transactions on Acoustics, Speech and Signal Processing, 1989, 37(6): 929-937.
- [6] BARSİ F, PINOTTI M C. Fast base extension and precise scaling in RNS for look-up table implementations[J]. IEEE Transactions on Signal Processing, 1995, 43(10): 2427-2430.
- [7] ANTONIO G, ANTONIO L. RNS scaling based on

- pipelined multipliers for prime moduli[C]//IEEE Workshop on Signal Processing Systems. Cambridge, MA, USA: IEEE Press, 1998: 459-468.
- [8] ANTONIO G, ANTONIO L. A look-up scheme for scaling in the RNS[J]. IEEE Transactions on Computers, 1999, 48(7): 748-751.
- [9] SOUDRIS D, DASYGENIS M, MITROGLOU K D, et al. A full adder based methodology for scaling operation in residue number system[C]//Proceedings of 9th International Conference on Electronics, Circuits and Systems. Dubrovnik, Croatia: IEEE Press, 2002: 891-894.
- [10] NEIL B. Scaling an RNS number using the core function[C]//Proceedings of 16th IEEE Symposium on Computer Arithmetic. Santiago de Compostela, Spain: IEEE Press, 2003: 262-269.
- [11] ULMAN Z, CZYZAK M, ZURADA J. Effective RNS scaling algorithm with the Chinese Remainder Theorem decomposition[C]//IEEE Pacific Rim Conference on Communications, Computers and Signal Processing. Victoria, Canada: IEEE Press, 1993: 528-531.
- [12] UWE M B, THANOS S. New power-of-2 RNS scaling scheme for cell-based IC design[J]. IEEE Transactions on Very Large Scale Integration Systems, 2003, 11(2): 280-283.
- [13] CARDARILLI G C, DEL RE A, NANNARELLI A, et al. Programmable power-of-two RNS scaler and its application to a QRNS polyphase filter[C]//IEEE International Symposium on Circuits and Systems. Kobe, Japan: IEEE press, 2005: 1102-1105.
- [14] SHEU M H, LIN S H, CHEN Y T, et al. High-speed and reduced-area RNS forward converter based on $\{2^n - 1, 2^n, 2^n + 1\}$ moduli set[C]//2004 IEEE Asia-Pacific Conference on Circuits and System. Tainan, China: IEEE Press, 2004: 821-824.
- [15] TADEUSZ T. Fast sign detection for RNS $\{2^n - 1, 2^n, 2^n + 1\}$ [J]. IEEE Transactions on Circuits and Systems-I: Regular Papers, 2008, 55(6): 1502-1511.
- [16] MA Shang, HU Jian-hao, ZHANG Lin, et al. An efficient RNS parity checker for moduli set $\{2^n - 1, 2^n + 1, 2^{2n} + 1\}$ and its applications[J]. Science in China Series F: Information Sciences, 2008, 51(10): 1563-1571.
- [17] MA Shang, HU Jian-hao, LING Xiang, et al. The applications of RNS in SDR systems[C]//The First International Workshop for Software Radio Technology. Beijing, China: [s.n.]2008, 49-54.
- [18] MI L. Arithmetic and logic in computer systems[M]. New Jersey: John Wiley & Sons Press, 2004: 29-30.

编辑 张俊

(上接第278页)

- [8] 赵洪华, 陈鸣, 仇小锋, 等. Tomography技术中的多参数网络拓扑推断[J]. 北京邮电大学学报, 2008, 31(4): 24-28
ZHAO Hong-hua, CHEN Ming, QIU Xiao-feng, et al. Multiple parameters network topology inference based on tomography[J]. Journal of Beijing University of Posts and Telecommunications, 2008, 31(4): 24-28.
- [9] CASTRO R, COATES M, NOWAK R. Likelihood based hierarchical clustering[J]. IEEE Trans on Signal Processing, 2004, 52(8): 2308-2321.
- [10] DUFFIELD N, HOROWITZ J, PRESTI F, et al. Multicast topology inference from end-to-end measurements[C]//ITC Seminar on IP traffic, Measurement and Modeling. Monterey, CA: [s.n.], 2000.
- [11] COATES M, CASTRO R, NOWAK R. Maximum likelihood network topology identification from edge-based unicast measurements[C]//ACM Sigmetric, Marina Del Rey, CA. : [s.n.], 2002.
- [12] Nsnam Sourceforge Project. The network simulator 2[EB/OL]. [2008-05-18]. <http://nsgn.am.isi.edu/nsgn.am/>.

编辑 张俊

(上接第288页)

- CHEN Yu, TANG Chang-jie, YE Shang-yu, et al. An auto-clustering algorithm based on gene expression programming[J]. Journal of Sichuan University (Engineering Science Edition), 2007, 39(6): 107-112.
- [7] ZUO Jie, TANG Chang-jie, ZHANG Tian-qing. Mining predicate association rule by gene expression programming[C]//Proc of the 3rd International Conf for Web Information Age 2002 (WAIM '02). Berlin: Springer-Verlag, 2002: 92-103.
- [8] ZUO Jie, TANG Chang-jie, LI Chuan, et al. Time series prediction based on gene expression programming[C]//Proc of the 5th International Conf for Web Information Age 2004 (WAIM '04). Berlin: Springer-Verlag, 2004: 55-64
- [9] 木村资生. 分子进化的中性学说[M]. 陈建华译. 成都: 成都科技大学出版社, 1993.
KIMURA MOTOO. The neutral theory of molecular evolution [M]. Translated by CHEN Jian-hua. Chengdu: Chengdu University Science and Technology Press, 1993.
- [10] FERREIRA C. Gene expression programming: mathematical modeling by an artificial intelligence[M]. 2nd Ed. Heidelberg: Berlin: Springer-Verlag, 2006.

编辑 黄莘