

# 新型的电平移位电路设计

范涛, 黄强, 杜波, 袁国顺

(中国科学院微电子研究所 北京 朝阳区 100029)

**【摘要】**针对高压驱动电路控制提出了新的具有很大的驱动电流和很小静态功耗电平移位栅电压控制电路。该电路主要利用二极管的反向工作特性, 结合正反馈电路, 分别为输出级PMOS管和NMOS管提供可靠栅驱动信号。该电路采用CSMC的0.5  $\mu\text{m}$ 工艺实现, 测试结果表明, 所设计的电平转换功能得到实现, 且转换速度快。

**关键词** 驱动电路; 半桥驱动器; 低功耗; 电平移位; 薄栅氧

中图分类号 TN386

文献标识码 A

doi:10.3969/j.issn.1001-0548.2011.01.026

## Design of New Level Shifter

FAN Tao, HUANG Qiang, DU Bo, and YUAN Guo-shun

(Institute of Microelectronics, Chinese Academy of Sciences Chaoyang Beijing 100029)

**Abstract** A new level shifter with high driving current and low static power consumption is proposed. It makes use of reverse characteristic of diode and positive feedback to generate reliable driving signal for NMOS and PMOS transistor respectively. The level shifter is fabricated in CSMC 0.5  $\mu\text{m}$  CMOS technology. The measured result shows that the circuit has the function of level shift and high conversion speed.

**Key words** driving circuit; half-bridge driver; level shifter; low power consumption; thin gate oxide

电平移位电路将低压控制信号转换为高压控制信号, 实现低压逻辑对高压功率输出级的控制, 属于高压器件的控制技术领域, 在电机驱动、PDP显示、OLED显示等方面得到了广泛的应用<sup>[1-4]</sup>。在高压器件的控制技术领域, 可将控制电路和高压输出驱动电路集成在一起, 实现高耐压、大电流、高精度。为了提供很大的驱动能力, 通常采用很大的输出级驱动管。电平移位电路作为连接控制电路和输出驱动级的关键电路, 一方面要求有很高的驱动能力, 满足输出级的驱动要求; 另一方面电平移位电路也是高电压工作, 要求有比较低的静态电流, 从而降低功耗。常规的电平移位电路将 $0\sim V_{DD}$ ( $V_{DD}$ 为普通电平)低电压控制信号转换为 $0\sim V_{PP}$ ( $V_{PP}$ 为高压电平)的高电压控制信号, 用于驱动高压下工作的输出级PMOS管。在该情况下, 输出级PMOS管的最大栅源电压为 $V_{PP}$ , 为保证可靠性, 必须使晶体管能够承受 $V_{PP}$ 的高电压, 通常采用增加栅氧厚度等一些复杂的工艺解决, 但一方面增加了工艺成本, 另一方面当工作电压不断增大时, 工艺解决的难度将大幅提高<sup>[5-9]</sup>。

对于输出级NMOS管, 常规的方法是采用 $0\sim V_{DD}$ 的低电压控制信号直接驱动。随着工艺的不断展, 控制电路的工作电压 $V_{DD}$ 不断降低, 并且输出级的栅氧厚度较厚, 因此造成低电平控制信号的驱动能力不足。

本文提出了新的电平移位栅电压控制电路, 利用二极管的反向工作特性, 结合正反馈电路状态转换时二极管两端电压差很大, 发生反向击穿, 瞬态击穿电流很大, 提供了很大的驱动能力, 使状态快速转换; 状态稳定后, 二极管两端电压差较小, 静态电流很小, 电路的静态功耗很低, 正反馈实现快速的状态转换, 最终设计出输出级PMOS管栅电压电平移位电路, 实现从 $0\sim V_{DD}$ 到 $V_P\sim V_{PP}$ ( $V_P$ 根据输出级PMOS管的工艺参数而定, 既保证PMOS管很好的开启, 又满足可靠性要求)的电平转换, 为输出级PMOS管提供栅驱动电压。输出级NMOS管栅电压电平移位电路从 $0\sim V_{DD}$ 到 $0\sim V_N$ ( $V_N$ 根据输出级NMOS管的工艺参数而定, 既保证NMOS管很好地开启, 又满足可靠性要求)的电平转换, 为输出级NMOS管提供栅驱动电压。

收稿日期: 2009-08-12; 修回日期: 2010-03-03

基金项目: 国家科技重大专项02专项(2010ZX02201-003-003)

作者简介: 范涛(1980-), 男, 博士生, 主要从事模拟电路和功率高压电路方面的研究。

# 1 电平移位电路设计

## 1.1 传统的电平移位电路

图1是普通的电平移位电路的原理图。当 $V_{IN} = V_{DD}$ 时,  $N_{M_0}$  导通,  $N_{M_1}$  截止, 导致  $P_{M_0}$  截止,  $P_{M_1}$  导通, 所以  $N_{M_2}$  导通, 而  $P_{M_2}$  截止, 输出电压  $V_{OUT} = 0$ ; 当  $V_{IN} = 0$  时,  $N_{M_0}$  截止,  $N_{M_1}$  导通, 导致  $P_{M_0}$  导通,  $P_{M_1}$  截止, 所以  $N_{M_2}$  截止, 而  $P_{M_2}$  导通, 输出电压  $V_{OUT} = V_{PP}$ 。该电路结构简单, 没有静态功耗, 转换速度也很快。但是对于  $P_{M_2}$  管, 它的最大栅源电压为  $V_{PP}$ , 要求栅源的耐压大于  $V_{PP}$ , 增加了工艺成本和难度; 而对于  $N_{M_2}$ , 其最大栅源电压为  $V_{DD}$ , 在  $V_{DD}$  为较低电压的系统应用中, 很难得到很大的输出电流。

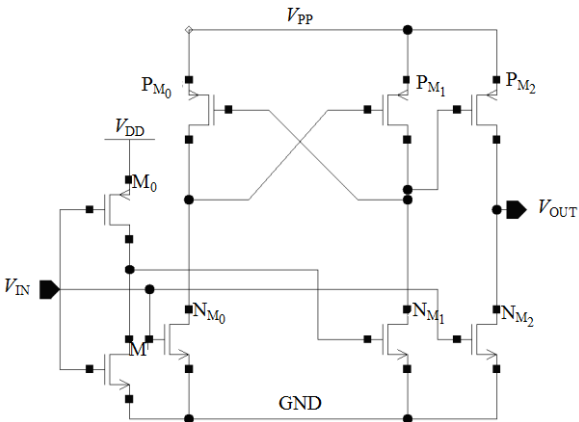


图1 普通的电平移位电路

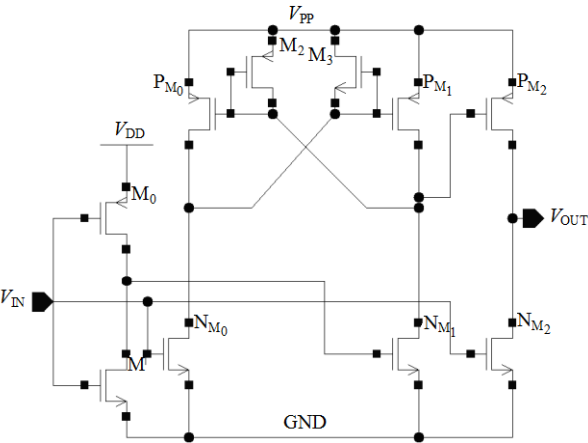


图2 P管栅电压可调的电平移位电路

图2为P管栅电压可调的电子移位电路。工作原理与普通电平移位电路大致相同, 只是当  $N_{M_1}$  导通时,  $P_{M_2}$  的栅电压通过  $N_{M_1}$  和  $M_2$  分压而产生, 可以通过调整  $N_{M_1}$  和  $M_2$  的分压关系<sup>[10]</sup>, 从而降低  $P_{M_2}$  的最大栅源电压, 保证其栅源电压不至于超过其耐压值, 满足可靠性要求。但是该电路存在直流通路, 从而存在静态功耗, 尤其对于转换速度快的高电压应用, 要求对  $P_{M_2}$  的栅级的驱动能力较大, 从而导致该直流通路的电流

大, 而且该电路在高电压下工作, 产生很大的静态功耗。同时,  $N_{M_2}$  的最大栅源电压  $V_{DD}$  在较低电压的系统应用中导致其驱动能力不足。

## 1.2 新型的电平移位电路

新型的电平移位电路分为PMOS管栅电压电平移位电路和NMOS管栅电压电平移位电路, 为输出级PMOS管和NMOS管分别提供驱动信号, 电路不但满足可靠性要求, 而且能够提供很大驱动能力, 实现状态快速转换以及较低的静态功耗。

### 1.2.1 PMOS管栅电压电平移位电路

PMOS管栅电压电平移位电路引入了二极管, 如图3所示, 其中  $N_{M_0}$  和  $N_{M_1}$  构成差分输入, 利用二极管  $D_0$  和  $D_1$  的反向击穿特性, 限制输出电压, 用较大的反向击穿电流实现电路的快速转换; 并且, 当二极管电压差较小时, 导通电流很小, 保证很低的静态功耗。当二极管处于反向击穿状态时,  $P_{M_0}$  和  $P_{M_1}$  与差分输入构成正反馈回路<sup>[11]</sup>, 加速了信号的转换特性, 该电平移位电路将  $0 \sim V_{DD}$  的控制信号转换为  $V_P \sim V_{PP}$  的PMOS管栅控制信号。假设NMOS管  $N_{M_0}$  和  $N_{M_1}$  足够大, 导通时漏源电压很小, 因此电压  $V_P$  为二极管的反相击穿电压。对于PMOS管, 其栅源电压为  $V_{GSP} = V_{PP} - V_P$ , 选择合适的二极管就可以保证提供合理的输出电压, 使输出管PMOS管的栅源电压低于其最大耐压, 满足可靠性要求, 而且驱动电压足够高, 使电路具有很快的转换速度。

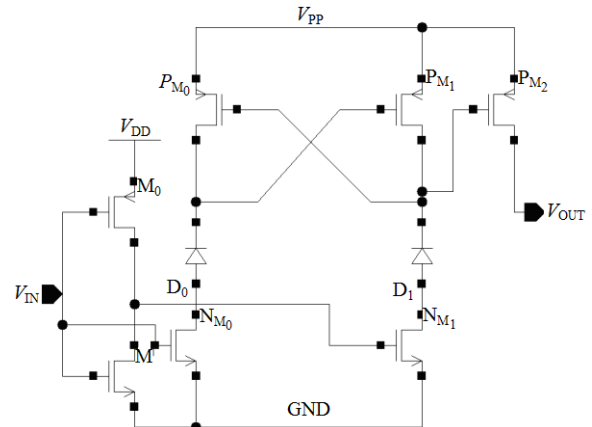


图3 新型PMOS管栅电压电平移位电路

电路工作时,  $V_{IN}$  输入由高电平变为低电平时,  $N_{M_0}$  管关断,  $N_{M_1}$  管导通, 此时假设  $P_{M_1}$  管处于开启状态, 二极管  $D_1$  两端的电压差为  $V_{PP}$ , 二极管  $D_1$  反向击穿, 存在很大的击穿电流, 快速地将  $P_{M_1}$  管的漏电压拉低, 从而使  $P_{M_0}$  打开,  $P_{M_0}$  管的漏电压升高, 关闭  $P_{M_1}$  管。当  $P_{M_1}$  管的漏电压降低到二极管  $D_1$  的反向击穿电压时, 电流迅速减小, 维持住电压。  $V_{IN}$  输入由低

电平变为高电平时,  $N_{M_0}$  导通,  $N_{M_1}$  关断, 二极管  $D_0$  被反向击穿产生很大的电流,  $P_{M_0}$  管的漏电压降低, 打开  $P_{M_1}$  管, 将  $P_{M_1}$  管的漏电压拉到  $V_{PP}$ 。

### 1.2.2 NMOS管栅电压电平移位电路

图4为NMOS管栅电压电平移位电路, 同样引入了二极管, 但是电路结构稍有不同, 利用二极管反向击穿特性, 限制输出电压, 用其较大的反向击穿电流实现电路的快速转换; 状态转换后, 其导通电流很小, 保证很低的静态功耗。该电平移位电路将  $0 \sim V_{DD}$  的控制信号转换为  $0 \sim V_N$  的NMOS管栅控制信号,  $V_N = V_{PP} - V_D$  ( $V_D$  为二极管的反向击穿电压)。对于NMOS管, 其栅源电压为  $V_{GSN} = V_N = V_{PP} - V_D$ , 因此, 选择合适的二极管就可以保证栅源电压不会很高, 普通的薄栅晶体管就能满足可靠性要求, 并且电路工作速度快、静态功耗低。

电路工作时,  $V_{IN}$  输入由高电平变为低电平,  $N_{M_0}$  关断,  $N_{M_1}$  导通。假设  $P_{M_1}$  开启,  $P_{M_1}$  的漏端节点的电压为高, 二极管  $D_1$  反向击穿, 存在很大的击穿电流, 快速地将  $P_{M_1}$  的漏端节点的电压拉低, 从而使  $P_{M_0}$  打开,  $P_{M_0}$  的漏端电压升高, 关闭  $P_{M_1}$  管。将  $P_{M_1}$  的漏端电压降低到接近二极管  $D_1$  的反向击穿电压时, 电流迅速减小, 维持住  $P_{M_1}$  的漏端电压。  $V_{IN}$  输入由低电平变为高电平时,  $N_{M_0}$  导通,  $N_{M_1}$  关断, 二极管  $D_0$  被反向击穿产生很大的电流,  $P_{M_0}$  的漏端电压降低, 打开  $P_{M_1}$  管, 将  $P_{M_1}$  的漏端节点的电压拉到  $V_{PP}$ 。

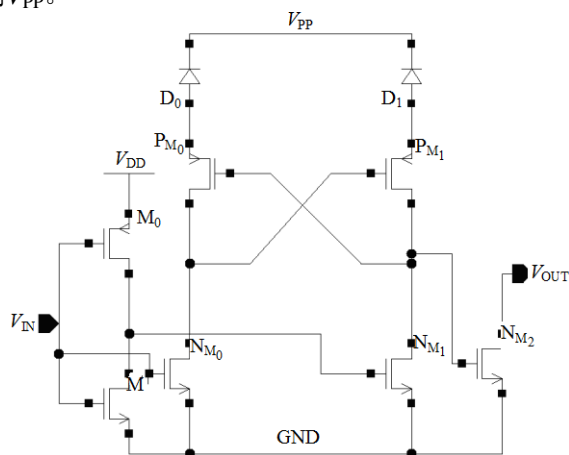


图4 新型NMOS管栅电压电平移位电路

## 2 版图与测试结果

图5为芯片版图, 电路采用CSMC标准  $0.5 \mu\text{m}$  工艺芯片, 图中左边部分为输出级NMOS管栅电压产生电路, 右边部分为输出级PMOS管栅电压产生电

路, 都为  $V_{PP}$  供电。两部分的面积均为  $0.0048 \text{ mm}^2$ 。为了提高电路的耐压特性, 晶体管的尺寸、保护环和晶体管的距离以及阱间距等相关的尺寸都做了加大处理, 二极管采用阱里的二极管, 保证能够承受高电压。图的中间部分为公用的输入信号的转换电路, 该电路为  $V_{DD}$  供电, 为了保证该部分电路的可靠性, 中间  $V_{DD}$  供电部分和两边  $V_{PP}$  供电部分相隔很大的距离。

图6为NMOS管栅电压产生电路的输出的测试结果。图中电平较低的方波为输入  $2 \text{ V}$  的方波信号, 频率约为  $25 \text{ kHz}$ , 经过电平转换后, 输出信号高电平为  $3.2 \text{ V}$ , 如图中电平较高的方波信号。因此, 一方面, 输入  $2 \text{ V}$  的输入方波信号转换为  $3.2 \text{ V}$  的方波信号, 而且用很小的面积实现了很快的转换速度; 另一方面, 整个电路可以在高电压下稳定可靠地工作。PMOS管栅电压产生电路的功能原理与NMOS管栅电压产生电路的功能原理基本相似, 区别主要是输出电平不同, 将输入的低电平信号转换为高电平信号, 通过测试, 验证功能正常。

电路工作频率比较低, 主要是受晶体管尺寸和二极管面积仅为  $0.0048 \text{ mm}^2$  所限制, 在很小的面积下实现高电平的可靠工作, 已经可以验证电路的正确性, 并且可以通过进一步增大面积提高速度。

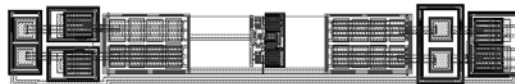


图5 整体电平移位电路版图

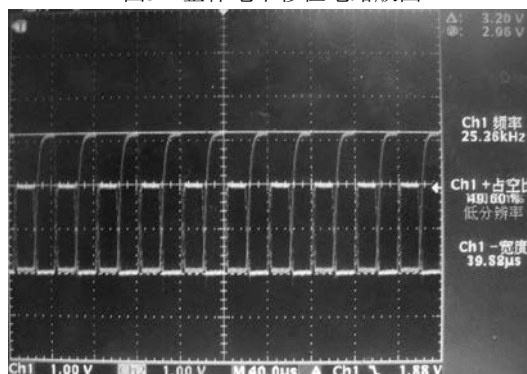


图6 输出级NMOS管栅电压产生电路测试结果

## 3 结论

利用二极管的反向工作特性, 结合正反馈电路, 实现了输出级PMOS管和NMOS管栅驱动电平移位电路。相对于常用的电平移位电路, 该电平移位电路在不采用特殊的厚栅氧工艺的条件下, 为输出级PMOS管提供可靠的栅驱动信号, 在低电压的应用

中, 为输出级NMOS管提供了足够大的栅驱动信号, 并且具有很大的驱动能力和很小的静态功耗。芯片采用CSMC的0.5  $\mu\text{m}$ 工艺实现。可以集成于高低压兼容及功率输出等各种应用芯片中。

### 参 考 文 献

- [1] BASSIN C, BALLAN H, DECIERCQ M. High-voltage devices for 0.5  $\mu\text{m}$  standard CMOS technology[J]. IEEE Electron Device Lett, 2000, 21(1): 40-42.
- [2] DIRIL A U, DHILLON Y S, CHATTERJEE A, et al. Level-shifter free design of low power dual supply voltage CMOS circuits using dual threshold voltages[J]. IEEE Trans Very Large Scale Integr (VLSI) Syst, 2005, 13: 1103-1107.
- [3] TRAN C, KAWAGUCHI H, SAKURAI T. Low-power high-speed level shifter design for block-level dynamic voltage scaling environment[C]//Integrated Circuit Design and Technology, International Conference. Texas: Institute of Electrical & Electronics Engineer, 2005.
- [4] D'ASCOLI F, BACCIARELLI L, MELANIA M, et al. Programmable and low-EMI integrated half-bridge driver in BCD technology[J]. Design, Automation and Test in Europe, 2008, 11: 879-884.
- [5] 陈星弼. 功率MOSFET与高压集成电路[M]. 南京: 东南大学出版社, 1990.
- CHEN Xing-bi. Power MOSFETs and high-voltage ICs[M]. Nanjing: The Southeast University Press, 1990.
- [6] 李泽宏, 李肇基, 杨舰. 横向高压DMOS单粒子辐照瞬态响应[J]. 电子科技大学学报, 2004, 33(02): 149-153.
- LI Ze-hong, LI Zhao-ji, YANG Jian. Transient response of single ion radiate the lateral high-voltage DMOS[J]. Journal of University of Electronic Science and Technology of China, 2004, 33(02): 149-153.
- [7] 肖建平. 高压开关电源的拓扑研究[J]. 电子科技大学学报, 2007, 36(04): 726-729.
- XIAO Jian-ping. Research on the topology of high-voltage switching power supply[J]. Journal of University of Electronic Science and Technology of China, 2007, 36(04): 726-729.
- [8] 罗小蓉, 李肇基, 张波. 可变低k介质层SOI LDMOS高压器件的耐压特性[J]. 半导体学报, 2006, 27(05): 881-885.
- LUO Xiao-rong, LI Zhao-ji, ZHANG Bo. Breakdown characteristics of SOI LDMOS high voltage devices with variable low k dielectric layer[J]. Chinese Journal of Semiconductors, 2006, 27(05): 881-885.
- [9] 周蓉, 胡思福, 张庆中. 提高雪崩击穿电压新技术-深阱终端结构[J]. 电子科技大学学报, 1999, 28(03): 259-261.
- ZHOU Rong, HU Si-fu, ZHANG Qin-zhong. Deep trench termination-a new technology for improving abalance breakdown voltage[J]. Journal of University of Electronic Science and Technology of China, 1999, 28(03): 259-261.
- [10] 邓兰萍, 王纪民. LDMOS低功耗自恢复电平移位电路设计[J]. 半导体学报, 2005, 36(10): 2028-2031.
- DENG Lan-ping, WANG Ji-min. A lower power consumption, self returning voltage level shifter circuit implemented with LDMOS[J]. Chinese Journal of Semiconductors, 2005, 36(10): 2028-2031.
- [11] FINCO S, TAVARES P, SANTOS P. A cost effective smart power approach with NMOS based blocks in standard CMOS technology[C]//Electronics, Circuits and Systems, 1998 IEEE International Conference. [S.l.]: IEEE, 1998.

编辑 税红