

建立在De Bruijn图架构上的三维片上网络设计

陈亦欧, 胡剑浩, 凌翔

(电子科技大学通信抗干扰技术国家级重点实验室 成都 610054)

【摘要】提出一种基于De Bruijn图的新型三维片上网络架构方式, 利用De Bruijn图直径短、路由简单及容错等特性, 实现三维片上网络水平面网络和虚平面网络相结合的分层架构与容错路由算法。利用仿真, 在均匀流量和热点流量模型下将该架构与传统架构进行仿真与性能比较, 结果表明, 与传统的3D_Mesh、XNoTs等架构相比, 基于De Bruijn图的三维片上网络架构方式具有较小的网络平均延时与良好的可扩展性。

关键词 三维集成电路; 架构; 网络延时; 片上网络; 功耗

中图分类号 TN4

文献标识码 A

doi:10.3969/j.issn.1001-0548.2011.02.009

3D Network on Chip Design Based on De Bruijn Graph Architecture

CHEN Yi-ou, HU Jian-hao, and LING Xiang

(The National Key Laboratory of Communication, University of Electronic Science and Technology of China Chengdu 610054)

Abstract Since the three dimensional (3D) integrated circuit (IC) can offer shorter interconnection wire for network on chip (NoC), 3D NoC becomes an emerging research area in recent years. This paper proposes a new architecture based on De Bruijn graph for 3D NoC. It makes use of advantages of De Bruijn graph, such as small diameter, simple routing, and high reliability to design a hybrid layering architecture combined by horizontal planer network and virtual horizontal planer network. It also adopts fault-tolerant routing algorithm. This paper compares the performance of the proposed architecture with traditional 3D NoC architectures like 3D Mesh and XNoTs under uniform traffic and hotspot traffic. The simulation results prove that the De Bruijn graph based architecture can achieve smaller network latency than 3D Mesh based architectures with good scalability.

Key words 3D integrated circuits; architecture; network latency; network on chip; power

随着半导体技术的飞速发展, 未来在单个芯片片能够集成上千万个晶体管。在这一发展趋势下, 片上系统(SoC)将面临着设计、验证与制造等各项挑战。由于总线结构通信系统效率低, 基于总线结构的SoC通信系统越来越不能满足SoC发展的需要。为了解决该问题, 片上网络(NoC)作为一种新型的异步通信机制被提出^[1]。

二维芯片约束了NoC的拓扑优化与性能提高。三维封装能够缩短芯片上IP核之间的距离, 减小延时, 降低功耗, 并且能将不同工艺的芯片堆叠在一个三维集成电路中^[1], 采用三维封装技术的三维NoC能够显著提高系统性能。三维NoC中垂直芯片的互联可采用高速、高密度的硅穿孔(through silicon vias, TSV)技术来实现^[1-5]。

三维NoC的架构对网络吞吐率、功耗、任务映射及芯片复杂度等影响极大^[6-8]。由文献[9]可知,

De Bruijn图是一种直径小、路由简单且具有容错等特性的网络拓扑。因此, 本文提出一种基于De Bruijn图的三维NoC架构, 垂直方向上构造虚平面进行垂直芯片的互联。为了获得简单、可靠、吞吐率高与网络延时短等优势, 在水平面和虚平面上分别采用De Bruijn图作为拓扑。仿真结果表明, 与3D Mesh等架构相比, 基于De Bruijn图的三维片上网络架构具有较小的网络平均延时与良好的扩展性。

1 现有的三维NoC架构

文献[10]提出了4种三维NoC架构, 如图1所示。图1a的3D Mesh将2D Mesh直接扩展到三维空间中, 每个路由节点与相邻的6个路由节点相连, 采用XYZ路由算法。图1b的叠层Mesh将多个2D Mesh在垂直方向上堆叠起来, 各层芯片间通过垂直方向上的总线连接。图1c的纤毛Mesh中, 路由节点被限制在少

收稿日期: 2009-10-26; 修回日期: 2010-05-27

基金项目: 国家863项目(2007AA01Z291); 教育部博士点基金新教师基金(200806141015)

作者简介: 陈亦欧(1982-), 女, 博士生, 主要从事软件无线电、集成电路设计、片上网络等方面的研究。

数几层芯片上, 每个路由节点与分布在多层芯片上的多个IP核相连。由于Mesh拓扑的网络直径大, 因此这3种基于Mesh架构的共同缺点是它们的网络平均延时大。图1d的3D BFT是将2D BFT映射到3D IC上得到的架构, 它比2D BFT布线简单, 并且连线变短, 但由于BFT拓扑的不规则性及复杂性, 3D BFT实现起来较困难。

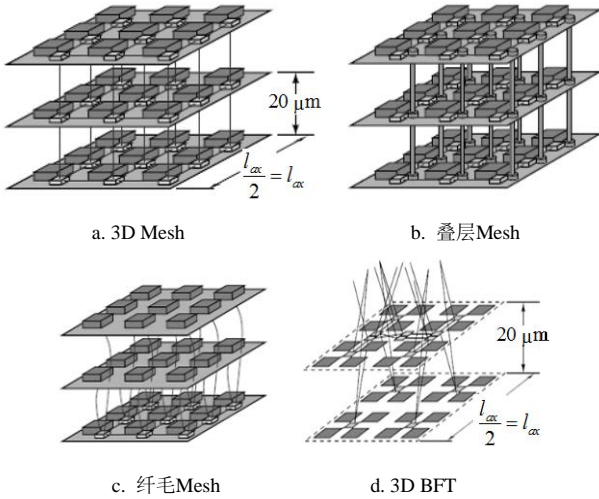


图1 基于Mesh的三维NoC架构

文献[1]提出了XNoTs结构, 如图2所示。XNoTs是一种分级拓扑结构, 采用芯片内网络和柱结构相结合的方式。芯片内网络使用Mesh、蝶形胖树、环网等拓扑结构。芯片间网络采用柱结构, 由各层芯片上具有相同芯片内地址的一组路由节点、IP核和芯片间的一个交换节点构成, IP核和路由节点之间没有直接连接, 它们通过交换节点进行数据传递。XNoTs结构采用柱结构减少了芯片间的路由跳数, 提高了吞吐率。然而, 由于路由节点和IP核之间没有直接相连, IP核发出的数据包必须先通过柱结构内的交换节点送给路由节点后, 才能在芯片内网络上传递, 增加了额外的跳数, 也加重了交换节点的通信负荷。

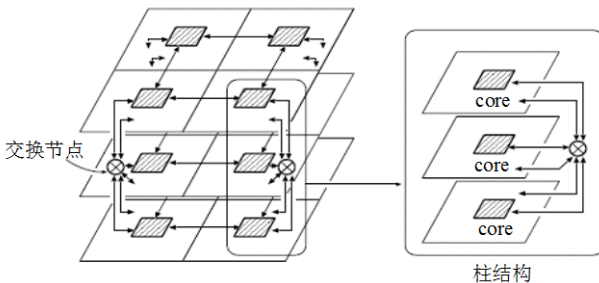


图2 XNoTs架构

2 基于De Bruijn图的三维NoC架构

图3是DB(2,4)的连接示意图。由DB(d,k)表示的

De Bruijn图含有 $N = d^k$ 个节点, 其直径为 k , 度为 $2d$ 。图中相邻节点的编号满足下面任一关系式:

$$i = (d * j + r) \pmod{N} \quad r = 0, 1, \dots, d-1 \quad (1)$$

$$j = (d * i + r) \pmod{N} \quad r = 0, 1, \dots, d-1 \quad (2)$$

根据上述关系式可得到由 k 比特 d 进制移位寄存器构成的状态转移图。DB(2, k)表示二进制De Bruijn图, 其节点地址可表示为 $(i_{k-1}i_{k-2} \dots i_1i_0)$, 其中 $i_j \in \{0,1\}$, $0 \leq j \leq k-1$, 而其相邻节点地址为 $i_{k-2}i_{k-1} \dots i_1i_00$ 、 $i_{k-2}i_{k-1} \dots i_1i_01$ 、 $0i_{k-1}i_{k-2} \dots i_1$ 和 $1i_{k-1}i_{k-2} \dots i_1$ 。

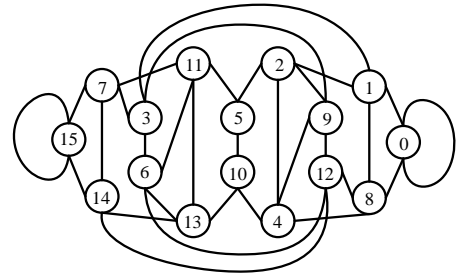


图3 DB(2,4)连接示意图

定义 1 水平面网络(horizontal plane network, HPN)指三维IC中单层硅片上的网络。HPN可以采用任意的二维网络拓扑结构; 为了路由的方便, 各层HPN采用相同的拓扑。

定义 2 虚平面(virtual plane, VP)指垂直方向上的逻辑面。引入VP的概念是为了描述三维NoC各节点在垂直方向上的连接模式。

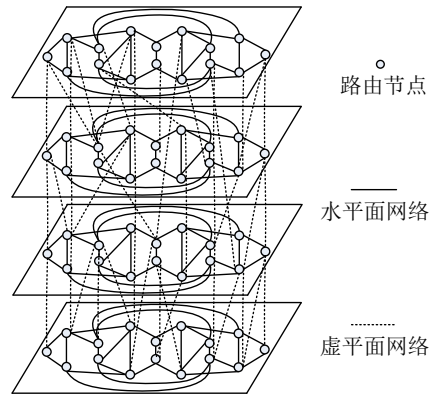


图4 基于De Bruijn图的三维NoC架构

研究中, 为了得到简单、可靠、高吞吐率和低延时的网络, 在水平面网络和虚平面网络(virtual plane network, VPN)上都采用De Bruijn图, 如图4所示。为了描述的简单, 以4层、每层16个节点的NoC为例, 用相同的方式将各层水平面上的16个节点分成4部分, 每一部分包含4个节点P1、P2、P3和P4。第一个VPN由各层水平面的P1的节点以De Bruijn图的方式连接构成, 如图5所示。其他3个VPN也用类

似的方法构建。

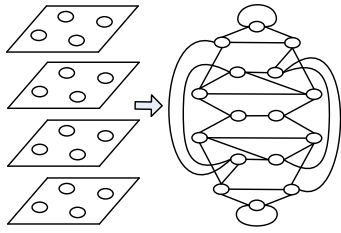


图5 虚平面上节点的连接

DB($d,2$)中,每个节点 i 有 $2d$ 个相邻节点,相邻节点的地址可以通过左移或右移1比特数据进入 i 的地址而得到。移入的比特被称作填充比特。对于一个由 N 比特二进制编码标识的地址,最多通过 N 次移位就可以得到任意的目的地址,即数据包最多需要 N 跳就可以从源节点到达目的节点。使用左移或右移操作,将目的地址依次移入源地址的过程中得到的地址即是数据包的传输路径。De Bruijn图的移位路由算法如下。

1) 将目的地址从最高位到最低位依次移入源地址的最低位,得到的路径称为左路径。

```
for ( $h=N-1; h>0; h--$ )
```

```
{if (the lowest  $h$  bits of source address=the highest  $h$  bits of destination address)
```

```
{ $F=h+1$ ;
```

```
break;}}
```

```
old address = source address;
```

```
for ( $F=h+1; F<N+1; F++$ )
```

```
{new address={old address[ $N-2:0$ ], destination address[ $N-F$ ]};
```

```
left intermediate address[ $F-(h+1)$ ]=new address;
```

```
old address = new address;}
```

2) 将目的地址从最低位到最高位依次移入源地址的最高位,得到的路径称为右路径。

```
for ( $h=N-1; h>0; h--$ )
```

```
{if (the highest  $h$  bits of source address=the lowest  $h$  bits of destination address)
```

```
{ $F=h$ ;
```

```
break;}}
```

```
old address = source address;
```

```
for ( $F=h; F<N; F++$ )
```

```
{new address={destination address[ $F$ ], old address[ $N-1:1$ ]};
```

```
right intermediate address[ $F-h$ ]=new address;
```

```
old address = new address;}
```

3) 在两条路径中选择较短的一条。

本文提出的三维NoC架构中,节点既处在HPN上,又处在VPN上,因此节点地址由HPN地址和VPN地址共同构成。本文采用维序路由算法进行路由。首先,将数据包通过HPN传递到HPN上的目的节点,该节点和源节点在同一水平面,且与目的节点在同一虚平面;然后,将数据包通过VPN传递到目的节点。数据包在HPN和VPN上的传递都遵循De Bruijn图的移位路由算法。

数据包的包头格式如图6所示。其中, S_H 和 D_H 分别表示水平面网络上的源和目的地址; S_V 和 D_V 分别表示虚平面网络上的源和目的地址; Hop_H 和 Hop_V 分别表示在水平面网络和虚平面网络上距离目的地址的跳数; Dir_{CH} 和 Pad_H 指示在水平面网络上的下一跳出口; Dir_{CV} 和 Pad_V 指示虚平面网络上的下一跳出口。 Sel 指示数据包传递的区域。如果 Sel 为0,数据包在水平面网络上传递,如果 Sel 为1,数据包在虚平面网络上传递。

D_H	D_V	S_H	S_V	Sel	Hop_H	Dir_{CH}	Pad_H	Hop_V	Dir_{CV}	Pad_V
-------	-------	-------	-------	-------	---------	------------	---------	---------	------------	---------

图6 数据包的包头格式

3 仿真与性能评估

本文采用基于消息传递接口的片上网络仿真平台(message passing interface style network-on-chip simulator)对提出的三维NoC架构进行仿真与性能评估^[11]。为了比较性能,本文对提出的DB_DB,以及XNoTs、3D_Mesh3种架构进行了建模及仿真。采用了均匀模型与热点模型两种流量模型和两种信源分布方式。

1) 均匀模型:网络流量分布均匀,各个节点收到数据包的概率相等;2) 热点模型:网络流量分布不均匀,节点有80%的包发送到同层节点上,另外20%的包发送到跨层节点上。

本文仿真时采用了64节点与256节点两种规模的3D-NoC。64节点的模型中,每层有16个节点,共4层,水平面网络和虚平面网络都采用16点的De Bruijn图;256节点的模型中,每层有32个节点,共8层,水平面网络和虚平面网络都采用32点的De Bruijn图。在实际应用中,不可能所有节点会同时发送数据包,因此,假设每层上有4个节点发送数据。该4个发送数据的节点被称作发送节点,采用不同的位置分布可能会得到不同的系统性能。图7给出了两种典型的发送节点在64节点模型中的水平面网络上的集中式与分散式分布方式。在256节点的模型中,采用类似的分布方式。

本文采用网络平均延时与功耗两个指标来评估系统性能。

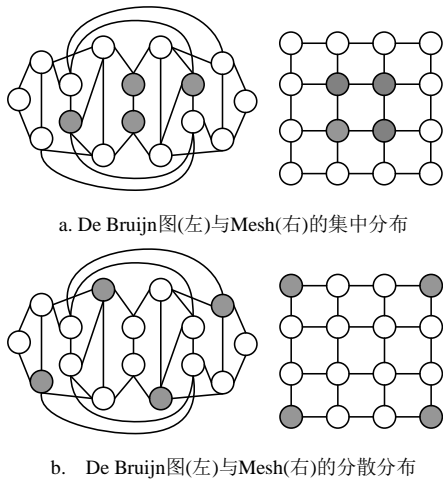


图7 De Bruijn图与Mesh拓扑中发送节点的位置分布

3.1 网络平均延时

网络平均延时是指网络中数据包从源节点传递到目的节点所经过的平均延时^[12]。网络平均延时越小, 网络性能越高。一般来说, 网络平均延时会随着注入率的增大而增大, 因为在负载较大的链路上, 数据包需要在交换节点的缓存中排队等待, 直到链路空闲才能传递。图8和图9分别给出了在均匀模型和热点模型下, 随着注入率的变化, 3种架构方式的64节点的NoC的网络平均延时曲线。本文中, 注入率指单个发送节点每秒钟发出的数据包个数。

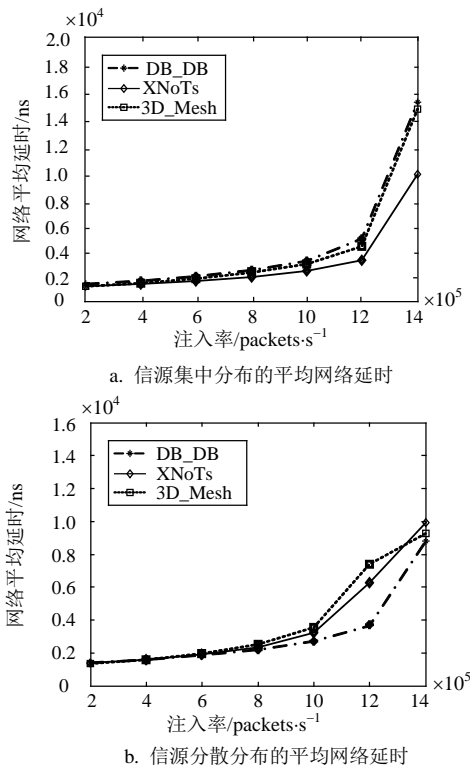


图8 流量均匀模型下的网络平均延时

为了更清楚地比较本文提出的架构与传统架构的性能, 在热点模型、信源分散方式下, 增加了一组对256节点的3D NoC的仿真。将其网络平均延时的结果加入到图9b中, 和同条件下64节点的3D NoC的网络平均延时进行比较。

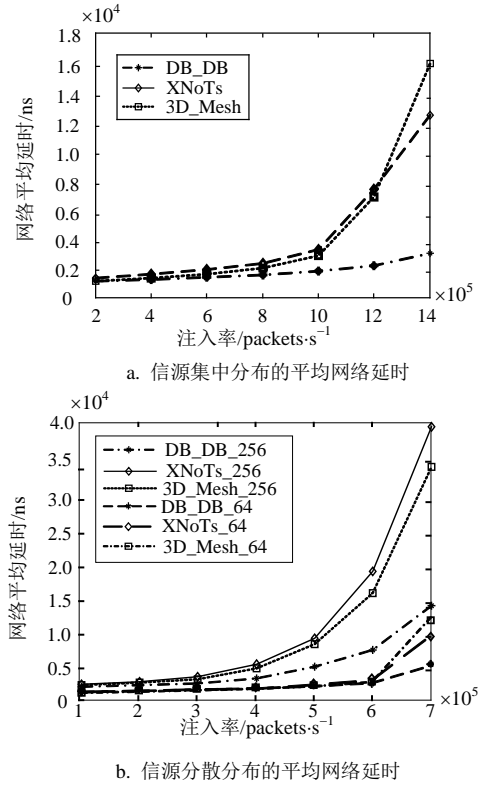


图9 流量热点模型下的网络平均延时

从图8和图9可以看出, 3种结构下, 网络平均延时都随着注入率的增大而增大。比较图8和图9, 均匀模型下的网络平均延时比对应的热点模型下的网络平均延时小, 其原因是热点模型下, 大部分数据包的源和目的节点都在同一层, 只有少部分的数据包需跨层传递, 导致数据包的传递在整个网络上的分布不均匀, 水平面网络上的负载较重; 而均匀模型下, 数据包的传递在整个网络上的分布较均匀, 水平面网络和垂直面网络的负载分布也较均匀, 出现拥塞的可能性比热点模型下小, 因此均匀模型下, 网络平均延时比热点模型小。

比较图8a和图8b, 在同样的流量模型下, 集中分布模式所对应的网络平均延时分分散分布模式所对应的网络平均延时大, 说明发送节点的分布对性能有较大影响。当发送节点分布密集时, 拥塞的可能性较大, 因此网络的平均延时较大。图9也反映了类似的情况。

另外, 除了在均匀模型下、信源集中分布时, DB_DB架构没有获得最小的网络平均延时外, 其余

3种情况下DB_DB架构都获得了最小的网络平均延时。在图9所示的热点模型中, DB_DB的优势更为明显, 随着注入率的增大, 3D_Mesh和XNoTs的网络平均延时增长幅度较大, 而DB_DB的网络平均延时增长幅度平缓。

图9b比较了热点模型、信源分散方式下, 64节点的3D NoC和256节点的3D NoC的网络平均延时。从图中可以看出, 随着三维NoC规模的增大, 3D_Mesh和XNoTs的网络平均延时增长较快, 而DB_DB的网络平均延时增长幅度比较平缓, 并且从数值上比较, DB_DB的网络平均延时比其他两种架构的要小很多。说明在网络规模较大时, DB_DB的优越性更明显。

3.2 功耗

功耗是当前集成电路设计的一项重要指标。本文分别用 P_{Node} 和 P_{Wire} 表示节点功耗和连线功耗, 系统总功耗为:

$$P = P_{\text{Node}} + P_{\text{Wire}}$$

节点功耗由Synopsis公司的Design Compiler工具对设计进行综合得到。表1给出了由Design Compiler综合后得到的各种架构下单个交换节点的功耗。从表中可以看出, 节点的功耗非常接近, 因此NoC芯片的功耗差异主要体现在连线功耗上。

表1 各种架构下的节点功耗

架构名称	节点功耗/mW
DB_DB	36.108 9
3D_Mesh	36.102 7
XNoTs	36.097 5

分别用 C_{wire} 、 V_{DD} 以及 f_w 表示连线电容、芯片电压以及连线上的电平翻转频率, 连线功耗的计算为:

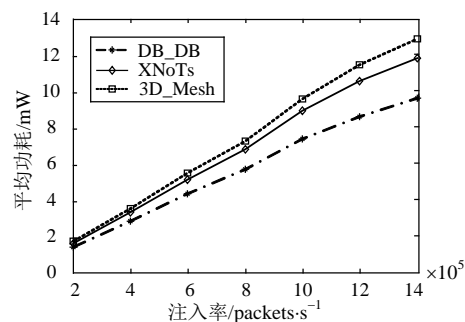
$$P_{\text{wire}} = C_{\text{wire}} V_{\text{DD}}^2 f_w$$

其中, C_{wire} 与单位长度连线电容 C_0 成正比。在SMIC 0.18 μm 工艺下, C_0 的值为0.000 15 pf/ μm 。 f_w 从MSNS平台统计得到。图10和图11分别给出了64节点模型在均匀模型与热点模型下, 3种不同架构在不同发送节点分布模式下的连线功耗。

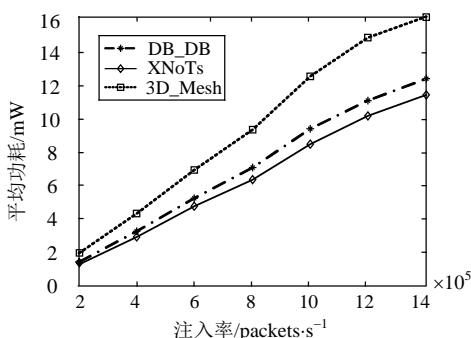
另外, 将热点模型、信源分散方式下, 对256节点3D NoC仿真得到的功耗结果加入图11b中, 和同条件下64节点的3D NoC的连线功耗进行比较。

从图10和图11可以看出, 在不同流量模型下, 随着注入率的增长, 3种架构的连线功耗基本呈线性增长。均匀模型下的连线功耗比对应的热点模型下的连线功耗小, 其原因是热点模型下, 数据包跨层

传递较少。因此传递经过的平均节点数较少, 链路上的电平翻转频率小于均匀模型下的情况。

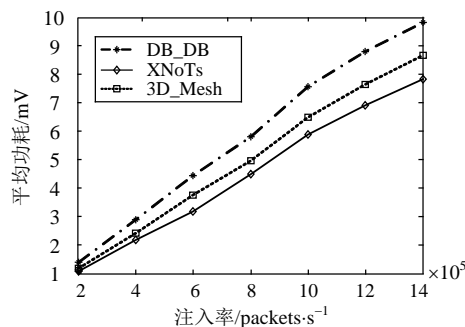


a. 信源集中分布的连线功耗

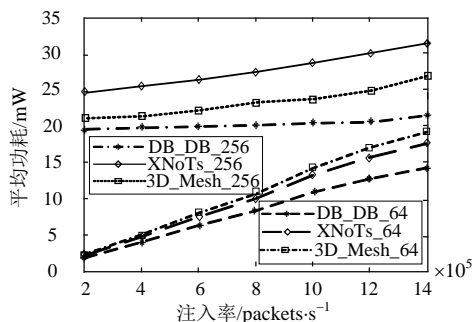


b. 信源分散分布的连线功耗

图10 流量均匀模型下的连线功耗



a. 信源集中分布的连线功耗



b. 信源分散分布的连线功耗

图11 流量热点模型下的连线功耗

在均匀模型、信源分散方式及热点模型、信源集中方式下, DB_DB架构的连线功耗略高于其他架构, 原因在于DB_DB架构根据De Bruijn图特性设计

的路由算法简化了路由器结构, 但并不一定获得最短路由路径, 所以其功耗优势不明显。

图11b比较了热点模型、信源分散方式下, 64节点的3D NoC和256节点的3D NoC的连线功耗。从图中可以看出, 随着三维NoC规模的增大, 3D_Mesh和XNoTs的连线功耗增长较快, 而DB_DB的连线增长幅度平缓, 并且从数值上比较, DB_DB的连线功耗比其他两种架构的要小很多。说明在网络规模较大时, DB_DB的优越性更明显, 并且DB_DB架构具有良好的扩展性。

4 结 论

本文提出了一种基于De Bruijn图的新型三维NoC架构方式以及相应的路由算法。从网络平均延时和功耗两个指标考察了该架构方式与已有架构的性能优劣。实验结果表明: 1) 大部分情况下, 基于De Bruijn图的三维NoC架构能同时获得延时和功耗的最优性能, 特别是在注入率较大时, 基于De Bruijn图的三维NoC架构的网络平均延时和功耗比其他两种架构优异; 2) 当NoC规模增大时, 基于De Bruijn图的三维NoC架构的网络平均延时和功耗增长比较平缓, 具有良好的扩展性。基于这些实验数据, 本文提出的架构是一种可行的三维NoC架构方案。今后的工作将对垂直方向上其他可能的拓扑连接方式进行研究, 以降低三维NoC架构的功耗。

参 考 文 献

- [1] BENINI L, MICHELI G De. Network on chips: a new SoC paradigm[J]. IEEE Journal of Computer, 2002, 35(1): 70-78.
- [2] DAVIS W R, WILSON J, MICK S, et al. Demystifying 3D ICs: the pros and cons of going vertical[J]. IEEE Design and Test of Computers, 2005, 22(6): 498-510.
- [3] FIKOTA S, NOMURA K, ABE K, et al. 3d on-chip networking technology based on post-silicon devices for future networks-on-chip[C]//Proceedings of the 2006 IEEE International Conference on Nano-Networks and Workshops. Lausanne: IEEE, 2006: 1-5.
- [4] LGOR L, SUBHASISH M, THOMAS H, et al. A low-overhead fault tolerance scheme for tsv-based 3d network on chip links[C]//Proceedings of the IEEE/ACM International Conference on Computer-Aided Design. San Jose: IEEE, 2008: 598-602.
- [5] 陈亦欧, 胡剑浩, 凌翔. 三维片上网络拓扑结构研究[J]. 电信科学, 2009, 25(4): 39-44.
CHEN Yi-ou, HU Jian-hao, LING Xiang. Research on topologic architecture of three-dimensional network on chip[J]. Telecommunications Science, 2009, 25(4): 39-44.
- [6] FEERO B, PANDE P P. Networks-on-chip in a three-dimensional environment: a performance evaluation[J]. IEEE Transactions on Computers, 2009, 58(1): 32-45.
- [7] MATSUTANI H, KOIBUCHI M, AMANO H. Tightly-coupled multi-layer topologies for 3-D NoCs[C]//Proceedings of the IEEE International Conference on Parallel Processing. Xi'an: IEEE, 2007: 75-79.
- [8] HU Jin-cao, MARCULESCU R. Energy- and performance-aware mapping for regular NoC architectures[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2005, 24(4): 551-562.
- [9] HOSSEINABADY M, KAKOEE M R, MATHEW J, et al. Reliable network-on-chip based on generalized de bruijn graph[C]//The IEEE International High Level Design Validation and Test Workshop. Irvine: IEEE, 2007: 3-10.
- [10] JEANG Y L, WEY T S, WANG H Y. Mesh-tree architecture for network-on-chip design[C]//Proceedings of the 2007 IEEE International Conference on Innovative Computing, Information and Control. Kumamoto: IEEE, 2007: 262-266.
- [11] LI Zhong-qi, LING Xiang, HU Jian-hao. MSNS: a top-down MPI-style hierarchical simulation framework for network-on-chip[C]//The Proceedings of the IEEE International Conference on Communications and Mobile Computing. Kunming: IEEE, 2009: 609-614.
- [12] DALLY W J, TOWLES B. Principles and Practices of Interconnection Networks[M]. San Francisco: Morgan Kaufmann, 2004.

编辑 漆 蓉