

用于提高ADC性能的自适应Dither结构

郭志勇, 李广军, 李 强

(电子科技大学通信与信息工程学院 成都 611731)

【摘要】针对流水线型ADC(模数转换器)中加入Dither噪声后可能导致输入信号溢出问题, 提出一种自适应Dither结构。该结构采用PN(伪随机码)作为宽带大幅度的Dither, 通过自适应的方式在不影响输入信号动态范围的前提下将模拟信号随机化, 减小ADC的DNL(微分非线性)误差, 提高ADC的动态性能。实验结果对比了加入该Dither前后的输出码字分布以及不同幅度Dither加入后对ADC性能的影响结果。

关键词 模拟电路; 模数转换器; 动态性能; 自适应结构; 宽带大幅度抖动

中图分类号 TN792

文献标识码 A

doi:10.3969/j.issn.1001-0548.2011.03.009

Self-Adapting Dither Structure for Improving ADC Performance

GUO Zhi-yong, LI Guang-jun, and LI Qiang

(School of Communication and Information Engineering, University of Electronic Science and Technology of China Chengdu 611731)

Abstract A self-adapting Dither structure is proposed to solve the problem of the input signals' overflow when Dither is used in the pipelined ADC. It utilizes PN as wideband and large amplitude Dither and synchronizes analog signals without changing their dynamic range. It is proved that such a structure can reduce DNL errors and improve ADC's performance. The output codeword distribution is compared before and after Dither is added in experimental findings. The distinctive impacts on ADC's performance are reported as well when different amplitude Dithers are applied.

Key words analogue circuit; analog to digital converter; dynamic performance; self-adapting structure; wideband and large amplitude Dither

ADC将模拟信号转换为数字信号, 是沟通模拟世界与数字世界的桥梁, 是数字信号处理的基础和关键芯片。

ADC的性能指标主要分为静态指标与动态指标, 其中静态指标包括微分非线性(DNL)和积分非线性(INL); 动态指标包括信噪比(SNR)、信噪失真比(SINAD)、总谐波失真比(THD)和无杂散动态范围(SFDR)。

在模数转化过程中, 加入Dither技术可以提高ADC分辨率, 通过多次叠加平均, 使得低于1 LSB的信号也能被分辨出来。此外, 在AD转换过程中加入Dither噪声, 还能提高ADC的动态性能。在ADC量化时, 将Dither噪声与输入信号相加后由ADC量化, 减弱输入信号与量化噪声的相关性^[1-2], 使得输入信号的幅度随机化, 减少错误码字积累, 可有效提高ADC的动态性能。

目前, Dither噪声应用于音频领域的低速、高精度sigma-delta型ADC的很多, 技术也比较成熟; 而针对逐渐在高速、高精度领域成为主流结构的流水线型ADC的相关研究开展较少^[3]。

1 自适应Dither

Dither结构具有宽带和窄带形式。窄带Dither是在模拟输入信号带宽以外加入Dither噪声, 通过输出端的数字带通滤波器将窄带Dither滤去, 对ADC的SNR影响主要在于数字带通滤波器的性能, 因而对数字带通滤波器的要求很高, 实际应用难度较大。宽带按信号幅度又可以分为小幅度和大幅度两种形式。小幅度的主要作用是将量化噪声随机化, 提高ADC分辨率以及减小相干采样而产生的谐波^[4]; 大幅度除了具有小幅度的作用外, 还具有在统计意义上减小ADC DNL误差的作用^[5-6], 提高ADC的

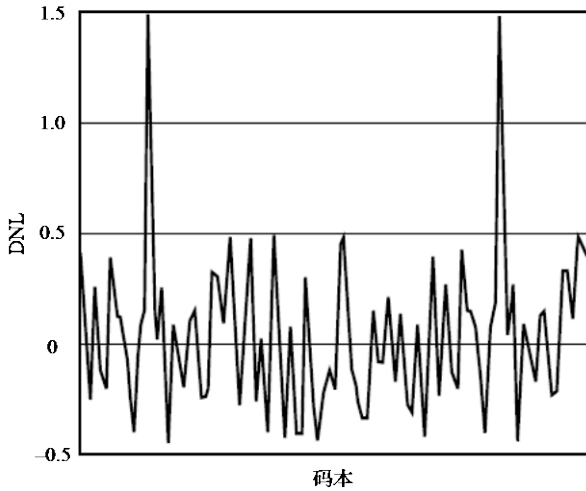
收稿日期: 2010-07-02; 修回日期: 2011-02-24

基金项目: 国家科技重大专项(2009ZX03007-002-01); 国家863项目(2009AA01Z259); 部级预研基金; 国家重点实验室基金(9140C0901101002, 9140C0901101003); 中央高校基本科研业务费(ZYGX2009X001)

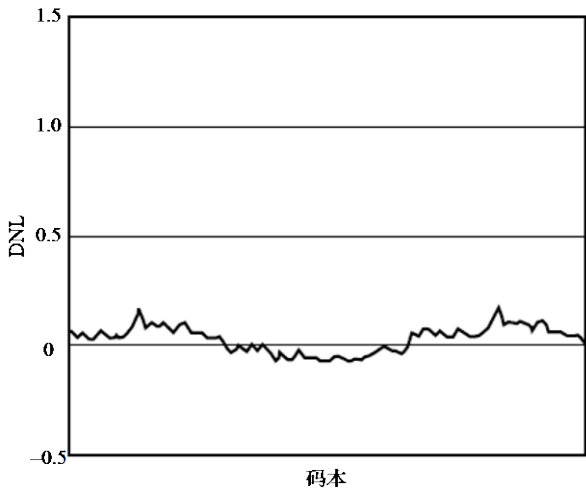
作者简介: 郭志勇(1975-), 男, 博士生, 主要从事通信ASIC设计、数模电路设计、通信与信息处理方面的研究。

SFDR, 如图1所示。尽管大幅度Dither在提高ADC的DNL方面较大幅度Dither的效果明显^[7], 但过大幅度的Dither会使输入信号溢出, 从而降低输入信号的动态范围。

本文针对12位流水线型ADC结构, 提出一种自适应宽带大幅度Dither结构, 在提高输入信号动态范围的同时, 改善ADC的性能指标^[8]。



a. 未加入Dither的DNL



b. 加入16 LSB Dither的DNL

图1 Dither对DNL的平均化

2 自适应Dither结构

宽带大幅度Dither的自适应Dither结构框图如图2所示。该结构首先对输入模拟信号的幅度进行检测, 并根据检测信息自适应地产生基于PN序列的大幅度Dither, 使得加上Dither后的输入信号满足高速ADC的输入量程范围。当ADC转换完成后, 再从转换后的数字部分去除PN序列Dither, 既可保证ADC输入信号不会因溢出情况而导致错误的转换码本, 又可通过加入大幅度Dither改善ADC的动态性能。

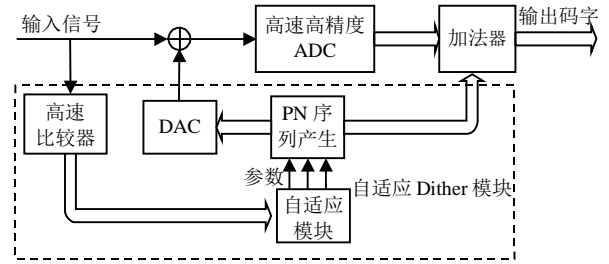


图2 自适应Dither结构

ADC输入信号溢出分为向下溢出和向上溢出两种情况, 为了解决这两种溢出问题, 采用两个比较器实现对信号最小值和最大值幅度检测, 并根据检测结果自适应地对PN序列做出调整。假设输入信号为 $s(t)$, A 为溢出检测的模拟电压值, 则高速比较器的输出结果为:

$$\text{flag} = \begin{cases} (11)b & s(t) > A \\ (01)b & -A < s(t) < A \\ (00)b & s(t) < -A \end{cases} \quad (1)$$

式中, ()b表示高速比较器对输入模拟信号幅度判断后所输出的二进制序列。假设 V_{ref} 为ADC的参考电压, 则所加入Dither的最大幅度为 $V_{\text{ref}} - A$, 即负责将PN序列转换为模拟扰动噪声的DAC的参考电压为 $\pm(V_{\text{ref}} - A)$ 。得到输入信号幅度的信息后, 再由式(1)得出的flag参数对采用乘同余或Fibonacci方法所产生的PN序列进行自适应调节, 使得其通过DAC转换的模拟扰动噪声与输入模拟信号相加后不会导致溢出。调节通过下式实现:

$$\text{ADAPT_PN} = \begin{cases} \text{PN} \& 2^{m-1} - 1 & \text{flag} = (11)b \\ \text{PN} & \text{flag} = (01)b \\ \text{PN} \mid 2^{m-1} & \text{flag} = (00)b \end{cases} \quad (2)$$

其中, m 为PN序列的比特位数。

首先由高速比较器对输入模拟信号的幅度进行检测, 再根据检测结果按照式(2)对PN序列进行调制。当输入的模拟信号幅度大于 A 时, 将PN序列的最高有效位清0, 保证Dither的幅度为负极性; 当输入模拟信号的幅度小于 $-A$ 时, 将PN序列的最高有效位置1, 保证Dither的幅度为正极性。DAC负责将自适应PN序列转换为模拟扰动信号, 其参考电压为 $\pm(V_{\text{ref}} - A)$, V_{ref} 为ADC的参考电压, 则自适应Dither的幅度为:

$$(\text{Dither})_{\text{amp}} = \left(2 \frac{\text{ADAPT_PN}}{2^m} - 1 \right) (V_{\text{ref}} - A) \quad (3)$$

式中, m 为PN序列的比特位数, 满足 $V_{\text{ref}} / 2^{n-m} = V_{\text{ref}} - A$; n 为ADC的量化位数。

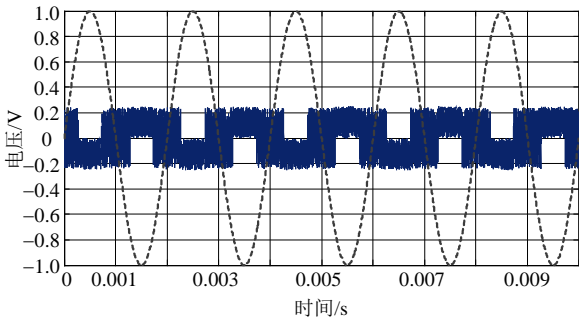


图3 自适应PN序列

图3为自适应Dither随输入信号幅度自适应调整的仿真波形,从图中可以看出,当输入信号幅度过高或者过低时,自适应模块对Dither的幅度进行调整,从而保证加入大幅度Dither后输入到ADC的模拟信号不会超过ADC的参考电压。

3 建模与仿真

3.1 Simulink下的建模

本文对自适应Dither结构进行仿真的平台为Simulink, Simulink为Matlab所提供的是一个基于图形化输入的仿真搭建平台。对自适应Dither结构进行仿真的目标ADC为一个在Simulink下搭建的12位流水线型ADC行为级模型。ADC行为级模型的搭建主要包括采样保持电路模型、子ADC模型与MDAC电路模型^[9-10]。运算放大器是采样保持电路的核心部

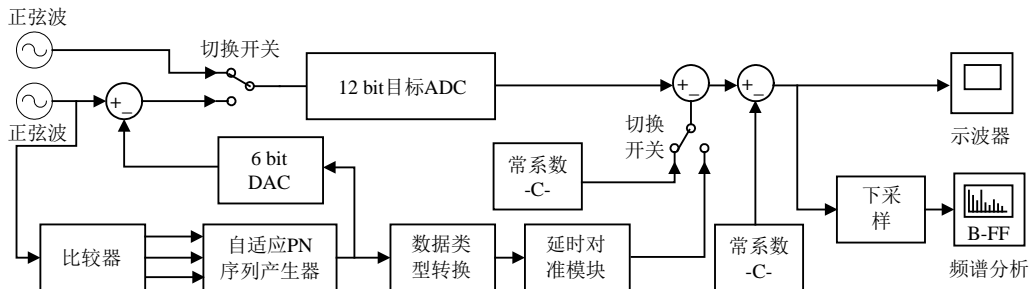


图4 自适应宽带大幅度Dither建模

3.2 仿真

大幅度Dither能够在统计意义上减小DNL,其提高ADC动态性能的重要原因是能够将输入模拟信号随机化,打乱原本固定的码字分布。图5为正弦单频信号完成量化后的码字分布情况,正弦单频信号的频率为503 Hz,幅度为1 V。图5a为未加入Dither时码字分布情况,图5b为加入1/2信号幅度的自适应宽带大幅度Dither后的码字分布情况。从图5中可以看出,加入Dither后,被量化码字的分布相对更加均匀,消除了部分错误码字造成的积累效应。

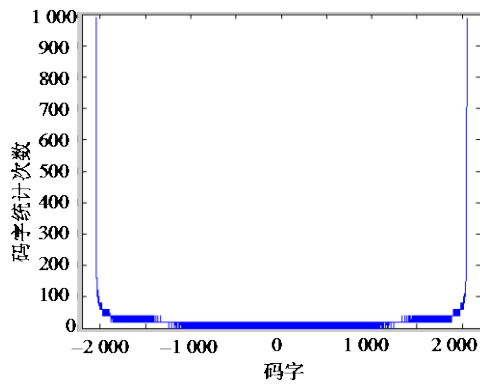
采用量化后信号的FFT频谱特性分析ADC的动态性能。首先将ADC量化后的数据通过加窗截取,

其结构包括有限直流增益、单位增益带宽、压摆率、建立时间、寄生电容等,在行为级建模时主要考虑这些因素。子ADC模块主要由比较器组成,失调电压是比较器的一个非理想因素,是该模块行为级建模时的主要误差源之一。MDAC主要实现数模转换、减法、级间残差放大等功能,主要考虑运算放大器的非理想因素和开关热噪声、电容不匹配、寄生电容等因素的影响^[11-12]。

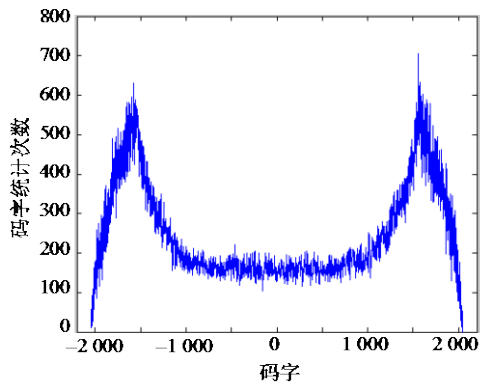
自适应Dither的系统整体仿真结构如图4所示,其中比较器模块用于实现对信号幅度的检测,该模块主要以Simulink所提供的多输入加法器以及逻辑运算单元实现。自适应PN序列产生模块首先以Simulink中的Uniform Random Number产生均匀分布随机浮点数,然后由Uniform Encoder模块将所产生的均匀分布随机浮点数变为PN序列,最后根据高速比较器模块所提供的信息,通过采用bit set或bit clear模块将PN序列的最高有效位置1或清0,实现对PN序列的自适应调节。DAC模块主要通过Simulink所提供的Uniform Decoder实现。由于12位目标ADC是一个流水线结构ADC,其会对模拟信号的量化产生一定的延时,所以在Dither去除前,必须采用延时模块对PN序列进行适当的延时对准,从而在ADC转换后的数字码字中减去Dither所对应的PN序列。

然后进行FFT变换到频域,最后对其频谱特性进行分析。目标ADC级间增益误差为1%时,量化码字进行16384点FFT变化后的频谱如图6所示,其中,图6a为未加入Dither的频谱,图6b~图6d分别为加入幅度为1/2、1/4、1/8输入信号自适应Dither后的频谱。可以看出,加入1/2信号幅度的Dither后,原频谱的毛刺与谐波基本消失,ADC的SFDR提高约15 dB,其动态性能得到了大幅度的提高。随着自适应Dither幅度的降低,ADC的动态性能也有所下降。

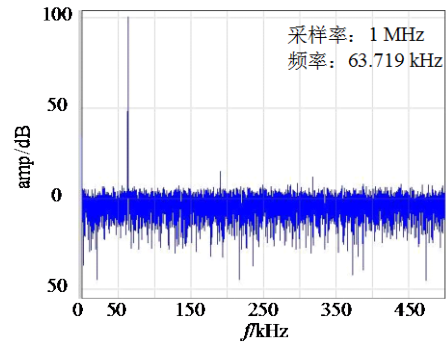
所以,在保证ADC输入信号动态范围的同时,宽带大幅度Dither信号幅度越大,ADC的动态性能越好。



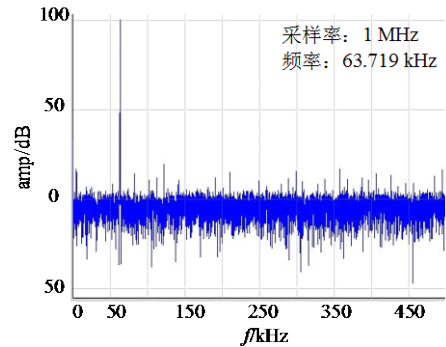
a. 未加入Dither



b. 加入自适应Dither
图5 码字分布统计



c. 加入幅度为1/4信号的Dither



d. 加入幅度为1/8信号的Dither

图6 动态性能仿真

4 总结

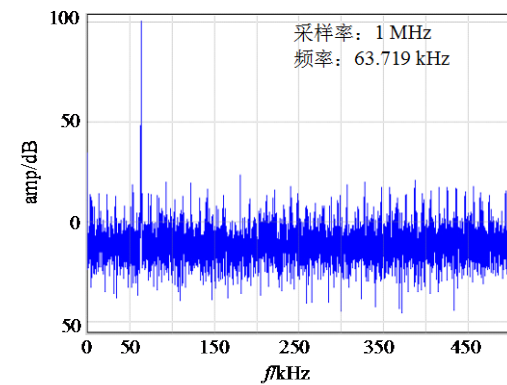
大幅度Dither除了具有小幅度Dither的量化噪声随机化, 可提高ADC分辨率以及减小相干采样而产生的谐波作用外, 还具有在统计意义上减小ADC的DNL误差, 改善ADC的SFDR, 提高ADC的性能的作用。但是, 大幅度Dither的加入可能导致信号的溢出问题。

基于12位流水线型ADC结构, 本文提出了一种自适应宽带大幅度Dither结构, 并且在Simulink平台上对该结构进行建模和仿真验证, 结果表明, 不仅有效地解决了由于大幅度Dither的加入而造成的输入信号动态范围减小的缺点, 而且还提高了高速流水线型ADC的动态性能。

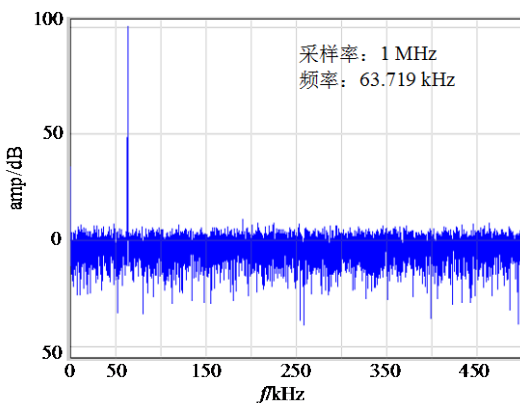
参考文献

- [1] WAGDY Z, FAWZY M. Effect of additive dither on the resolution of ADC's with single-bit or multibit errors[J]. IEEE Transactions on Instrumentation and Measurement, 1996, 45(2): 610-615.
- [2] DIAS P, SILVA G, CRUZ S. Dithering performance of oversampled ADC systems affected by hysteresis[J]. Journal of the International Measurement Confederation, 2002, 32(1): 51-59.
- [3] SURESH B, WOLLMAN H B. Testing an ADC linearized with pseudorandom dither[J]. IEEE Transactions on Instrumentation and Measurement, 1998, 47(4): 839-848.

(下转第460页)



a. 未加入Dither



b. 加入幅度为1/2信号的Dither