

# 支持双向布线结构的一种半定制PLC设计方法

谢小东, 李平, 范雪, 李文昌, 李威

(电子科技大学电子薄膜与集成器件国家重点实验室 成都 610054)

**【摘要】**提出一种新的可编程逻辑核设计方法。该方法采用结构化的方式进行电路硬件描述,采取模块复用的方法减少代码编写工作量,通过半定制的后端流程得到可编程逻辑核版图。与传统的“软核”设计方法相比,新方法避开了综合步骤,解决了“组合逻辑环”的问题,可以实现主流的双向结构的可编程逻辑核,且版图面积减少了50%左右。用所提出的方法设计的可编程逻辑核实现了预期的组合及时序逻辑电路功能,验证了该方法的可行性。

**关键词** 设计方法; 现场可编程门阵列; 硬核; 软核

中图分类号 TN911.72

文献标识码 A

doi:10.3969/j.issn.1001-0548.2011.06.025

## Semi-Custom Design Methodology for Bidirectional Routing Fabric of Programmable Logic Cores

XIE Xiao-dong, LI Ping, FAN Xue, LI Wen-chang, and LI Wei

(State Key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science & Technology of China Chengdu 610054)

**Abstract** A novel design methodology for programmable logic cores (PLCs) is proposed. A structured hardware description strategy is applied where some repeatable tiles are created and then replicated to form the fabric of the PLC, afterwards, the semi-custom design flow is used for layout generation. Compared with the existing ‘soft’ PLCs design methodology, the problem of ‘combinational cycle’ is solved through bypassing the process of synthesis. Experimental results show that the area of PLCs designed following this methodology is reduced by about 50%. The feasibility of this methodology is verified through the implementation of desired logic functionality on the proof-of-concept prototype chip.

**Key words** design methodology; FPGA; hard core; soft core

随着集成电路特征尺寸的缩小,高昂的一次性工程NRE(non-recurring engineering)费用使得集成电路的投片风险变得越来越高<sup>[1-2]</sup>,人们希望从设计的技术层面来降低这一风险,其中有赋予集成电路现场可编程的性能,即在集成电路中植入可编程逻辑IP核<sup>[2-4]</sup>技术。IP核实质上是小规模在现场可编程门阵列(FPGA),可在封装后通过编程实现一定的数字逻辑功能。其优点有:

1) 可在一定程度上弥补设计错误;

2) 在设计中可以更多地关心模块设计,而将模块之间的信号连接等细节问题交由可编程逻辑核去处理,有效缩短设计周期;

3) 产品升级换代只需通过更改可编程逻辑核的程序,而不需重新定制整个芯片就可实现。

可编程逻辑IP核有“硬核”和“软核”两种类型。“硬核”指IP核以全定制的方式设计,即生产制

程、逻辑规模、版图尺寸及形状等都是固定的。文献[5-6]对“硬核”的设计方法进行了研究。ACTEL公司能提供商用的可编程逻辑IP“硬核”。

但“硬核”的使用有诸多限制条件,集成电路设计者必须采用与该IP核一致的工艺,且必须兼顾该IP核版图的形状、连接端子位置等。这些限制在很大程度上造成了可编程逻辑IP核在实际的大规模集成电路设计中并没得到大规模应用的现实<sup>[3]</sup>。

### 1 “软核”的提出

为解决可编程逻辑IP核在应用中受到限制的问题,文献[3-4]提出了“软核”的概念,即可编程逻辑IP核以硬件描述语言代码(VHDL或VERILOG)的方式出现,这些代码独立于任何工艺制程。集成电路设计者将该代码通过典型的半定制设计流程进行

收稿日期: 2010-04-30; 修回日期: 2010-12-09

基金项目: 电子薄膜与集成器件国家重点实验室创新基金项目(CXJJ200905)

作者简介: 谢小东(1977-),男,博士生,主要从事可编程逻辑器件设计技术等方面的研究。

处理得到IP核的物理版图。其工艺制程、版图形状、连接端子位置等都可灵活改动,甚至可以将IP核的代码与集成电路本身模块的逻辑描述代码完全混合,一并进行半定制设计处理,使可编程逻辑IP核在物理版图上与集成电路的其他模块完全融合。

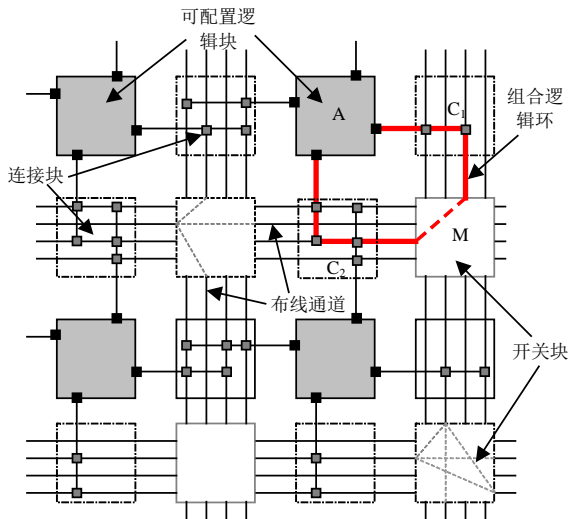


图1 可编程逻辑IP核结构中的“组合逻辑环”

“软核”技术的出现突破了“硬核”在应用过程中受到的限制,使可编程逻辑核的应用变得十分方便,但“软核”相对“硬核”有一个主要缺点,即实现同样的逻辑规模,“软核”要比“硬核”面积大6倍<sup>[3-4]</sup>。

实现“软核”的前提是,可编程逻辑核的结构电路必须能用可综合的硬件描述语言进行描述。

“软核”设计遇到的最大难题是“组合逻辑环”的处理。“组合逻辑环”指的是一种逻辑设计错误,即组合逻辑电路的输出未经过时序元件(如触发器)延时而直接反馈到其输入端,从而引起逻辑竞争和冒险。在正常的设计中,“组合逻辑环”是应该避免的。

传统的可编程逻辑核结构由CLB(可配置逻辑块)、connection block(连接块)和switch block(开关块)构成。CLB由LUT(查找表)和D触发器等构成,是主要的逻辑资源;而连接块和开关块由大量的开关和routing channel(布线通道)内的tracks(线轨)构成,用于信号连接。该结构含有大量的“组合逻辑环”。图1是一个含 $2 \times 2$ 个CLB的可编程逻辑核的结构图。图中,CLB A的输出(右边的PIN脚)也是该CLB的潜在输入(通过连接块C<sub>1</sub>,再通过开关块M连接块C<sub>2</sub>,到达A的底端输入PIN脚)。虽然在可编程逻辑核编程后这些“组合逻辑环”会消失,但在描述可编程逻辑核结构时,“组合逻辑环”的问题是无法避免的。目前,综合工具无法正确识别处理这些“组合逻辑

环”,使描述“软核”的代码无法进行后续的半定制处理。为了避开“组合逻辑环”的问题,文献[3-4]提出了单向结构的可编程逻辑IP核:采用单向开关,信号的流向只能从左到右,从上到下,不能逆转。单向结构消除了“组合逻辑环”,使得可编程逻辑“软核”可综合、可实现,但也有缺点:

- 1) 面积消耗过大,比等效的“硬核”大6倍;
- 2) 不能实现存在反馈的时序逻辑电路;
- 3) 不支持主流的双向布线结构,必须开发新的CAD软件来支持“软核”的编程使用。

“软核”消耗的面积过大,有两个主要原因:

- 1) 综合过程中调用的元件库为标准单元库。如只能用D触发器(24只MOS管构成)实现“硬核”中SRAM(6只MOS管构成)的开关控制功能,用三态传输门(4只MOS管构成)实现单只传输管的开关功能,导致“软核”面积增大;
- 2) “软核”的布线资源为单向结构,限制了布线灵活性,必须增加额外的布线资源保证布线通性,增加了“软核”面积。

文献[2]通过自建单元库的方式改善标准单元库对面积的影响,得到了面积缩小60%左右的改进,但自建的单元库存在硅验证的问题,耗时长、花费大,在工程实现上有很大的困难。

本文从保留可编程逻辑核双向布线结构,以及节省版图面积的角度出发,提出了新的可编程逻辑核设计方法。

## 2 新设计方法

首先,可编程逻辑IP核的结构电路以结构化的方式进行硬件描述;而后,描述代码用半定制设计流程进行后端处理(布局、布线)得到物理版图。新方法采用的设计流程与文献[2-4]的对比如图2所示。

新方法采用结构化的硬件描述方式,直接从标准单元库中调用基本逻辑元件进行连接以实现电路,使得程序代码不需要经过“综合”就可直接用于半定制设计流程的后端处理,从而可保留可编程逻辑核中大量的“组合逻辑环”结构。因此,新方法可以处理双向结构的可编程逻辑核。

新方法遇到的最大问题是工作量巨大,通过手工调用基本逻辑元件构成整个可编程逻辑核电路几乎是不可能完成的任务。如实现一个含 $10 \times 10$ 个CLB的可编程逻辑核大约需要1.1万个基本逻辑元件,通过手工对这些基本元件一一进行描述,并保证元件之间的正确连接,几乎是不可实现的。

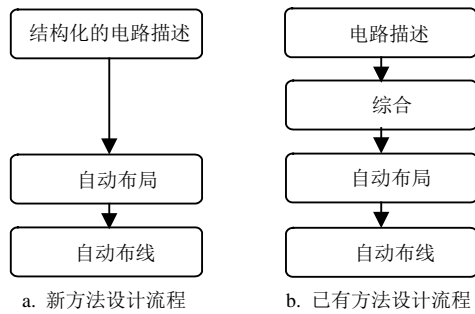


图2 新方法与已有方法设计流程对比

可编程逻辑核结构具有极大的对称性和规整性<sup>[5-7]</sup>, 主要由可配置逻辑块、连接块和开关块构成, 而CLB可以和连接块组合构成基本块(basic module), 如图1所示。整个可编程逻辑核可通过布线通道内的线轨对基本块和开关块这两种重复性的“块”结构进行连接, 而后叠拼构成<sup>[8]</sup>。

因此, 只需对重复性的“块”结构进行描述, 而后通过“块”的连接、叠拼就可实现对整个可编程逻辑核的描述。该模块化的代码编写方式大大减少了硬件描述的工作量。以下是一个布线通道线轨数为 $N$ , 阵列行列数为 $M$ 的可编程逻辑核的部分描述代码:

```

Architecture STRU of PLC is --PLC,tracks:N,
size:M×M Component BASIC_module (left_channel,
bottom_channel, right_channel, top_channel: inout
std_logic_vector ((N-1 downto 0)···);
Component SWITCH_block (left_channel,
bottom_channel, right_channel, top_channel: inout
std_logic_vector ((N-1 downto 0)··· ); Signal
H_channel,V_channel: channel_array; type
channel_array is array (M-1 downto 0, M-1 downto 0)
of logic_vector (N-1 downto 0);
Begin
For i in 0 to M-1 generate -- replicate Basic
Module
For K in 0 to M-1 generate
BASIC_moduleortmap (left_channel=>
V_channel(K,i), bottom_channel=>H_channel (K,i),
right_channel=>V_channel (K+1,i), top_
channel=>H_channel(K,i+1)···);
SWITCH_block port map (left_channel=>H_
channel (K,i), bottom_channel=>V_channel (K,i),
right_channel=>H_channel (K+1,i), top_channel=>
V_channel (K,i+1)···);
End generate;
  
```

```

End generate; --Switch Block
Architecture STRU of SWITCH_block is
Component TI01D1 (A,OE:in std_logic;Y:out
std_logic)
Begin --TRISTATE BUFFER with active
high enable
For i in 0 to N-1 generate
TI01D1portmap (a=>left_channel(i), y=>right_
track(i)···);
TI01D1portmap (a=>right_track(i), y=> left_
track(i)···);
TI01D1portmap (a=>left_track(i), y=>top_
track(i)···);
TI01D1portmap (a=>top_track(i), y=>left_
track(i)···);
End generate; --bidirectional switch
.....
Architecture STRU of BASIC_module is --Basic
Block
Component MX41D1 (···) --4 to 1
MULTIPLEXER
Component DFPNSNRQ2 (···) -- DFF
.....
  
```

可以看出, 整个可编程逻辑核都是通过调用标准单元库中的三态门、选择器、D触发器等基本逻辑元件实现的。若要将设计移植到新的工艺制程, 只需要重新调用新单元库中的对应器件对开关块和“基本块”等重新描述即可, 使得新方法具有很高的工艺可移植性。

需要注意的是, 可编程逻辑核结构中除了实现逻辑的阵列电路外, 还包括配置位流存储及加载电路, 这些电路需要额外设计<sup>[8-9]</sup>。

### 3 实验结果及讨论

为比较新方法与已有方法设计的可编程逻辑核的版图面积, 本文选取了文献[3-4]中提到的9个标准测试电路, 用国际上通行的FPGA结构评估软件VPR<sup>[10]</sup>计算实现这些标准电路所需的可编程逻辑核的规模, 然后用所提出的新方法设计这些可编程逻辑核, 得到其版图面积数据。为在尽量相同的工艺平台上比较, 新方法设计基于HHNEC 0.18  $\mu\text{m}$  CMOS工艺。等效的“软核”面积数据(0.18  $\mu\text{m}$  CMOS工艺)从文献[3-4]中获得。将新旧方法得到的数据相对于新方法进行归一化处理, 比较结果如图3所示。

从图中可以看出,新方法实现的可编程逻辑核面积是文献[4]设计“软核”的50%左右,这主要归因于单向结构使布线缺乏灵活性,实现同样的逻辑功能需要消耗更多的布线资源,从而占用更多的面积。

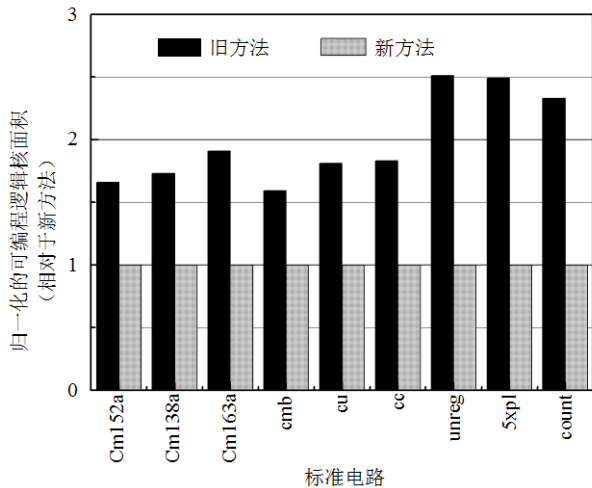
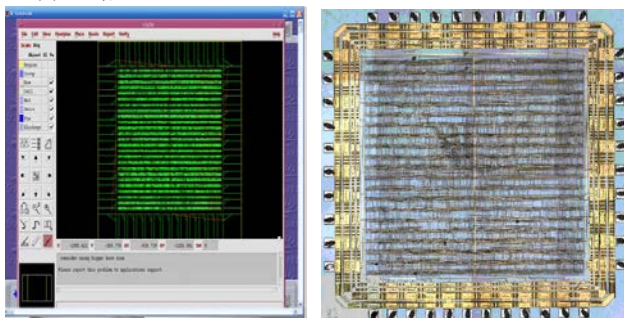


图3 新旧方法实现的可编程逻辑核面积对比

## 4 硅验证

为验证新方法的可行性,本文设计了一个包含 $4 \times 4$ 个CLB的可编程逻辑核。为方便测试,对简化的JTAG编程及测试电路一并进行了设计<sup>[11]</sup>。半定制后端处理采用了CADENCE的SE(Silicon ensemble)自动布局布线工具。图4为出带的版图和实物图,在CSMC 0.5  $\mu\text{m}$  CMOS工艺制程上进行了流片。

为支持该可编程逻辑核编程测试,开发了从逻辑综合到位流生成的一套CAD流程及工具,在该可编程逻辑核上正确实现了三八译码器、3位计数器等逻辑电路<sup>[12]</sup>。



a. 可编程逻辑核版图

b. 可编程逻辑核实物图

图4 可编程逻辑核

## 5 应用

可编程逻辑“软核”的主要优势在于其能以硬件描述代码的方式嵌入到整个电路中,提高系统设计灵活性。由于本文提出的可编程逻辑核是以结构

化方式描述的,不参与综合,因此系统的其他电路模块只能在综合后才与其代码混合,一起参与集成电路设计的后续流程,如布局、布线等,直至得到用于生产的GDS数据。

可编程逻辑核在未编程控制前,其结构中存在着大量的“组合逻辑环”,但在对其进行编程配置后,这些“组合逻辑环”被打断,可编程逻辑核实现某一特定的逻辑功能。因此,编程后的可编程逻辑核是可以进行时序分析的。将可编程逻辑核嵌入系统后进行整体仿真时,必须对可编程逻辑核施加配置位流激励以使其具有一定的逻辑功能。之后,就可按一般ASIC的处理方法对整个电路进行性能评估。

## 6 结论

已有的“软核”设计方法由于在综合时遇到“组合逻辑环”的问题,将布线结构改为单向,并为此付出了较大的面积代价。本文采用结构化的硬件描述方式,使得代码不需要综合就可进行半定制后端处理,避开了“组合逻辑环”的问题,支持主流的双向布线结构,节省了面积成本;除此之外,利用可编程逻辑核结构重复度高的特点,采用模块复用的办法有效减少了代码编写工作量。该方法已通过了流片验证。

本文提出的方法局限于小规模的可编程逻辑核设计,随着可编程逻辑核规模变大,信号延迟的问题将变得更加严峻,设计时必须仔细考虑管子的尺寸,使得可编程逻辑核结构的重复度降低。本文提出的方法会遇到工作量大的瓶颈,在后续工作中,拟研究引入参数化单元等手段来应对该挑战。

## 参考文献

- [1] SCHMIT H, CHANDRA V. Layout techniques for FPGA switch blocks[J]. IEEE Trans Very Large Scale Integration (VLSI) Systems, 2005, 13(01): 96-105.
- [2] AKEN'OVA V, SALEH R. A 'soft++' embedded FPGA physical design approach with case studies in 180 nm and 90 nm[C]/IEEE Computer Society Annual Symposium on Emerging VLSI Technologies and Architectures. Karlsruhe, Germany: IEEE Press, 2006: 103-108.
- [3] WU J, AKEN'OVA V, WILTON S, et al. SoC implementation issues for synthesizable embedded programmable logic cores[C]/Proceedings of the Custom Integrated Circuits Conference. San Jose, CA, USA: [s.n.], 2003: 45-48.
- [4] WILTON S, KAFABI N, WU J, et al. Design considerations for soft embedded programmable logic cores[J]. IEEE Journal of Solid-State Circuits, 2005, 40(02): 485-496.

(下转第950页)