

· 电子信息材料与器件 ·

# 小尺寸应变Si/SiGe PMOSFET阈值电压 及其电流电压特性的研究

屈江涛, 张鹤鸣, 胡辉勇, 徐小波, 王晓艳

(西安电子科技大学微电子学院 西安 710071)

**【摘要】**针对Si/SiGe pMOSFET器件结构求解泊松方程,同时考虑器件尺寸减小所致的物理效应,如漏致势垒降低(DIBL)效应、短沟道效应(SCE)和速度过冲效应,获得了强反型时小尺寸P<sup>+</sup>多晶SiGe栅应变Si pMOSFET的阈值电压模型和*I-V*特性模型。运用Matlab对模型进行计算,获得阈值电压随多晶SiGe栅Ge组分、栅长、氧化层厚度、弛豫SiGe虚拟衬底Ge组分、掺杂浓度以及漏源偏压的变化规律,*I-V*特性计算结果表明MOS器件采用Si基应变技术将有更高的输出特性。用器件仿真软件ISETCAD对模型结构进行仿真,所得结果与Matlab计算结果一致,从而证明了该模型的正确性,为小尺寸应变Si MOS器件的分析设计提供了参考。

**关键词** 漏致势垒降低; 金属氧化物半导体晶体管; 硅锗合金; 应变硅; 阈值电压

中图分类号 TN3; TN6

文献标识码 A

doi:10.3969/j.issn.1001-0548.2012.02.026

## Study of Threshold Voltage and *I-V* Characteristic for Small-Scaled Strained Si/SiGe PMOSFET

QU Jiang-tao, ZHANG He-ming, HU Hui-yong, XU Xiao-bo, and WANG Xiao-yan

(School of Microelectronics, Xidian University Xi'an 710071)

**Abstract** In this paper, based on solving Poisson equation to the structure of Si/SiGe pMOSFET with polycrystalline SiGe gate, its threshold voltage model and *I-V* electrical characteristic model are proposed. The secondary effects induced by scaling of the MOS device, such as drain-induced lowering barrier effect (DIBL), short-channel effect (SCE) and velocity overshoot effect, are also taken in account. By simulating the model with Matlab, the relationship between threshold voltage and relevant parameters, such as Ge content in P<sup>+</sup> Poly SiGe gate, gate length, oxide thickness, Ge content in relax SiGe virtual substrates, doping concentration and drain bias, are obtained. The results of *I-V* characteristic shows that MOS device with strained Si as its channel has higher output characteristic. Finally, the evidence for the validity of our model is derived from the comparison of analytical results with the simulation data from the 2-D device simulator ISE. The proposed model can also be easily used for reasonable analysis and design of small-scaled Si/SiGe pMOSFET.

**Key words** DIBL; MOS; SiGe; strained Si; threshold voltage

在硅基应变Si/SiGe异质结构中,由双轴应变所引起的能带分裂可使应变Si中的电子和空穴迁移率得到显著地增强<sup>[1]</sup>,并且由于与Si工艺兼容,结构简单,所以在高性能小尺寸MOS器件设计中被广泛应用<sup>[2-4]</sup>。如何继续提高应变Si器件的性能成为当前研究的热点问题。

传统的器件制造工艺中,阈值调整是通过对沟

道区进行离子注入实现的,其结果是导致沟道中的离子杂质散射对电子空穴影响很大<sup>[5]</sup>。为了提高应变Si器件的性能,多晶SiGe材料被引入“栅极工程”。与多晶Si栅相比,多晶SiGe栅可抑制栅耗尽效应;提高栅氧化层的可靠性<sup>[6-7]</sup>;随Ge组分的变化有很宽的功函数取值范围,利于调节器件的阈值电压<sup>[6,8]</sup>;且与传统的栅工艺兼容,所以成为未来栅

收稿日期: 2010-07-15; 修回日期: 2011-04-11

基金项目: 国家部委资助项目(51308040203, 6139801)

作者简介: 屈江涛 (1982-), 男, 博士生, 主要从事高速半导体器件与集成电路设计方面的研究。

材料的发展方向。

鉴于两种材料的优点,将两者结合,以应变Si作为导电沟道提高空穴迁移率,用多晶SiGe栅调节器件阈值电压以减少杂质散射,则尽可能地保证了较高的载流子迁移率。近年,有关应变Si pMOS的研究多集中在具体工艺下器件性能的研究<sup>[9-10]</sup>,而对数学模型的研究较少,且没有采用多晶SiGe栅。本文采用电荷共享(charge-sharing)理论,引入共享因子——DIBL因子和短沟道因子,建立真正适合小尺寸器件的阈值电压模型。同时注意到深亚微米小尺寸器件速度过冲效应比较显著,而目前的器件电流模型对应变Si的速度过冲效应讨论较少,且传统的电流模型推导主要使用低场下恒定迁移率模型,并多为仿真优化<sup>[11-12]</sup>,基于此,本文从电荷密度连续性方程出发建立了电学特性参数模型。用Matlab对模型进行计算,在考虑了短沟效应(SCE)和漏致势垒降低(DIBL)效应的情况下,分析了阈值电压与相关参数的关系,讨论了器件的*I-V*特性。最后用器件仿真软件ISETCAD对模型的正确性进行了验证。

## 1 器件基本结构

如图1所示,应变Si pMOS以多晶SiGe做栅不但可以连续调节功函数,有利于调整器件的阈值电压,还可以使器件呈现良好的短沟道特性,改善阈值摆幅,提高 $I_{on}:I_{off}$ 的比值<sup>[13]</sup>。器件采用倒掺杂分布,即 $N_{ch} < N_b$ ,较低的沟道区掺杂 $N_{ch}$ 能减少离化杂质散射,另外虚拟衬底中掺杂较高,所以耗尽层只延伸到虚拟衬底中,而下面的Ge组分渐变SiGe缓冲层对

阈值电压和电学特性没有影响,图1只表示出沟道和虚拟衬底部分。

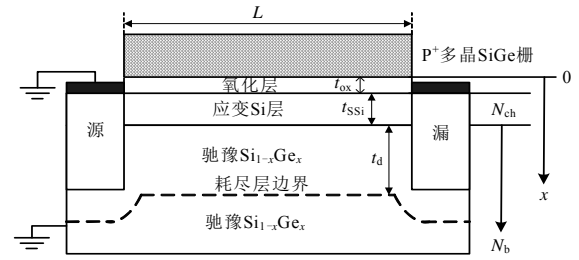


图1 P<sup>+</sup>多晶SiGe栅应变Si pMOS器件结构示意图

## 2 器件纵向电势分布

对应器件的各层泊松方程分别为:

$$\begin{cases} \frac{d^2\Phi_1(x)}{dx^2} = -\frac{qN_b}{\epsilon_{SiGe}} & t_{ox} + t_{SSi} \leq x < t_{ox} + t_{SSi} + t_d \\ \frac{d^2\Phi_2(x)}{dx^2} = -\frac{qN_{ch}}{\epsilon_{SSi}} & t_{ox} \leq x < t_{ox} + t_{SSi} \\ \frac{d^2\Phi_3(x)}{dx^2} = 0 & 0 \leq x < t_{ox} \end{cases} \quad (1)$$

式中, $\Phi_1(x)$ 、 $\Phi_2(x)$ 和 $\Phi_3(x)$ 分别为SiGe耗尽层中的电势、应变Si层中的电势和SiO<sub>2</sub>栅氧化层中的电势; $q$ 为电子电荷; $N_b$ 为SiGe层掺杂浓度; $N_{ch}$ 为应变Si层掺杂浓度; $t_{ox}$ 为栅氧化层厚度; $t_{SSi}$ 为应变Si层厚度; $t_d$ 为耗尽层厚度; $\epsilon_{SiGe}$ 为弛豫SiGe材料的介电常数; $\epsilon_{SSi}$ 为应变Si材料的介电常数。

对应式(1)中各式的边界条件分别为:

$$\begin{cases} \left. \frac{\partial\Phi_1(x)}{\partial x} \right|_{x=t_{ox}+t_{SSi}+t_d} = 0; \Phi_1(t_{ox} + t_{SSi} + t_d) = \Phi_{sub} = 0 \\ \epsilon_{SSi} \left. \frac{\partial\Phi_2(x)}{\partial x} \right|_{x=t_{ox}+t_{SSi}} = \epsilon_{SiGe} \left. \frac{\partial\Phi_1(x)}{\partial x} \right|_{x=t_{ox}+t_{SSi}}; \Phi_2(t_{ox} + t_{SSi}) = \Phi_1(t_{ox} + t_{SSi}) \\ \epsilon_{SSi} \left. \frac{\partial\Phi_2(x)}{\partial x} \right|_{x=t_{ox}} = \epsilon_{ox} \left. \frac{\partial\Phi_3(x)}{\partial x} \right|_{x=t_{ox}}; \Phi_2(t_{ox}) = \Phi_3(t_{ox}) \end{cases} \quad (2)$$

利用边界条件对式(1)积分,可分别得到各层的电场分布为:

$$\begin{cases} E_1(x) = \frac{qN_b}{\epsilon_{SiGe}}x - \frac{qN_b}{\epsilon_{SiGe}}(t_{ox} + t_{SSi} + t_d) & t_{ox} + t_{SSi} \leq x < t_{ox} + t_{SSi} + t_d \\ E_2(x) = \frac{qN_{ch}}{\epsilon_{SSi}}x - \frac{qN_{ch}}{\epsilon_{SSi}}(t_{ox} + t_{SSi}) & t_{ox} \leq x < t_{ox} + t_{SSi} \\ E_3(x) = -\frac{qN_{ch}t_{SSi}}{\epsilon_{ox}} - \frac{qN_b t_d}{\epsilon_{ox}} & 0 \leq x < t_{ox} \end{cases} \quad (3)$$

电势分布为:

$$\left\{ \begin{aligned} \Phi_1(x) &= -\frac{qN_b}{2\epsilon_{SiGe}}x^2 + \frac{qN_b}{\epsilon_{SiGe}}(t_{ox} + t_{ssi} + t_d)x - \frac{qN_b}{2\epsilon_{SiGe}}(t_{ox} + t_{ssi} + t_d)^2 \\ & \quad t_{ox} + t_{ssi} \leq x < t_{ox} + t_{ssi} + t_d \\ \Phi_2(x) &= -\frac{qN_{ch}}{2\epsilon_{ssi}}x^2 + \left[ \frac{qN_{ch}}{\epsilon_{ssi}}(t_{ox} + t_{ssi}) + \frac{qN_b t_d}{\epsilon_{ssi}} \right]x - \frac{qN_{ch}}{2\epsilon_{ssi}}(t_{ox} + t_{ssi})^2 - \frac{qN_b t_d}{\epsilon_{ssi}}(t_{ox} + t_{ssi}) - \frac{qN_b t_d^2}{2\epsilon_{SiGe}} \\ & \quad t_{ox} \leq x < t_{ox} + t_{ssi} \\ \Phi_3(x) &= \left( \frac{qN_{ch} t_{ssi}}{\epsilon_{ox}} + \frac{qN_b t_d}{\epsilon_{ox}} \right)x - \frac{qN_{ch} t_{ssi}^2}{2\epsilon_{ssi}} - \frac{qN_b t_d t_{ssi}}{\epsilon_{ssi}} - \frac{qN_b t_d^2}{2\epsilon_{SiGe}} - \frac{q(N_{ch} t_{ssi} + N_b t_d)}{\epsilon_{ox}} t_{ox} \\ & \quad 0 \leq x < t_{ox} \end{aligned} \right. \quad (4)$$

### 3 阈值电压模型

设 Si/SiO<sub>2</sub> 界面处电势为  $\Phi_S$ , 则  $\Phi_S = \Phi_2(t_{ox}) =$

$$-\frac{qN_{ch} t_{ssi}^2}{2\epsilon_{ssi}} - \frac{qN_b t_d t_{ssi}}{\epsilon_{ssi}} - \frac{qN_b t_d^2}{2\epsilon_{SiGe}}, \text{ 因此有:}$$

$$\Phi_3(x) = \left( \frac{qN_{ch} t_{ssi}}{\epsilon_{ox}} + \frac{qN_b t_d}{\epsilon_{ox}} \right)x + \Phi_S - \frac{q(N_{ch} t_{ssi} + N_b t_d)}{\epsilon_{ox}} t_{ox} \quad (5)$$

$$0 \leq x < t_{ox}$$

由式(5)可得 SiO<sub>2</sub> 栅氧化层表面压降为:

$$V_G = \Phi_3(0) + V_{FB} = \Phi_S - \frac{q(N_{ch} t_{ssi} + N_b t_d)}{\epsilon_{ox}} t_{ox} + V_{FB} \quad (6)$$

式中,  $V_{FB}$  为平带电压, 可表示为:

$$V_{FB} = \frac{1}{q}(\phi_{Si_{1-x}Ge_x} - \phi_{Si}) + \frac{Q_{ox}}{C_{ox}} \quad (7)$$

式中,  $\phi_{Si} = \chi_{Si} + \left( E_{GSSi} - kT \ln \frac{N_v}{N_{ch}} \right)$ 。其中,  $\chi_{Si}$  为应变Si的亲合势;  $E_{GSSi}$  为应变Si的禁带宽度;  $Q_{ox}$  为栅氧化层中电荷面密度;  $C_{ox}$  为单位面积氧化层电容。当应变Si沟道开始强反型时, 器件开始工作, 此时弛豫SiGe虚拟衬底和应变Si沟道阈值电势的平均值<sup>[14]</sup>为:

$$\Phi_S = -\frac{kT}{q} \left[ \ln \frac{N_{ch}}{n_{i,ssi}} + \ln \frac{N_b}{n_{i,SiGe}} \right] + \frac{\Delta E_v + \Delta E_c}{2q} \quad (8)$$

根据全耗尽近似, 计入短沟道效应, 可计算出短沟道条件下耗尽层宽度为:

$$t_{d,max} = kt_d \quad (9)$$

式中,  $t_d$  为长沟道耗尽层宽度, 表示为:

$$t_d = -\frac{t_{ssi} \epsilon_{SiGe}}{\epsilon_{ssi}} + \left[ \left( \frac{t_{ssi} \epsilon_{SiGe}}{\epsilon_{ssi}} \right)^2 - \frac{N_{ch} t_{ssi}^2 \epsilon_{SiGe}}{N_b \epsilon_{ssi}} - \frac{2\epsilon_{SiGe} \Phi_S}{qN_b} \right]^{\frac{1}{2}} \quad (10)$$

短沟道因子<sup>[15]</sup>为:

$$k = [1 - 2 \exp(-L/\lambda_d)]^{-1} \quad (11)$$

式中,  $\lambda_d = \delta(W_S + W_D)$ ;  $\delta = 0.65$ ;  $W_S$  和  $W_D$  分别为

源漏耗尽层宽度。在漏电压  $V_{DS}$  较小的情况下:

$$W_S \approx W_D = \sqrt{\frac{2\epsilon_{SiGe} V_{bi,Si}}{qN_b} \left[ \frac{N_A + N_b}{N_A + N_b} \right]} \quad (12)$$

式中,  $N_A$  为源漏掺杂浓度。将式(7)~式(9)带入式(6), 可得到应变Si沟道pMOS阈值电压模型为:

$$V_{th1} = \Phi_S - \frac{q(N_{ch} t_{ssi} + N_b t_{d,max})}{\epsilon_{ox}} t_{ox} + V_{FB} \quad (13)$$

对于小尺寸器件(栅长小于1  $\mu\text{m}$ ), 短沟道效应引起的源漏电荷共享不能忽略, 根据文献[16]的 charge-sharing模型, 必须对式(13)予以修正:

$$V_{th2} = \Phi_S - F \frac{q(N_{ch} t_{ssi} + N_b t_{d,max})}{\epsilon_{ox}} t_{ox} + V_{FB} \quad (14)$$

式中,  $F = 1 - \frac{x_j}{L} \left[ \sqrt{1 + \frac{2t_{d,max}}{x_j}} - 1 \right]$  为charge-sharing因子,  $x_j$  为源漏结深,  $L$  为栅长。随着源漏压降的升高, DIBL效应的作用越明显, 式(14)仅在源漏压降较小时适用(一般小于0.1 V), 因此考虑到DIBL效应, 式(14)可修正为:

$$V_{th} = V_{th1} - \sigma V_{DS} \quad (15)$$

式中,  $\sigma$  为DIBL因子<sup>[17]</sup>, 可表示为  $\sigma = \frac{\epsilon_0 \epsilon_{ssi}}{\pi C_{ox} L}$ , 则

式(15)为考虑了短沟道效应和DIBL效应的小尺寸应变Si阈值电压模型。

### 4 I-V特性

对于小尺寸器件, 由于沟道长度与载流子平均自由程同量级或小于平均自由程, 沟道载流子不会遭受散射, 因此形成速度过冲, 此时速度过冲效应所引起的电流增大不能忽略, 同时由  $I = (Wt_{ssi})J$  可得pMOSFET的沟道电流方程:

$$I = Wt_{ssi} J = Wt_{ssi} \left[ q\mu_p p(x)E(x) + q\mu_p p(x)\delta(E) \frac{dE(x)}{dx} \right] \quad (16)$$

式中,  $\delta(E) \approx \frac{2}{3} v_{\text{sat}} \tau_w$  为能量弛豫长度<sup>[18]</sup>。其中,  $v_{\text{sat}}$  为饱和速度;  $\tau_w$  为能量弛豫时间, 其值随Ge组分而变化<sup>[19]</sup>,  $W$ 为沟道宽度。空穴局限在表面的量子阱沟道中, 其浓度为:

$$p(x) = C_{\text{ox}} (V_{\text{GS}} - V_{\text{th}} - V(x)) / q t_{\text{ssi}} \quad (17)$$

式中,  $V(x)$  为沿沟道方向的电压降, 而强场下沿沟道方向的  $\mu_p$  为:

1) 非饱和区

$$I_{\text{DS}} = \frac{W \mu_{\text{eff}} C_{\text{ox}}}{L \left( 1 + \frac{\mu_{\text{eff}} V_{\text{DS}}}{2 v_{\text{sat}}} \right)} \left( (V_{\text{GS}} - V_{\text{th}}) V_{\text{DS}} - \frac{V_{\text{DS}}^2}{2} \right) \left( 1 + \frac{\theta \delta(E)}{L} + \frac{\theta^2 \delta(E)}{12L} V_{\text{DS}}^2 + \frac{kT}{q} V_{\text{DS}} \right) \quad (19)$$

2) 饱和区

$$I_{\text{DSsat}} = \frac{W \mu_{\text{eff}} C_{\text{ox}}}{L \left( 1 + \frac{\mu_{\text{eff}} (V_{\text{GS}} - V_{\text{th}})}{2 v_{\text{sat}}} \right)} \left( \frac{1}{2} (V_{\text{GS}} - V_{\text{th}})^2 \left( 1 + \frac{\theta \delta(E)}{L} + \frac{\theta^2 \delta(E)}{12L} (V_{\text{GS}} - V_{\text{th}})^2 + \frac{kT}{q} (V_{\text{GS}} - V_{\text{th}}) \right) \right) \quad (20)$$

### 5 仿真分析与讨论

利用表1中所列参数, 对得到的阈值电压模型进行数值仿真分析, 可分别得出阈值电压与沟道长度、 $P^+$  多晶  $\text{Si}_{1-y}\text{Ge}_y$  栅Ge组分、虚拟  $\text{Si}_{1-x}\text{Ge}_x$  衬底Ge组分、栅氧化层厚度  $t_{\text{ox}}$  的关系。

表1 所用参数列表

$\chi_{\text{SSi}}$	$\Delta E_v$	$\Delta E_c$	$E_{\text{GSSi}}$	$\epsilon_{\text{SiGe}}$	$\epsilon_{\text{SSi}}$	$\epsilon_{\text{ox}}$
4.05+0.58x	x(0.74-0.53x)	0.63x	1.08-0.4x	11.9+4.1x	11.9	3.9

根据文献[22]的实验结果, 拟合出  $P^+$  多晶  $\text{Si}_{1-y}\text{Ge}_y$  栅功函数  $\phi_{\text{Si}_{1-y}\text{Ge}_y} = 0.51448y^2 - 1.0029y + 5.1619$ , 如图2所示。从图中可以看出, 多晶  $\text{Si}_{1-y}\text{Ge}_y$  栅的功函数随着Ge(y)的增加而明显递减。

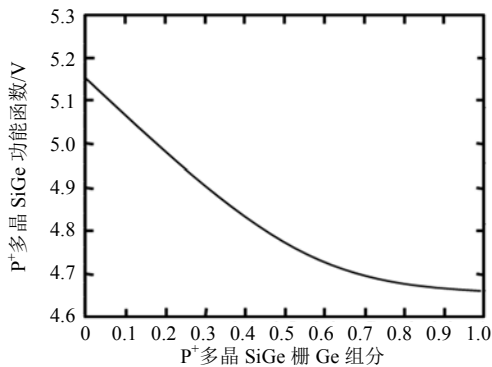


图2 多晶  $\text{Si}_{1-y}\text{Ge}_y$  栅的功函数与Ge(y)组分的关系

$$\mu_p = \mu_0 \left( 1 + \frac{\mu_0}{2v_{\text{sat}}} E(x) \right)^{-1} \quad (18)$$

式中,  $\mu_0$  为低场迁移率, 采用文献[20]中的模型。发生速度过冲时有  $\frac{dE(x)}{dx} = \theta \frac{V_{\text{DS}}}{L^2}$ <sup>[21]</sup>,  $\theta$  为与工艺有关的参数, 其值约为0.2。同时将  $E(x) = \frac{dV(x)}{dx}$  代入式(16)整理, 并对  $x$  从  $0 \sim L$  积分, 对  $V(x)$  从  $0 \sim V_{\text{DS}}$  积分, 得到沟道电流  $I_{\text{DS}}$  的表达式为:

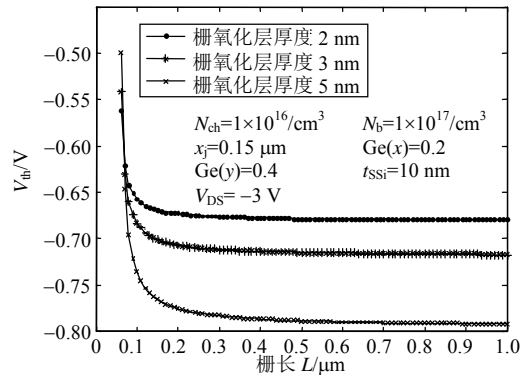


图3 不同栅氧化层厚度下阈值电压与栅长L的关系  
在不同栅氧化层厚度的情况下阈值电压与栅长L的关系如图3所示。图中, 随着栅氧化层增厚, 阈值电压逐渐升高, 这是由于较厚的栅氧化层影响了栅极对沟道的控制能力。因此在器件的设计中, 保证器件可靠性的同时应尽量降低栅氧化层的厚度, 以提高栅极对沟道的控制能力。

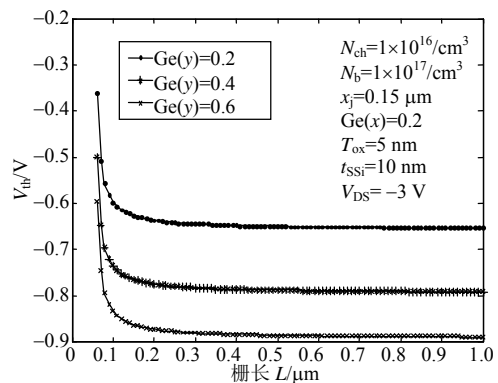


图4 不同  $P^+$  多晶SiGe栅Ge组分下阈值电压与栅长L的关系

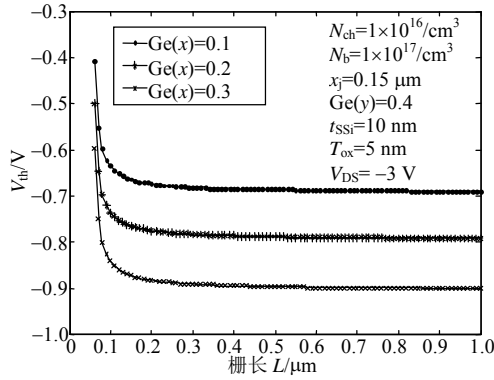


图5 SiGe虚拟衬底不同Ge组分下阈值电压与栅长L的关系

在多晶SiGe栅不同Ge组分情况下的阈值电压与栅长L的关系如图4所示。图中, 阈值电压 $V_{th}$ 随 $P^+$ 多晶SiGe栅Ge组分的增大而提高, 这是由于 $P^+$ 多晶SiGe栅随Ge组分的增大其功函数降低, 使平带电压 $V_{FB}$ 降低, 则阈值电压升高。图2中可以看出Ge组分从0~1功函数变化幅度约0.5 eV, 所以采用 $P^+$ 多晶SiGe做器件的栅材料, 对器件的阈值电压有很宽的调节范围。

在不同沟道Ge组分情况下的阈值电压与栅长L的关系如图5所示。随着虚拟 $Si_{1-x}Ge_x$ 衬底Ge组分的提高, 器件阈值电压随之降低, 这是由于Ge组分的提高, 应变Si的禁带宽度减小, 沟道内载流子面密度增加, 从而阈值电压降低。

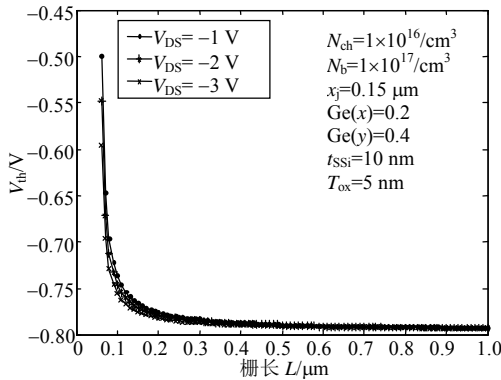


图6 不同源漏电压下阈值电压与栅长L的关系

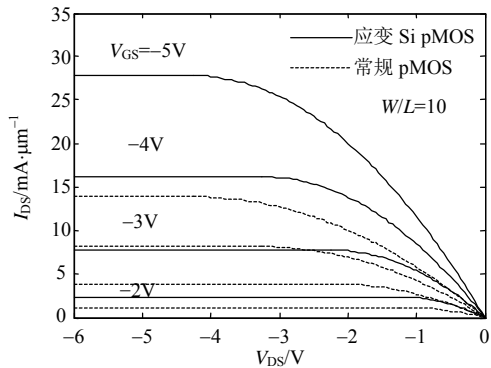


图7 应变Si pMOS的I-V特性曲线

图6为不同漏源电压下阈值电压与栅长L的关系, 图中, 显示了DIBL效应对阈值电压的影响。当栅长小于150 nm时, 随着 $V_{DS}$ 的增加, 阈值电压迅速降低。这是由于在沟道较短时候(小于150 nm), DIBL效应和短沟道效应对器件的影响效果十分显著。而对于长沟道器件(大于500 nm), 阈值电压 $V_{th}$ 几乎不随 $V_{DS}$ 变化而变化, DIBL效应和短沟道效应对长沟道器件影响较弱。

图7为应变Si pMOS的I-V特性曲线。由图可知, 源漏电流随着栅压的增大而提高, 当 $V_{GS}=-5$  V时应变Si pMOS的饱和漏电流为27 mA, 相同条件下的常规器件饱和漏电流为14 mA, 可见性能提高了2倍, 因此在相同栅压下, 应变Si pMOS比常规pMOS拥有更高的电流驱动能力。

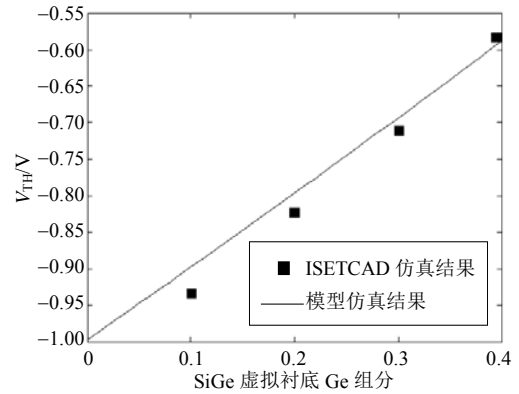


图8 阈值电压随SiGe虚拟衬底Ge组分变化规律

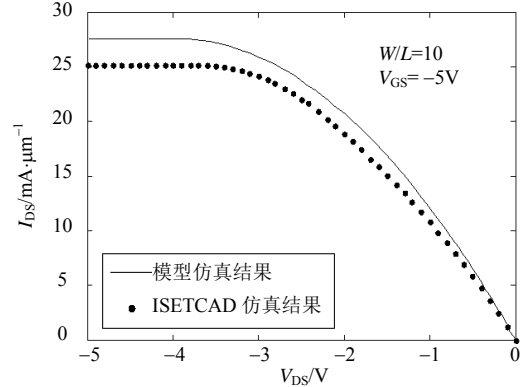


图9 应变Si PMOSFET的I-V特性

为验证该模型的正确性, 运用器件仿真软件ISETCAD对器件进行仿真, 所得结果与模型仿真结果进行对比, 如图8、图9所示。图8为运用ISETCAD对器件在SiGe虚拟衬底Ge组分分别0.1、0.2、0.3和0.4的条件下进行仿真所得到的阈值电压值, 如图中黑色方点所示, 而图中实线为模型仿真结果。图9为器件宽长比为10的条件下, ISETCAD对器件的电流特性进行仿真所得曲线, 图中实线为模型仿真结果, 而黑点为器件仿真软件仿真所得结果。从图8、

图9中可看出模型计算结果与ISETCAD仿真结果基本吻合,从而证明了模型的正确性。

## 6 结 论

本文结合多晶SiGe栅和应变Si材料的优点,建立了小尺寸P<sup>+</sup>多晶SiGe栅应变Si pMOS阈值电压模型和电流-电压电学特性模型,利用仿真软件ISETCAD对模型进行仿真,得到了阈值电压与相关参数的关系,I-V电学特性模型仿真结果表明,应变Si pMOS电流驱动能力比常规Si pMOS性能有大幅提高,模型的正确性得到了验证。

### 参 考 文 献

- [1] CURRIE M T. Strained Silicon: Engineered substrates and device integration[C]//The 2004 IEEE international Conference on Integrated Circuit Design and Technology. Salem NH USA: ArnerWave Syst. Corp, 2004: 261-268.
- [2] 张志锋, 张鹤鸣, 胡辉勇, 等. 应变Si沟道nMOSFET阈值电压模型[J]. 物理学报, 2009, 58(7): 4948-4952.  
ZHANG Zhi-feng, ZHANG He-ming, HU Hui-yong, et al. Threshold voltage model of strained Si channel nMOSFET[J]. Acta Physica Sinica, 2009, 58(7): 4948-4952.
- [3] 宋建军, 张鹤鸣, 胡辉勇, 等. 第一性原理研究应变Si/(111)Si<sub>1-x</sub>Ge<sub>x</sub>能带结构[J]. 物理学报, 2008, 57(9): 5918-5922.  
SONG Jian-jun, ZHANG He-ming, HU Hui-yong, et al. Band structure of strained Si/(111)Si<sub>1-x</sub>Ge<sub>x</sub>: A first principles investigation[J]. Acta Physica Sinica, 2008, 57(9): 5918-5922.
- [4] SONG Jian-jun, ZHANG He-ming, HU Hui-yong, et al. Determination of conduction band edge characteristics of strained Si/Si<sub>1-x</sub>Ge<sub>x</sub>[J]. Chinese Physics B, 2007, 16(12): 3827-3831.
- [5] XIA Guang-rui, NAYFEH H M. Impact of ion implantation damage and thermal budget on mobility enhancement in strained-Si N-channel MOSFETs[J]. IEEE Trans on Electron Devices, 2004, 51(12): 2136-2144.
- [6] PONOMAREV Y V, SALM C, SCHMITZ J. Gate-workfunction engineering using poly-(Si,Ge) for high-performance 0.18 μm CMOS technology[C]//The 1998 International Electron Device Meeting. San Francisco: Mitsubishi Electr Corp, 1998: 829-832.
- [7] LEE W C, WATSON B, KING T J. Enhancement of pMOS device performance with poly-SiGe gate[J]. IEEE Electron Devices Lett, 1999, 20(5): 232-234.
- [8] KING T J, JAMES P M. Electrical properties of heavily doped polycrystalline Silicon-Germanium films[J]. IEEE Trans on Electron Devices, 1994, 41(2): 228-232.
- [9] LI Chen, LUO Guang-li. Novel strained Si/Relaxed SiGe channel pMOSFETs[J]. Thin Solid Films, 2002, 409(1): 112-115.
- [10] WEI J Y, MAIKAP S. Hole confinement at Si/SiGe heterojunction of strained-Si N and pMOS device[J]. Solid-State Electronics, 2006, 50(2): 109-113.
- [11] 张鹤鸣, 崔晓英, 胡辉勇, 等. 应变SiGe SOI量子阱沟道PMOSFET阈值电压模型研究[J]. 物理学报, 2007, 56(6): 3504-3508.  
ZHANG He-ming, CUI Xiao-ying, HU Hui-yong, et al. Study on threshold voltage model of strained SiGe quantum well channel SOI PMOSFET[J]. Acta Physica Sinica, 2007, 56(6): 3504-3508.
- [12] 高勇, 孙立伟, 杨媛, 等. 双栅双应变沟道全耗尽SOI MOSFETs的特性分析[J]. 半导体学报, 2008, 29(2): 338-343.  
GAO Yong, SUN Li-wei, YANG Yuan, et al. Characteristics of double-gate, dual-strained-channel, fully-depleted SOI MOSFETs[J]. Journal of Semiconductors, 2008, 29(2): 338-343.
- [13] WONG D M, TARR N G. Scaling the SiGe channel pmetal-Oxide-semiconductor field effect transistor: The case for P<sup>+</sup>SiGe Gate[J]. Vacuum Science & Technology A: Vacuum surfaces and films, 2000, 18(2): 783-786.
- [14] HASAN M N, JUDY L H. A physically based analytical model for the threshold voltage of strained-Si n-MOSFETs[J]. IEEE Trans on Electron Devices, 2004, 51(12): 2069-2072.
- [15] KUNIHIRO S. Short channel MOSFET model using a universal channel depletion width parameter[J]. IEEE Trans on Electron Devices, 2000, 47(6): 1202-1208.
- [16] YAU L D. A simple theory to predict the threshold voltage of a short-channel IGFETs[J]. Solid-State Electron, 1974, 17(10): 1059-1063.
- [17] ARORA N D. Advanced device physics[M]. New York: Academic Press Inc, 1989: 236-276.
- [18] PRICE P J. On the flow equation in device simulation[J]. Journal of Applied Physics, 1988, 63(9): 4718-4723.
- [19] RIM K, HOYT J L, GIBBONS J F. Fabrication and analysis of deep submicron strained-Si n-MOSFET's[J]. IEEE Trans on Electron Devices, 2000, 47(7): 1406-1415.
- [20] BUFLER F M, GRAF P, KEITH S. Full band monte carlo investigation of electron transport in strained Si on Si<sub>1-x</sub>Ge<sub>x</sub> substrates[J]. Appl Phys Lett, 1997, 70(16): 2144-2147.
- [21] ROLDÁN J B, GÁMIZ F, et al. Modeling effects of electron-velocity overshoot in a MOSFET[J]. IEEE Trans on Electron Devices, 1997, 44(5): 841-846.
- [22] HELLBERG P E, ZHANG S L, PETERSSON C S. Work function of Boron-Doped Polycrystalline Si<sub>x</sub>Ge<sub>1-x</sub> Films[J]. IEEE Electron Devices Lett, 1997, 18(9): 456-458.

编辑 张俊