

· 通信与信息工程 ·

面向低电压供电数字电路的容错计算系统结构设计

胡剑浩, 唐青

(电子科技大学通信抗干扰技术国家级重点实验室 成都 611731)

【摘要】为实现低功耗设计, 数字电路的工作电压被不断降低, 使得电路计算呈现概率特性。针对电路概率特性的实际应用, 提出了将缩短精度冗余(RPR)算法与三模冗余(TMR)算法和冗余余数系统(RRNS)纠错算法结合的错误容忍的DSP系统设计方法, 即RPR-TMR结构和RPR-RRNS结构; 比较分析了PR-TMR和RPR-RRNS结构的综合性能, 在低电压供电条件下该结构可以改善电路的性能, 从而为概率器件在DSP中的应用提供了一种可行的设计思路。

关键词 容错; 低功耗电子; 缩短精度冗余; 冗余余数系统; 三模冗余

中图分类号 TN79

文献标志码 A

doi:10.3969/j.issn.1001-0548.2013.06.004

Fault-Tolerance Computing Architecture Design for Low Supplying Voltage

HU Jian-hao and TANG Qing

(National Key Laboratory of Science and Technology on Communications, University of Electronic Science and Technology of China Chengdu 611731)

Abstract In order to achieve low power consumption, the supply voltage is reduced gradually but this increases the probabilistic characteristic of digital circuits. In this paper, we propose the design method which combines of the reduced precision redundancy (RPR) algorithm with triple-modular redundancy (TMR) algorithm and Redundant residue number systems (RRNS) algorithm, referred as RPR-TMR and RPR-RRNS architectures respectively. The performance of these two kinds of structures is designed and analyzed. The results of case study show that the proposed of architectures can archive low power consumption and high output SNR.

Key words fault tolerance; low power electronics; RPR; RRNS; TMR

多年来, IC产业一直遵循摩尔定律发展, 集成度从30只晶体管到如今的几十亿只晶体管, 半导体工艺尺寸从0.35 μm 不断缩小到32 nm甚至更小, 因此IC芯片的速度、面积和功耗性能得到不断提升。而器件特征尺寸不能无限缩小, 通过缩小器件特性尺寸来提升功耗性能的代价变大, 数字电路的噪声免疫能力也随之下降^[1-2]。为了实现低功耗的设计目标, 现代数字集成电路大多采用低电压供电技术; 而低电压供电条件下电子器件呈现的概率特性愈加明显。学者们对低电压下的基本逻辑门及电路模块的概率模型进行了研究^[3-5], 在文献[6]中提出了推导电路模块级概率模型的状态转移法, 并对实际逻辑芯片进行了测试。研究表明, 低电压供电越低, 数字电路模块发生软错误的概率越高。另一方面, 在DSP领域, 信号处理的计算往往可以不需要保证实

现精确计算, 而计算错误带来的噪声满足一定的统计特性, 即可满足系统的需求。因此, 通过降低电路工作电压实现低功耗的方法依然可行。

电路错误容忍技术即是指电路模块可以允许软错误的发生, 并通过特定的纠错算法从错误输出中恢复正确数据或降低错误的影响。软错误容忍计算系统(soft-error-tolerant calculation systems, SETCS)的特点是可以根据系统中的冗余信息恢复出正确的输出数据, 而不考虑错误的具体发生位置^[7], 如三模冗余(TMR)算法^[8]、冗余余数系统(RRNS)算法^[7]。在PC MOS的研究成果中, 缩短精度冗余(RPR)算法结构就是一种错误容忍结构^[9]。

考虑到TMR结构的资源开销大, 对于复杂数字信号处理系统实现代价非常高; RRNS结构可以在乘法电路上加更小的开销取得比TMR更好的保护效

收稿日期: 2012-05-10; 修回日期: 2013-07-10

基金项目: 国家自然科学基金(61101033, 61070696)

作者简介: 胡剑浩(1971-), 男, 博士, 教授, 主要从事无线通信和通信集成电路方面的研究。

果,但是RRNS在数据缩放、符号检测、大小比较方法存在较大的困难,制约了其应用范围。RPR结构由于其算法结果的特殊性,不适用于逻辑门随机出错电路。本文结合这3种算法结构,提出RPR-TMR和RPR-RRNS两种适用于逻辑门随机出错的容错结构,并以FIR滤波器为例对两种概率容错结构的功耗性能及信噪比性能进行了分析。结果表明,两种容错结构在电压比例因子小于0.74左右时均能实现低功耗设计,且在电压比例因子大于0.55时,RPR-RRNS结构的功耗性能更好。当电压降低时,主模块输出信噪比迅速下降。当单个逻辑门的错误概率为 2×10^{-8} 时,信噪比由40 dB下降到20 dB左右,而两种错误容忍结构的信噪比下降得相对平缓;当单个逻辑门的错误概率为 2×10^{-7} 时,信噪比依然保持在25 dB以上,且RPR-RRNS结构的性能更优越,从而为对电路概率特性的实际应用提供了设计思路。

1 相关技术基础

1.1 TMR算法

TMR算法是通过冗余模块和简单无错的判决模块实现对主模块的检错、纠错的,其主要思想是对主模块进行两次复制。其结构如图1所示,M为黑盒子,它既可表示一台完整的计算机,也可表示一个基本的计算模块(如加法器、乘法器);V为多数检测判决模块,它的功能是将3个输出进行判决,选择最终的结果作为输出,由于输出为二进制数,且数目为奇数,所以判决模块结构比较简单。

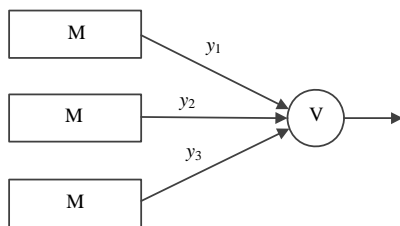


图1 TMR算法结构图

设M模块的可靠概率为 R_M ,且3个模块之间相互独立,可得到TMR算法结构的可靠概率为:

$$R = R_M^3 + 3R_M^2(1 - R_M) = 3R_M^2 - 2R_M^3 \quad (1)$$

从式中可以看出,当 $R_M < 0.5$ 时,TMR算法并不能提高可靠性。

1.2 RPR算法

假设单个逻辑门计算不会出错,而降低电路的工作电压时,导致电路出错的原因是关键路径变长。由于电路逻辑翻转是对电容充放电的结果,当电压降低时,对电容充放电的时间变长;从而导致关键

路径变长,以原本的采样频率对输出进行采样,就有可能采到错误的结果。因此,为保证计算结果的正确性,需要缩短电路的关键路径。基于此点,学者们提出了一种缩短精度冗余的算法结构(RPR算法),通过适当降低计算精度换取高可靠性和低功耗。

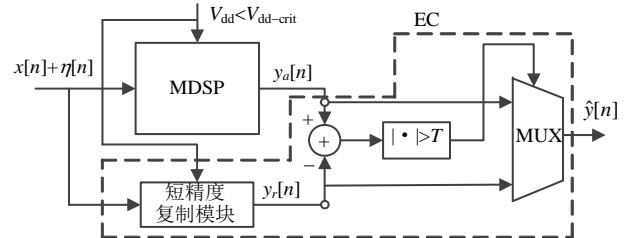


图2 RPR算法结构图

RPR算法结构如图2所示,其中MDSP表示主模块,当 $V_{dd} < V_{dd-crit}$ 时($V_{dd-crit}$ 表示电压分界值,当工作电压低于 $V_{dd-crit}$ 时关键路径延时大于采样周期,出现错误输出),其输出 $y_a[n]$ 可能掺入噪声;RPR算法引入了一个主模块的复制模块,其运算精度小于主模块,其输出 $y_r[n]$ 用于估计最终的输出 $\hat{y}[n]$;虚线框内的部分称为错误控制模块,实现对主模块的输出进行错误消减的功能。

由以上分析可知,在低工作电压情况下, $y_a[n]$ 和 $y_r[n]$ 之间的差值大,因此可以用 $y_r[n]$ 来消减 $y_a[n]$ 中的软错误,EC模块的判决准则为:

$$\hat{y}[n] = \begin{cases} y_a[n] & \text{if } |y_a[n] - y_r[n]| \leq T \\ y_r[n] & \text{if } |y_a[n] - y_r[n]| > T \end{cases} \quad (2)$$

为了保证当 $y_a[n] = y_r[n]$ 时,最终的输出 $\hat{y}[n] = y_o[n]$,门限值 T 的选择必须满足以下要求:

$$T = \max_{V_{input}} y_o[n] - y_r[n] \quad (3)$$

由于功耗与电压的关系是平方关系,因此,通过RPR算法结构即可通过适当的牺牲信噪比换取低功耗。

1.3 RRNS技术

RRNS是余数系统(residue number systems, RNS)的一种冗余纠错算法,它通过一组余数基 $(m_1, m_2, \dots, m_k, m_{k+1}, \dots, m_{k+r})$ 表达,各余数基为正整数且两两互质,定义前 k 个为非冗余余数基,其余为冗余余数基,RRNS所能表征的RNS动态范围为:

$$M = \prod_{i=1}^{k+r} m_i \quad (4)$$

由文献[7]可知,一个冗余通道数为2的RRNS,对于选定的冗余通道 (m_{p_1}, m_{p_2}) (其中 $p_1 = k+1$ 、 $p_2 = k+2$),无错时输出数据 X 用 $(x_1, x_2, \dots,$

x_k, x_{k+1}, x_{k+2}) 表示, 其中 $X \in [0, M_0)$, $M_0 = \prod_{i=1, i \neq p1, p2}^{k+2} m_i$; 实际输出整数 Y 用 $(y_1, y_2, \dots, y_k, y_{k+1}, y_{k+2})$ 表示, y_i 被分成非校验余数 $(y_i, i = 1, 2, \dots, k + 2; i \neq p1, p2)$ 和校验余数 $(y_i, i = p1, p2)$ 两部分。

可以根据两个冗余通道的后向转换, 根据文献[7]的推导过程计算出发生错误的通道 i 和误差值 e_i , 进而完成对其余数值修正的 $\langle y_i - e_i \rangle_{m_i}$, 修正后的余数组即为正确的输出。

2 面向概率电路的容错计算系统结构设计

本文研究的前提是引起电路出错的原因逻辑门出错, 因此, 工作在低电压下的各电路模块出错的概率及误差幅度均是随机的^[6], 此时RPR算法结构不再适用。同时, 虽然TMR算法和2模冗余的RRNS可对只有1个模块出错的情况进行纠错, 但如对主模块进行TMR结构或者RRNS结构设计, 则资源消耗甚大, 从而增加电路功耗。

综上所述, 本文利用RPR算法思想, 对短精度复制模块采用TMR结构和RRNS结构进行设计。由于短精度复制模块的数据位宽小, 有利于TMR结构和RRNS结构设计, 在保证资源开销小的情况下还保证了短精度复制模块的纠错能力, 分别称这两种结构为RPR-TMR结构和RPR-RRNS结构。

2.1 RPR-TMR结构设计

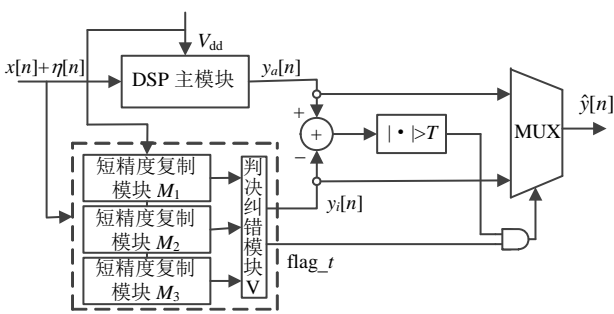


图3 RPR-TMR结构

RPR-TMR结构的结构图如图3所示, 其中 M_1 、 M_2 、 M_3 模块与主模块供电一致, V 模块正常供电。由于低电压下主模块和TMR结构的3个模块会出现随机错误, 即 $y_a[n]$ 和 $y_i[n]$ 的误差幅度不定。然而由于TMR结构具有纠错能力, 且资源消耗小于主模块, 因此 $y_i[n]$ 的错误概率小于 $y_a[n]$, 因而选择合适的门限值 T 后, 当TMR模块出错模块不大于1时, 如果 $|y_i[n] - y_a[n]| > T$, 则 $y_i[n]$ 作为最终输出, 反

之则输出 $y_a[n]$; 当TMR出错模块大于1, 则表示TMR模块无法进行纠错, 即 $flag_t$ 信号为0, 此时选择 $y_a[n]$ 作为最终输出。

2.2 RPR-RRNS结构设计

RPR-RRNS结构如图4所示, RPR-RRNS结构与RPR-TMR结构只是短精度复制模块的实现方式不同, 其余部分完全一致。由于RRNS模块可能会出现无法纠错的情况, 故判决算法为: 若 $|y_r[n] - y_a[n]| > T$, 则 $y_r[n]$ 作为最终输出, 反之则输出 $y_a[n]$; 若RRNS模块无法进行纠错, 即 $flag_r$ 信号为0, 则选择 $y_a[n]$ 作为最终输出。

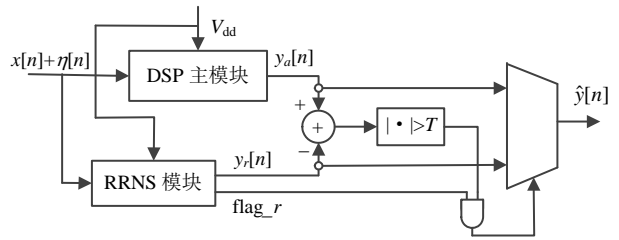


图4 RPR-RRNS结构

DSP模块处理数据通常为有符号数, 根据RNS及RRNS纠错算法对有符号的处理方法可知, 除主要运算模块以外, RRNS算法中必须额外增加如映射、B2R、符号检测、数值缩放和R2B等处理。其结构如图5所示。其中通道1~ $k+2$ 模块结构与主模块结构一致, 并统一供电, 而其余模块则工作在正常电压下。以上结构中各模块的主要构成单元均为相应余数基的模加法和模乘法器。

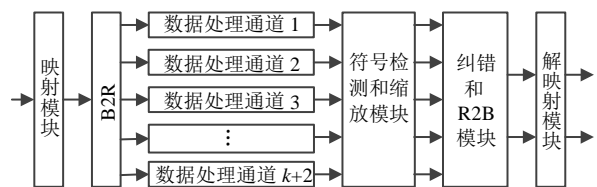


图5 RRNS模块结构

3 性能分析

本文采用25阶FIR滤波器结构为例进行性能分析。输入输出数据均采用16 bit位宽, 以传统设计方法设计, 且采用标准供电的滤波器作为性能分析的比较标准。由FIR滤波器结构可知, 该滤波器的硬件资源开销为26个16 bit二进制有符号乘法器、25个16 bit二进制有符号加法器和400个1 bit D触发器。采用本文提出的RPR-TMR结构, 其中TMR模块的输入输出数据位宽为8 bit, M_1 、 M_2 、 M_3 模块完全一致, 每个TRM通道需要26个8 bit二进制有符号乘法器、25个8 bit二进制有符号加法器和200个1 bit D触发

器。在本文提出的RPR-RRNS结构中, 余数基选择 $\{2^4 - 1, 2^5 - 1, 2^5, 2^6 - 2^2 - 1, 2^7 - 1\}$, 其中 $\{2^4 - 1, 2^5 - 1, 2^5\}$ 为非校验基, $\{2^6 - 2^2 - 1, 2^7 - 1\}$ 为校验基。非校验基的动态范围 M_0 的字长为14 bit, 足以处理8 bit的数据而不损失精度。

本文的核心问题是分析当数字电路中的基本门电路由于降低电压形成的功能错误对数字电路的影响, 并提出对这些错误容忍的系统设计方法。利用Synopsys公司的HSPICE等工具, 可以精确建立对于门级误差和功耗的分析模型, 但是对于25阶的DSP系统, 利用HSPICE建模非常困难, 因为需要完成复杂的门级建模工作。另一方面, 常用的EDA工具如Synopsys的DC和Primary Power等, 不能对门级误差进行分析。为此, 本文采用一输入的非门和二输入的非门、或非门和异或门作为基本逻辑门建立模型进行分析。为了分析方便, 文中假设这些基本门具有同样的错误概率。利用该分析方法, 可以完成对门级由于降低功耗而引入的软错误在数字电路模块级的影响进行分析并对修正算法效能进行评估。

3.1 功耗分析

DSP电路中的功耗主要由动态功耗和静态功耗构成, 而动态功耗占据主导地位, 其表达式为^[10]:

$$P = 0.5C_{\text{eff}}V_{\text{dd}}^2fE_{\text{sw}} \quad (5)$$

式中, C_{eff} 代表开关电容; V_{dd} 指供电电压; f 为电路工作频率; E_{sw} 为状态转换系数。在同一设计工艺水平上, 可认为电容 C_{eff} 与电路面积呈线性关系, 即 $C_{\text{eff}} = f(A)$, 其中 $f(x)$ 为线性函数, 而面积 A 与消耗的逻辑门数 N 成正比, 因此 C_{eff} 可表示为 $C_{\text{eff}} = \alpha N$ 。保证电路的工作频率 f 不变, 从而动态功耗的表达式可表示为:

$$P = \beta NV_{\text{dd}}^2 \quad (6)$$

式中, $\beta = 0.5\alpha fE_{\text{sw}}$ 。

表1 电路模块资源开销

电路模块	消耗逻辑门数/个
FIR 滤波器主模块	44 581
TMR 短精度复制模块 M_1	12 269
TMR 短精度复制模块 M_2	12 269
TMR 短精度复制模块 M_3	12 269
合计	36 807
映射模块	63
B2R 模块	220
FIR 滤波器通道 1	9 065
FIR 滤波器通道 2	9 176
FIR 滤波器通道 3	2 780
FIR 滤波器通道 4	5 490
FIR 滤波器通道 5	3 821
RRNS 符号检测和缩放模块	488
RRNS 纠错和 R2B 模块	1 081
RRNS 解映射模块	63
合计	32 247

RPR-TMR结构主要由二进制加法器、乘法器和D触发器构成; RPR-RRNS结构主要由模加法器、模乘法器和D触发器构成。为保证逻辑统计的一致性, 二进制加法器采用基本串行进位加法器, 二进制乘法器采用进位保留乘法器结构; RRNS中模加法器、模乘法器以及各基本模块的设计结构参考文献[11-14], 在此不作赘述。由此得到统计结果可能会存在小偏差, 但不会存在量级上的误差, 从而不会影响本文对功耗的分析。各电路模块消耗的逻辑门数量如表1所示。

由于两种概率FIR滤波器结构中门限判决输出部分完全一致, 故不作考虑。用 $N_{\text{RPR-TMR}}$ 表示RPR-TMR结构的逻辑门数量, 用 $N_{\text{RPR-RRNS-v}}$ 表示RPR-RRNS结构中工作电压可调部分的逻辑门数量, 其余部分用 $N_{\text{RPR-RRNS-c}}$ 表示, 则有:

$$\begin{cases} N_{\text{RPR-TMR}} = N_M + N_{\text{TMR}} = 81\,388 \\ N_{\text{RPR-RRNS-v}} = 74\,913 \\ N_{\text{RPR-RRNS-c}} = 1\,915 \end{cases} \quad (7)$$

设标准工作电压为 V_c , 电路工作电压 V_{dd} 可记为 $V_{\text{dd}} = kV_c$, 其中 k 为比例因子, 有 $0 < k \leq 1$ 。因此, 当主模块正常工作时的动态功耗为 $P_M = \beta N_M V_c^2$ 。为了更好地对比分析, 对正常工作主模块的功耗进行归一化处理, 即令 $P_M = 1$, 从而可知RPR-TMR结构和RPR-RRNS结构的归一化功耗为:

$$\begin{cases} P_{\text{RPR-TMR}} = N_{\text{RPR-TMR}} k^2 / N_M \\ P_{\text{RPR-RRNS}} = N_{\text{RPR-RRNS-v}} k^2 / N_M + N_{\text{RPR-RRNS-c}} / N_M \end{cases} \quad (8)$$

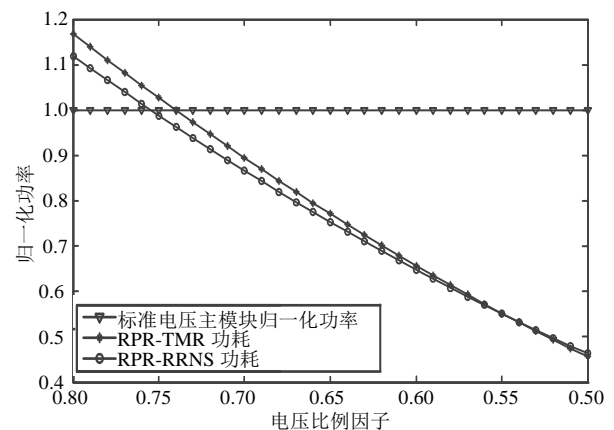


图6 功耗对比分析图

仿真结果如图6所示, 当电压比例因子 k 较大时, 两种结构均会增添额外功耗。当 $k = 0.8$ 时, RPR-TMR结构和RPR-RRNS结构的功耗分别约等于主模块在标准电压下工作时功耗的1.12和1.17倍, 这是由于两种结构均添加了额外的处理模块。由于功耗与电压是平方的关系, 随着工作电压的降低,

两种结构的功耗会迅速降低, 从而达到节省功率的目的。同时, $P_{RPR-RRNS}$ 在 $k > 0.55$ 的区间内小于 $P_{RPR-TMR}$ 。随着 k 继续减小, $P_{RPR-RRNS}$ 会逐渐大于 $P_{RPR-TMR}$, 其原因在于RPR-RRNS结构会额外增加部分标准供电的处理模块, 从而导致额外的功率开销。然而, 由于电路的错误概率与电压成反比, 因此, 实际应用中 k 值不宜过小, 否则输出信噪比不能满足设计要求。由此可见, RPR-RRNS结构的功耗性能优于RPR-TMR结构。

3.2 信噪比分析

在实际电路设计中, 输出信噪比需满足一定的要求。本文容错结构的设计目的就是在主模块的工作电压降低时保证其输出信噪比满足设计要求。由于电路中每个逻辑门的出错概率是相互独立的, 由概率论的基本知识可知, 在同一工作电压下, 电路的逻辑门数目越大, 其发生错误的概率越大。为简化分析过程, 本文假设所有逻辑门的错误概率相等, 用 p 表示。由独立同分布事件的概率特性可知:

$$p_N = \sum_{k=1}^N C_N^k p^k \quad (9)$$

式中, N 表示逻辑门数目。由于电路逻辑门数目较大, 因此可以忽略多项式中较小的部分积, 从而有:

$$\begin{cases} p_M = N_M \times p + C_{N_M}^2 \times p^2 \\ p_{TMR} = N_{TMR} \times p + C_{N_{TMR}}^2 \times p^2 \\ p_{RRNS} = N_{RRNS} \times p + C_{N_{RRNS}}^2 \times p^2 \end{cases} \quad (10)$$

式中, p_M 、 p_{TMR} 和 p_{RRNS} 分别表示主模块、TMR模块和RRNS模块的错误概率。

为保证仿真结果的可靠性, 信源采用随机数据, 并加入高斯白噪声, 信噪比为40 dB, 仿真数据长度为1 000 000, 取门限值 T 为0.3, 仿真结果如图7所示。随 p 的增大, 主模块输出的信噪比急剧下降, 在 $p = 2 \times 10^{-7}$ 时, 其信噪比已由40 dB下降到12 dB左右, 而RPR-TMR结构和RPR-RRNS结构的输出信噪比则分别为25 dB和27 dB左右。由于实际应用中, 输出信噪比不宜过低, 因此, 仿真中 p 只取到 2×10^{-7} 。仿真结果表明RPR-RRNS结构的信噪比性能要优于RPR-TMR结构。此为, RNS的优越性在于将权重运算转换成若干非权重的并行运算, 将对长比特数据处理转化成短比特数据处理, 因此, DSP电路中乘法器数目越多、数据位宽越宽, 其优势越明显。

通过以上仿真和分析, 可得到概率FIR滤波器输出信噪比与单个逻辑门的错误概率关系, 再根据逻辑

门的错误概率与工作电压的关系, 即可按照设计需求选择适当的工作电压、数据位宽及RRNS通道数。

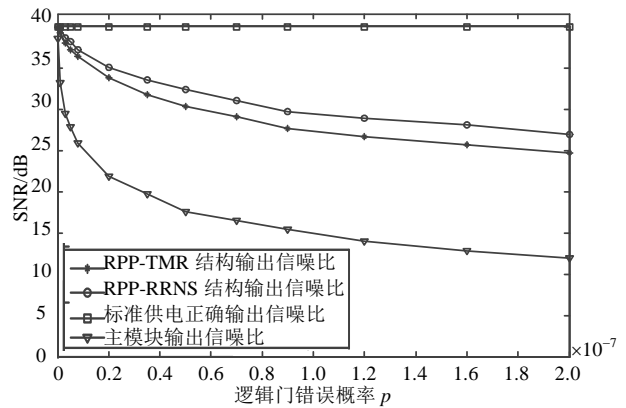


图7 信噪比性能仿真结果

4 结论

本文考虑低电压下数字电路的随机错误特性, 介绍了RPR和TMR等容错算法, 并对RRNS纠错算法进行有符号数修正, 设计了RPR-TMR结构和RPR-RRNS结构两种容错结构, 并以FIR滤波器为例对两种结构进行仿真分析。仿真结果表明, 两种结构均能实现降低功耗和提升信噪比的目的, 且RPR-RRNS结构在功耗和输出信噪比上性能均优于RPR-TMR结构。此为, 本文所提出的RPR-RRNS算法结构是基于RNS的, 因此, 将其应用于具有大量乘法器的DSP电路中, 其性能优势将更为突出, 从而为低电压概率电路的实际应用提供了一种有效的方法。

参考文献

- [1] MEINDL J D, CHEN Q, DAVIS J A. Limits on silicon nanoelectronics for terascale integration[J]. Science, 2001, 293(5537): 2044-2049.
- [2] MENDOZA-HERNANDEZ F, LINARES M, CHAMPAC V H. The noise immunity of dynamic digital circuits with technology scaling[C]//Proceedings of the 2004 International Symposium on Circuits and Systems. Vancouver, Canada: IEEE, 2004.
- [3] KORKMAZ P, AKGUL B E S, PALEM K V, et al. Advocating noise as an agent for ultra-low energy computing: Probabilistic CMOS devices and their characteristics[J]. Jpn J Appl Phys, 2006, 45(4B): 3307-3316.
- [4] KORKMAZ P, AKGUL B E S, PALEM K V. Energy, performance, and probability tradeoffs for energy-efficient probabilistic CMOS circuits[J]. IEEE Transactions on Circuits and Systems-I: Regular papers, 2008, 55(8): 2249-2262.

(下转第847页)