

# 容忍单粒子多节点翻转的三模互锁加固锁存器

黄正峰<sup>1</sup>, 倪涛<sup>1</sup>, 欧阳一鸣<sup>2</sup>, 梁华国<sup>1</sup>

(1. 合肥工业大学电子科学与应用物理学院 合肥 230009; 2. 合肥工业大学计算机与信息学院 合肥 230009)

**【摘要】**为了能够容忍单粒子多节点翻转,提出了一种新颖的三模互锁加固锁存器。该锁存器使用具有过滤功能的代码字状态保存单元(CWSP)构成三模互锁结构,并在锁存器末端使用CWSP单元实现对单粒子多节点翻转的容错。HSPICE仿真结果表明,相比于三模冗余(TMR)锁存器,该锁存器功耗延迟积(PDP)下降了58.93%;相比于容忍多节点翻转的DNCS-SEU锁存器,该锁存器的功耗延迟积下降了41.56%。同时该锁存器具有较低的工艺偏差敏感性。

**关键词** 加固锁存器; 多节点翻转; 软错误; 三模互锁

**中图分类号** TN47 **文献标志码** A **doi**:10.3969/j.issn.1001-0548.2016.05.007

## A Single Event Multiple Upset Tolerant Hardening Latch with Triple Interlock

HUANG Zheng-feng<sup>1</sup>, NI Tao<sup>1</sup>, OUYANG Yi-ming<sup>2</sup>, and LIANG Hua-guo<sup>1</sup>

(1. School of Electronic Science & Applied Physics, Hefei University of Technology Hefei 230009;

2. School of Computer and Information, Hefei University of Technology Hefei 230009)

**Abstract** In nanometer process, a single event induced multiple upset cannot be ignored. A novel triple interlock hardening latch is proposed for tolerating single event multiple upset. The proposed latch employs code word state preserving (CWSP) cell which has the filtering function to compose triple interlock. At the end of latch, the CWSP cell is also exploited to tolerate single event multiple upset. The simulation results of HSPICE suggest that compared to triple modular redundancy (TMR) latch and DNCS-SEU latch, the power delay product of the proposed latch is reduced by 58.93% and 41.56% respectively. Meanwhile, the proposed latch has less sensitiveness to process variations.

**Key words** hardening latch; multiple node upset; soft error; triple interlock

随着集成电路进入纳米时代,电路的可靠性问题越来越严重。目前,软错误已经成为影响集成电路可靠性的主要问题,其中由高能粒子诱发的单粒子翻转(single event upset, SEU)是存储元件中软错误的主要来源<sup>[1-2]</sup>。因此在纳米工艺下,SEU的加固设计对于提高电路的可靠性具有重要的意义。

由于集成电路特征尺寸的不断缩减,电源电压的不断下降,电路节点的关键电荷不断减少。相关研究表明,随着集成电路的特征尺寸进入90 nm后,电荷共享导致的多节点翻转已经成为一个问题<sup>[3]</sup>。电荷共享是单个高能粒子轰击硅材料,产生的电荷被多个敏感节点收集的一种辐射效应。国内外学者对电荷共享和多节点翻转进行了大量的研究,文献[4]对SEU加固单元的多节点翻转进行了3D器件模

拟研究。文献[5]研究了电荷共享对于软错误率的影响。文献[6]指出单粒子多节点翻转所诱发的软错误愈发严重。单粒子多节点翻转给加固锁存器设计提出了更高的要求。目前大多数SEU加固锁存器设计<sup>[7-10]</sup>都是针对单粒子单节点翻转的防护,没有防护单粒子多节点翻转的能力。单粒子多节点翻转已经成为纳米工艺下抗辐照芯片的主要挑战。

针对单粒子多节点翻转问题,文献[11]提出了基于版图的加固技术。该技术通过在版图上采取分离敏感节点等方法,以降低电荷共享导致的多节点翻转的概率。但是该技术的加固性能有限,同时也很难有效地应用于大规模集成电路的自动化设计。区别于版图加固技术,文献[12]提出了一种基于DICE<sup>[7]</sup>单元的SRAM结构。文献[13]提出了一种将DICE单

收稿日期: 2015-02-11; 修回日期: 2016-03-16

基金项目: 国家自然科学基金(61574052, 61106038, 61274036, 61474036); 安徽省高校自然科学研究重大项目(KJ2014ZD12); 安徽省自然科学基金(1608085MF149)

作者简介: 黄正峰(1978-),男,博士,副教授,主要从事方向嵌入式系统综合与测试、数字集成电路的硬件容错、星载SoC芯片的抗辐射加固等方面的研究。

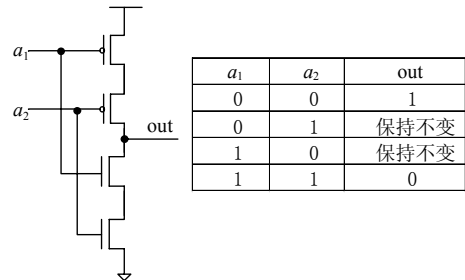
元与级连电压开关逻辑 (cascode voltage switch logic, CVSL)逻辑门相结合的锁存器设计, 但是该锁存器的面积和功耗开销非常大, 在实际应用中价值不大。文献[14]提出一种基于DICE单元和隔离思想的锁存器设计, 但是该锁存器只能对部分单粒子多节点翻转实现容错。

本文针对单粒子多节点翻转问题, 以及现有方案的一些不足, 提出了一种新颖的加固锁存器设计。该锁存器使用代码字状态保存单元(code word state preserving, CWSP)<sup>[15]</sup>构成三模互锁结构, 并在锁存器末端使用一个CWSP单元实现对单粒子多节点翻转的容错。该锁存器不仅具有单粒子单节点翻转的容错能力, 而且具有单粒子多节点翻转的容错能力。使用HSPICE工具对该锁存器进行了广泛的SEU故障注入实验, 实验结果表明, 该锁存器能够很好地容忍单粒子多节点翻转。

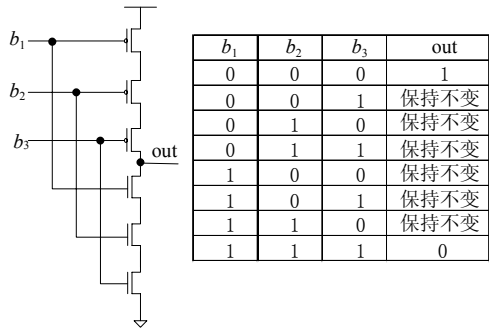
### 1 现有的加固锁存器设计

#### 1.1 CWSP单元

目前, CWSP单元广泛的应用于加固锁存器设计。CWSP单元通过对逻辑门的输入进行复制, 以实现瞬态脉冲的过滤。图1所示为反相器的两种CWSP单元及其对应的真值表。由图1中的真值表可知, 当CWSP单元的输入相同时, 其实现的是反相器的功能; 当CWSP单元的输入不同, 其输出状态保持不变, 实现对瞬态脉冲的过滤。



a. 反相器的CWSP单元1



b. 反相器的CWSP单元2

图1 反相器的CWSP单元

#### 1.2 TMR锁存器

图2所示为三模冗余(triple modular redundancy, TMR)锁存器的电路结构。该锁存器由3个同构的静态锁存器和1个表决器电路组成。粒子轰击诱发的单粒子翻转, 会被表决器电路屏蔽。如果单粒子多节点翻转导致其中两个静态锁存器的存储状态同时发生改变, 则表决器电路无法屏蔽错误。由于使用了三模冗余和表决器电路, 该锁存器的面积开销和功耗开销非常大。

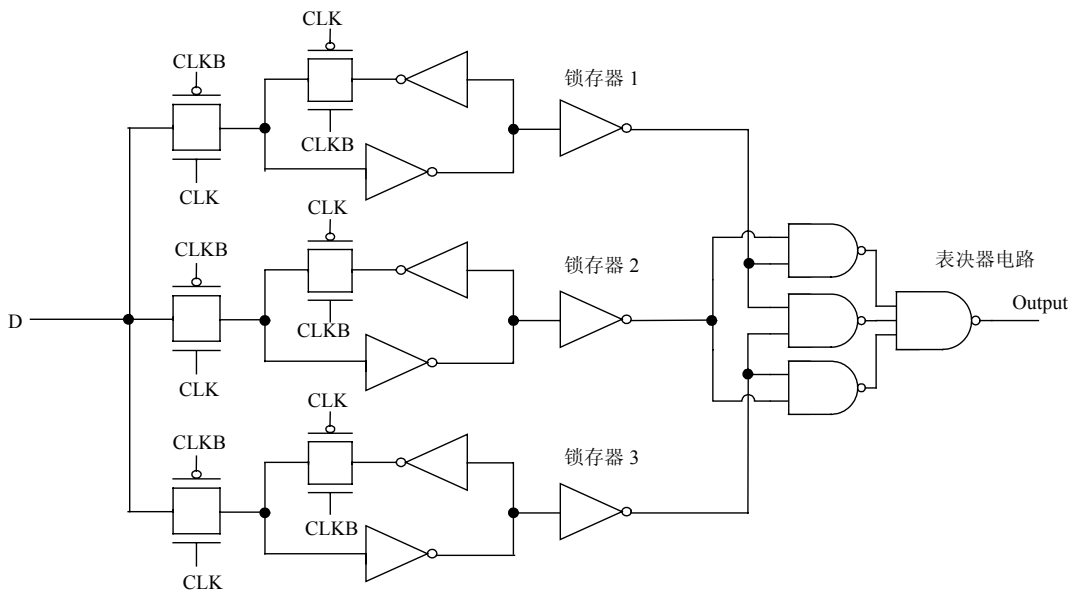


图2 TMR锁存器

### 1.3 FERST锁存器

文献[8]提出了FERST锁存器，锁存器的电路结构如图3所示。该锁存器使用3个CWSP单元来实现SEU的容错。单粒子翻转会导致CWSP单元的两个输入不同，输出节点Q的逻辑状态会保持不变，错误被屏蔽。如果4个节点对(N<sub>1</sub>、N<sub>2</sub>), (N<sub>3</sub>、N<sub>4</sub>), (N<sub>1</sub>、N<sub>4</sub>), (N<sub>2</sub>、N<sub>3</sub>)中的任何一个节点对翻转，该锁存器都无法屏蔽错误。

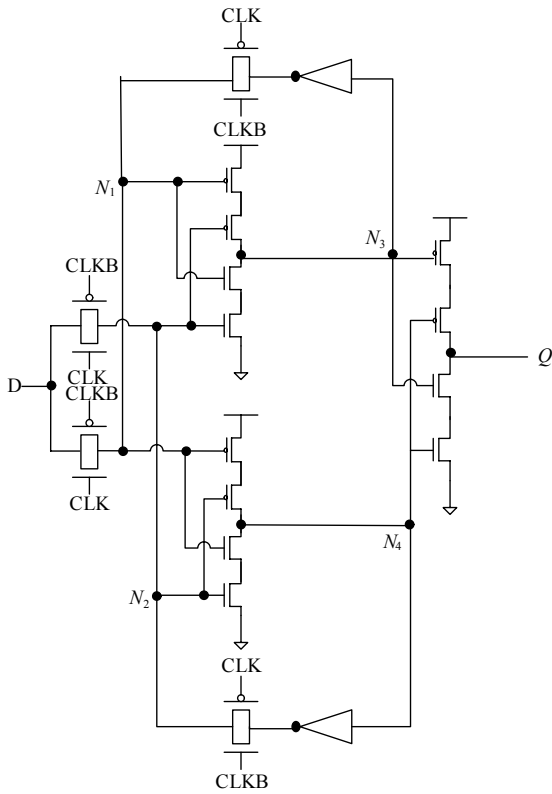


图3 FERST锁存器

### 1.4 DNCS-SEU锁存器

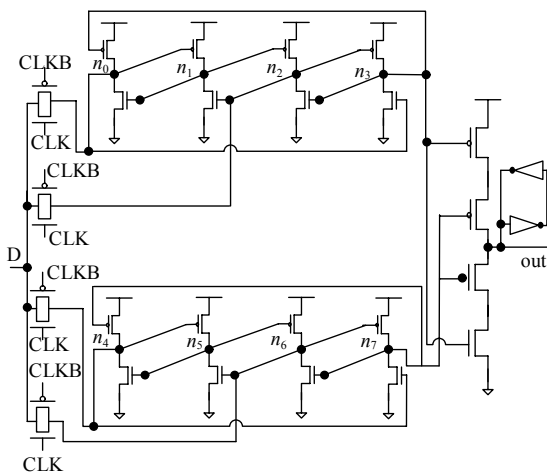


图4 DNCS-SEU锁存器

文献[16]提出了DNCS-SEU锁存器，锁存器的电路结构如图4所示。该锁存器由两个DICE单元和一个CWSP单元构成。该结构利用DICE单元对单粒子翻转的自恢复能力和CWSP单元的过滤功能，实现对单粒子多节点翻转的容错。由于DICE单元的自恢复需要一定的时间，所以在部分单粒子多节点翻转的情况下，该锁存器的输出会出现一个短暂的错误脉冲。同时由于该锁存器使用了两个DICE单元，其功耗开销很大。

## 2 本文研制的单粒子多节点翻转容错锁存器

### 2.1 电路结构和工作原理

针对单粒子多节点翻转问题，本文提出了一种新颖的加固锁存器设计。锁存器的电路结构如图5所示。其中D为输入信号，out为输出信号，CLK和CLKB为系统时钟。该结构包括3个传输门(TG<sub>1</sub>、TG<sub>2</sub>、TG<sub>3</sub>)，3个弱反相器(I<sub>1</sub>、I<sub>2</sub>、I<sub>3</sub>)，4个CWSP单元(CE<sub>1</sub>、CE<sub>2</sub>、CE<sub>3</sub>、CE<sub>4</sub>)。

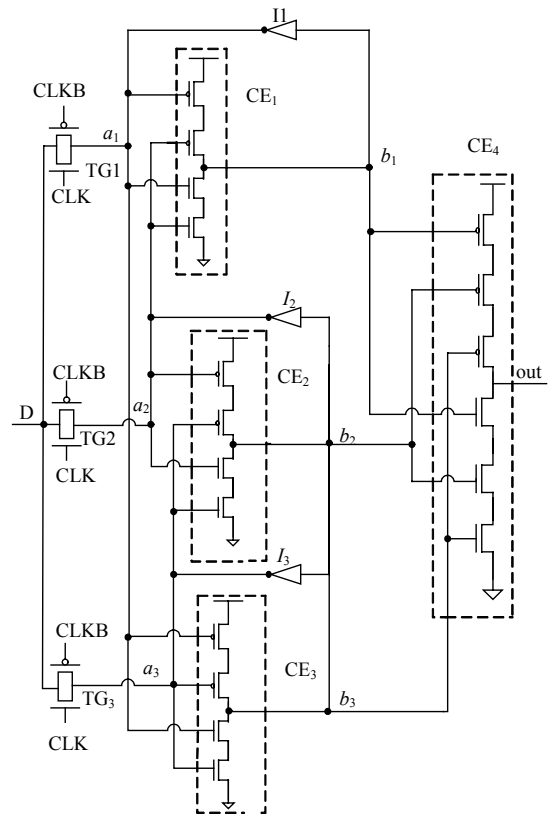


图5 本文的加固锁存器

当CLK=1、CLKB=0，锁存器处于透明期，传输门TG<sub>1</sub>、TG<sub>2</sub>、TG<sub>3</sub>全部打开，输入信号D通过单元CE<sub>1</sub>、CE<sub>2</sub>、CE<sub>3</sub>、CE<sub>4</sub>到达输出端。当CLK=0、CLKB=1，锁存器进入锁存期，传输门TG<sub>1</sub>、TG<sub>2</sub>、

TG<sub>3</sub>全部关闭, 由CWSP单元和弱反相器构成的反馈环用于保持电路的逻辑状态。

该锁存器使用具有过滤功能的CWSP单元构成三模互锁结构, 并在锁存器末端使用CWSP单元实现对单粒子多节点翻转的容错。锁存器中对SEU敏感的节点有 $a_1$ 、 $a_2$ 、 $a_3$ 、 $b_1$ 、 $b_2$ 、 $b_3$ 以及out。根据这些敏感节点位置的不同, 可以将它们分为3类: 1) 即第一类节点 $a_i$ , 包括 $a_1$ 、 $a_2$ 、 $a_3$ ; 2) 第二类节点 $b_i$ , 包括 $b_1$ 、 $b_2$ 、 $b_3$ ; 3) 第三类节点out。下面对具体的瞬态故障进行分析:

1) 单粒子单节点翻转

如果单粒子翻转发生在节点 $a_i$ 上, 由于CE<sub>1</sub>、CE<sub>2</sub>、CE<sub>3</sub>的过滤功能, 节点 $b_i$ 的逻辑值保持不变, 从而输出out保持不变。如果单粒子翻转发生在节点 $b_i$ 上, 由于CE<sub>4</sub>的过滤功能, 输出out保持不变。如果单粒子翻转发生在输出节点out上, CE<sub>4</sub>会很快恢复输出节点out到正确的逻辑状态。由上述分析可知, 该锁存器对单粒子单节点翻转完全容错。

2) 单粒子多节点翻转

该锁存器所有的双节点翻转, 可以分为下面的3种情形: 1) 在节点 $a_i$ 或者 $b_i$ 上发生双节点翻转, 由于CE<sub>1</sub>、CE<sub>2</sub>、CE<sub>3</sub>、CE<sub>4</sub>的过滤功能, 输出out的逻辑值保持不变。2) 在节点 $a_i$ 和out上发生双节点翻转, 由于CE<sub>1</sub>、CE<sub>2</sub>、CE<sub>3</sub>的过滤功能, 节点 $b_i$ 的逻辑值不变, 输出out很快会恢复到正确的逻辑状态。3) 在节

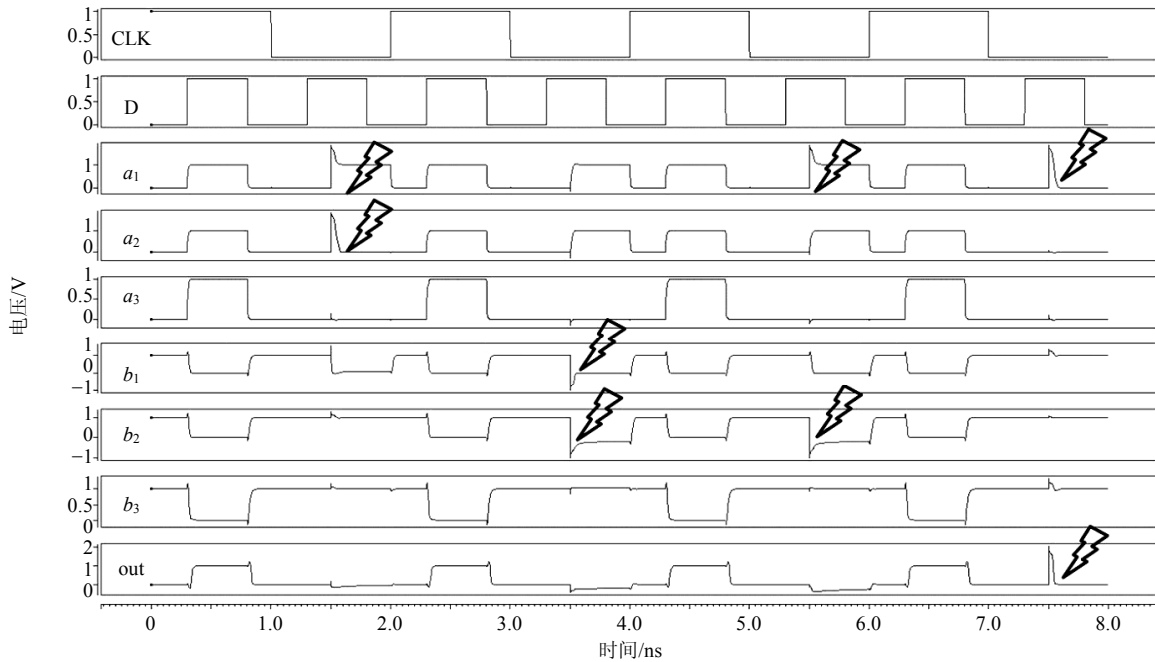
点 $b_i$ 和out上发生双节点翻转, 由于此时CE<sub>4</sub>进入高阻态, 不能恢复输出out到正确的逻辑状态, 输出出错。

由上述分析可知, 对于所有双节点翻转的情形, 该锁存器只有在 $b_i$ 和out节点同时发生翻转的情况下才会出错。但是由电荷共享导致的节点 $b_i$ 和out同时翻转的概率是极低的, 可以忽略不计。因为节点 $b_i$ 和out的逻辑状态是相反的, 如果两个节点的状态同时翻转, 则入射粒子要同时影响PMOS管和NMOS管。目前集成电路中使用的主要是双阱工艺, PMOS管和NMOS管制作在不同的阱中。文献[17]指出基于电荷共享诱发的多节点瞬态脉冲, 发生在不同阱中的概率是极低的, 可以忽略不计。故该锁存器具有很好的单粒子多节点翻转容错能力。

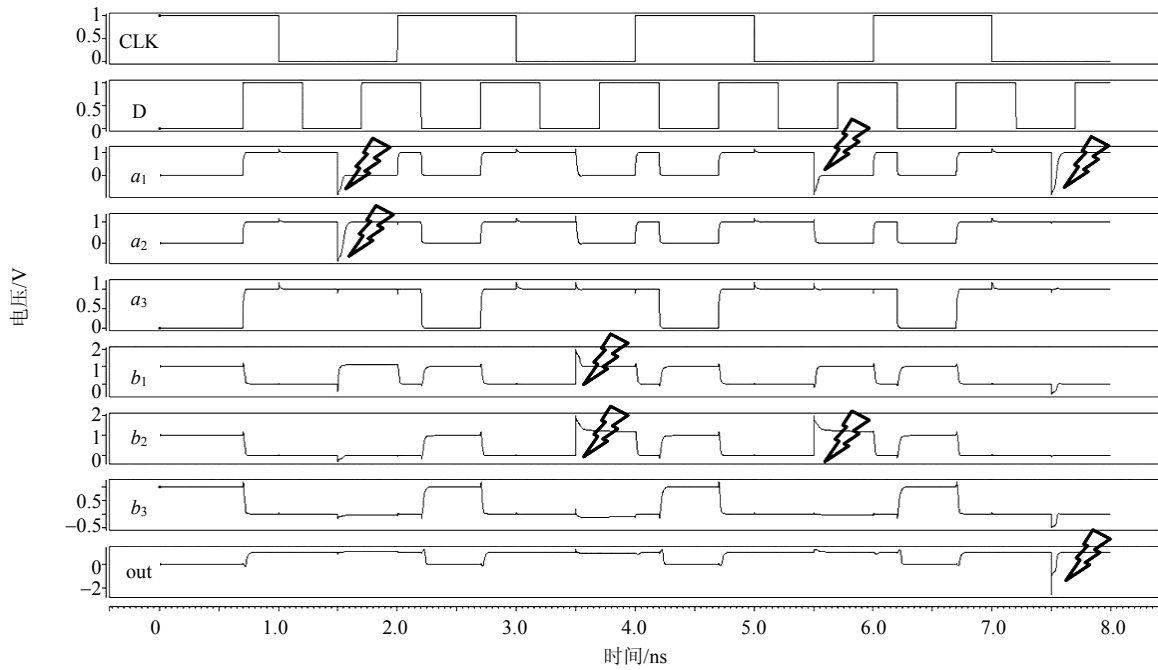
2.2 SEU故障注入实验

为了验证提出锁存器的SEU容错能力, 在预测工艺模型(predictive technology model, PTM) 45 nm模型下, 使用HSPICE仿真工具进行了广泛的SEU故障注入实验。仿真中使用双指数电流源模型模拟粒子轰击所产生的瞬态脉冲, 注入的电荷量设置为150 fc。

考虑实验的完备性, 对存储逻辑“0”和逻辑“1”的情形都进行了广泛的故障注入。仿真结果如图6所示。仿真结果表明, 该锁存器可以很好地容忍单粒子多节点翻转。



a. 存储逻辑“0”的故障注入



b. 存储逻辑“1”的故障注入

图6 故障注入

### 3 锁存器性能评估

为了评估研制的锁存器的性能，本文比较了TMR锁存器、FERST锁存器、HRPU<sup>[18]</sup>锁存器、DNCS-SEU锁存器以及该锁存器的SEU容错能力；比较了上述各锁存器的面积、延迟、功耗开销。由于集成电路特征尺寸的缩减，工艺偏差对于电路的影响也越来越严重<sup>[19]</sup>。为了评估锁存器对工艺偏差的敏感性，本文对上述各锁存器进行了工艺偏差分析。

#### 3.1 SEU容错能力比较

根据前文分析，各锁存器的SEU容错能力如表1所示。由表1可得，本文的加固锁存器具有单粒子单节点翻转和单粒子多节点翻转的容错能力。

表1 锁存器的SEU容错能力比较

锁存器	单粒子单节点翻转	单粒子多节点翻转
TMR	YES	NO
FERST <sup>[8]</sup>	YES	NO
HRPU <sup>[18]</sup>	YES	NO
DNCS-SEU <sup>[16]</sup>	YES	YES
本文的结构	YES	YES

#### 3.2 开销比较

使用HSPICE仿真工具比较了各锁存器的延迟和功耗开销，并计算了功耗延迟积(power delay product, PDP)。仿真中使用PTM 45 nm模型，电源电压为1 V，系统时钟为500 MHz，温度为30℃。各锁存器的开销如表2所示。计算了本文的锁存器相比于

其他锁存器的开销变化，则有：

$$\Delta = (\text{本文的锁存器} - \text{其他锁存器}) / \text{其他锁存器} \quad (1)$$

结果如表3所示。为了更好地比较两种容忍单粒子多节点翻转的锁存器的开销，依次在PTM 45、32、22 nm工艺下比较了两种锁存器的PDP，结果如图7所示。由图7可知，相比于DNCS-SEU锁存器，本文的锁存器PDP有大幅的下降。

表2 锁存器的开销

锁存器	晶体管数目	延迟/ps	功耗/ $\mu\text{W}$	PDP/ $10^{-18}\text{J}$
TMR	48	40.29	5.77	232.47
FERST <sup>[8]</sup>	24	34.54	2.20	75.99
HRPU <sup>[18]</sup>	22	7.27	1.57	11.41
DNCS-SEU <sup>[16]</sup>	32	33.76	4.84	163.40
本文的结构	30	37.01	2.58	95.49

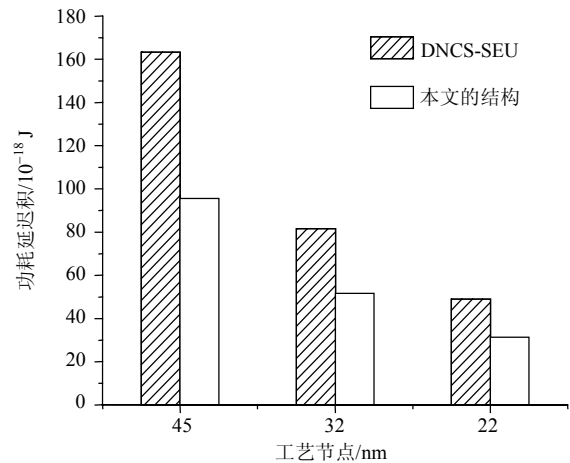


图7 不同工艺节点下PDP的比较

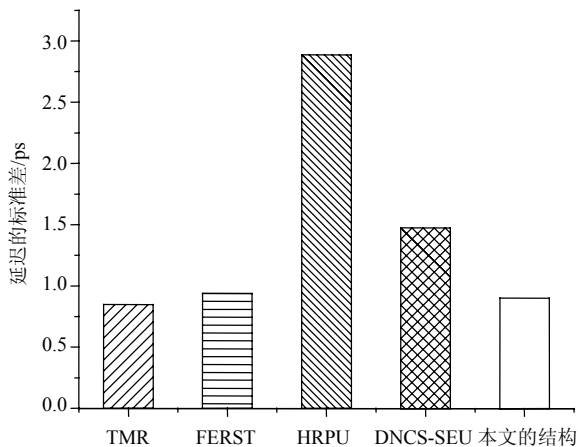
表3 本文的锁存器相比于其他锁存器的开销变化

锁存器	$\Delta$ 晶体管数目/%	$\Delta$ 延迟/%	$\Delta$ 功耗/%	$\Delta$ PDP/%
TMR	-37.50	-8.14	-55.29	-58.93
FERST <sup>[8]</sup>	25.00	7.15	17.27	25.66
HRPU <sup>[18]</sup>	36.36	409.08	64.33	736.90
DNCS-SEU <sup>[16]</sup>	-6.25	9.63	-46.69	-41.56

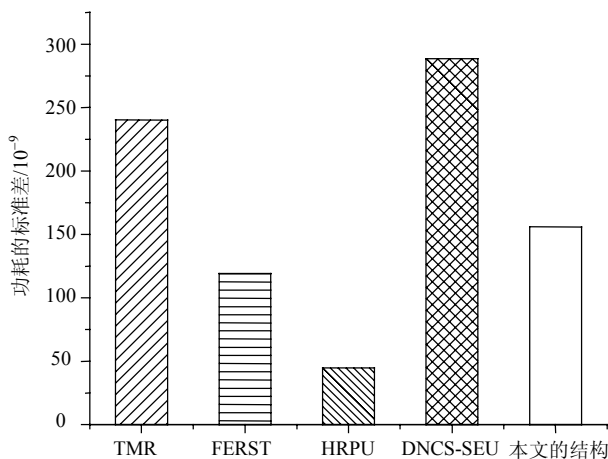
### 3.3 工艺偏差分析

对于器件, 最主要的扰动是沟道长度和阈值电压。在HSPICE工具中运用蒙特卡罗分析来评估沟道长度和阈值电压变化对于电路性能的影响。设定沟道长度、阈值电压的变化都服从高斯分布, 并设定最大的偏差为10%。仿真中使用PTM 45 nm模型, 电源电压为1 V, 系统时钟为500 MHz, 温度为30℃。图8所示为10 000次蒙特卡罗分析的实验结果。

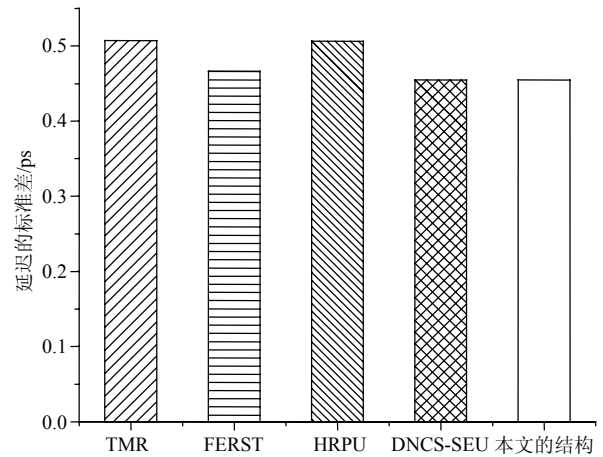
由上述实验结果可得, 相比于TMR锁存器和DNCS-SEU锁存器, 本文的锁存器受工艺偏差的影响更小; 与FERST锁存器相比, 两者受工艺偏差的影响相当。所以在上述比较的各锁存器中, 本文的锁存器对工艺偏差具有较低的敏感性。



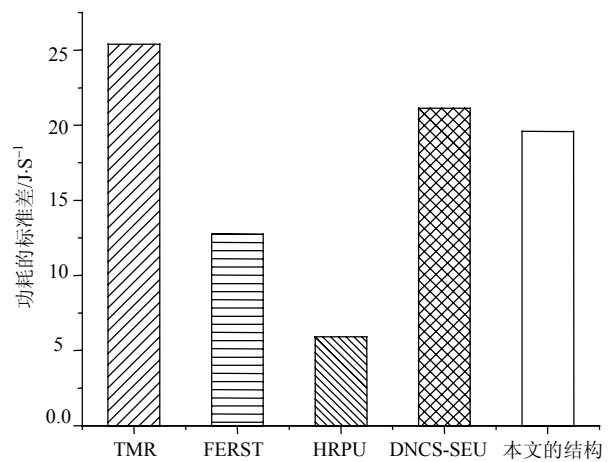
a. 沟道长度变化对延迟的影响



b. 沟道长度变化对功耗的影响



c. 阈值电压变化对延迟的影响



d. 阈值电压变化对功耗的影响

图8 工艺偏差对锁存器性能的影响

## 4 结束语

本文针对单粒子多节点翻转问题, 研制了一种加固锁存器设计。该锁存器不仅可以容忍单粒子单节点翻转, 还可以容忍单粒子多节点翻转。HSPICE仿真结果表明, 相比于仅能容忍单粒子单节点翻转的FERST锁存器, 该锁存器只增加了有限的面积、延迟和功耗; 相比于TMR锁存器, 该锁存器PDP下降了58.93%; 相比于能够容忍单粒子多节点翻转的DNCS-SEU锁存器, 该锁存器 PDP下降了41.56%。同时该锁存器具有较低的工艺偏差敏感性。

### 参 考 文 献

[1] BAUMANN R C. Radiation-induced soft errors in advanced semiconductor technologies[J]. IEEE Transactions on Device and Materials Reliability, 2005, 5(3): 305-316.  
 [2] PETERSEN E, KOGA R, SHOGA M A, et al. The single event revolution[J]. IEEE Transactions on Nuclear Science,

- 2013, 60(3): 1824-1835.
- [3] ZHU X W, DENG X W, BAUMANN R, et al. A quantitative assessment of charge collection efficiency of N<sup>+</sup> and P<sup>+</sup> diffusion areas in terrestrial neutron environment[J]. IEEE Transactions on Nuclear Science, 2007, 54(6): 2156-2161.
- [4] 刘必慰, 郝跃, 陈书明. SEU加固存储单元中的多节点翻转[J]. 半导体学报, 2008, 29(2): 244-250.  
LIU Bi-Wei, HAO Yao, CHEN Shu-min. Multiple node upset in SEU hardened storage cells[J]. Journal of Semiconductors, 2008, 29(2): 244-250.
- [5] BLACK J D, DODD P E, WARREN K M. Physics of multiple-node charge collection and impacts on single-event characterization and soft error rate prediction[J]. IEEE Transactions on Nuclear Science, 2013, 60(3): 1836-1851.
- [6] BLACK J D, BALL D R, ROBINSON W H, et al. Characterizing SRAM single event upset in terms of single and double node charge collection[J]. IEEE Transactions on Nuclear Science, 2008, 55(6): 2943-2947.
- [7] CALIN T, NICOLAIDIS M, VELAZCO R. Upset hardened memory design for submicron CMOS technology[J]. IEEE Transactions on Nuclear Science, 1996, 43(6): 2874-2878.
- [8] FAZELI M, PATOOGHY A, MIREMADI S G, et al. Feedback redundancy: a power efficient SEU-tolerant latch design for deep sub-micron technologies[C]//37th Annual IEEE/IFIP International Conference on Dependable Systems and Networks. Edinburgh, UK: IEEE, 2007: 276-285.
- [9] NAN H Q, CHOI K. High performance, low cost, and robust soft error tolerant latch designs for nanoscale CMOS technology[J]. IEEE Transactions on Circuits and Systems, 2012, 59(7): 1445-1457.
- [10] RAJAEI R, TABANDEH M, RASHIDIAN B. Single event upset immune latch circuit design using C-element[C]//2011 IEEE 9th International Conference on ASIC. [S.l]: IEEE, 2011: 252-255.
- [11] ZHANG C Y, WANG Z S. A novel reliable SEU hardened latch to mitigate multi-node charge collection[C]//IET International Conference on Information Science and Control Engineering. Shenzhen, China: IET, 2012: 1-4.
- [12] ALESSIO M D, OTTAVI M, LOMBARDI F. Design of a nanometric CMOS memory cell for hardening to a single event with a multiple-node upset[J]. IEEE Transactions on Device and Materials Reliability, 2014, 14(1): 127-132.
- [13] CASEY M C, BHUVA B L, BLACK J D, et al. Single-event tolerant latch using cascode-voltage switch gates[J]. IEEE Transactions on Nuclear Science, 2006, 53(6): 3386-3391.
- [14] WEY I C, YANG Y S, WU B C, et al. A low power-delay-product and robust Isolated-DICE based SEU-tolerant latch circuit design[J]. Microelectronics Journal, 2014(45): 1-13.
- [15] NICOLAIDIS M. Time redundancy based soft-error tolerance to rescue nanometer technologies[C]//17th IEEE VLSI Test Symposium. Dana Point, CA, USA: IEEE, 1999: 86-94.
- [16] KATSAROU K, TSIATOUHAS Y. Double node charge sharing SEU tolerant latch design[C]//IEEE 20th International On-Line Testing Symposium (IOLTS). Platja d'Aro, Girona : IEEE, 2014: 122-127.
- [17] LIU B W, CHEN S M, LIANG B, et al. Temperature dependency of charge sharing and MBU sensitivity in 130 nm CMOS technology[J]. IEEE Transactions on Nuclear Science, 2009, 56(4): 2473-2479.
- [18] RAJAEI R, TABANDEH M, FAZELI M. Single event multiple upset (SEMU) tolerant latch designs in presence of process and temperature variations[J]. Journal of Circuits, Systems and Computers, 2015, 24(01): 1550007.
- [19] NAN H Q, CHOI K. Novel radiation hardened latch design considering process, voltage and temperature variations for nanoscale CMOS technology[J]. Microelectronics Reliability, 2011(51): 2086-2092.

编辑 黄 莘