



# 新型三维集成射频模拟数字一体化微系统

张君直<sup>1,2\*</sup>, 杨进<sup>2</sup>, 张强<sup>2</sup>, 曹雪松<sup>2</sup>, 朱健<sup>2</sup>

(1. 东南大学信息科学与工程学院 南京 210096; 2. 南京电子器件研究所 南京 210016)

**【摘要】**设计了一种新型三维集成射频模拟数字一体化微系统。传统的射频前端尺寸为 250 mm×120 mm, 经过微系统集成后尺寸仅为 37 mm×37 mm, 面积减小了 95%。该微系统基于一体化陶瓷三维封装架构, 集成多种裸芯片和无源器件, 实现内部信号的电气互连; 采用一种全新的散热方案, 定制开发了一种高导热复合热沉盖板, 热导率从 15 W/(m·K) 提升至 150 W/(m·K) 以上。在 FC 裸芯片和盖板之间填充导热硅胶, 形成了一条新的散热途径, 达到高效散热的效果。

**关键词** 一体化; 微系统; 射频模拟数字; 三维集成

**中图分类号** TN305 **文献标志码** A **doi**:10.12178/1001-0548.2022236

## New Three-Dimensional Integrated RF-Analog-Digital Microsystem

ZHANG Junzhi<sup>1,2\*</sup>, YANG Jin<sup>2</sup>, ZHANG Qiang<sup>2</sup>, CAO Xuesong<sup>2</sup>, and ZHU Jian<sup>2</sup>

(1. School of Information Science and Engineering, Southeast University Nanjing 210096; 2. Nanjing Electronic Devices Institute Nanjing 210016)

**Abstract** Recent years, microsystem has become one of the hot issues in electronic information field. This paper introduces a new three-dimensional integrated radio frequency (RF)-analog-digital microsystem. The architecture, process and verification of the microsystem are described in detail from the aspects of scheme and implementation. The traditional RF frontend is 250 mm × 120 mm size, while the microsystem is only 37 mm × 37 mm size, reducing its area by 95%. Based on the integrated ceramic three-dimensional package architecture, the microsystem integrates a variety of bare chips and passive devices to realize the electrical interconnection of internal signals. A new heat dissipation scheme is adopted to customize and develop a high thermal conductivity composite heat sink cover plate. The thermal conductivity is increased from 15 W/(m·K) to 150 W/(m·K) above. The thermal conductive silica gel is filled between the FC bare chip and the cover plate to form a new heat dissipation route and achieve efficient heat dissipation.

**Key words** integration; microsystem; RF analog digital; three-dimensional integration

摩尔定律已经逼近物理极限, 未来的发展趋势是将延续摩尔定律和超越摩尔定律结合起来, 实现更高级的系统——微系统<sup>[1-4]</sup>。

微系统是一种利用微纳加工技术在微纳尺度上制备而成的电子系统。它涵盖了微电子、光电子、MEMS 等多种电子元器件, 同时涉及架构、软件以及算法等多种要素, 具有体积小、高度集成等特点<sup>[5-8]</sup>。

本文设计了一种新型三维集成射频模拟数字一体化微系统, 变频部分采用直接变频架构, 从方案和实现两方面详细介绍了微系统的架构、设计、工艺和验证, 重点介绍了一种全新的散热方案。

## 1 直接变频架构分析

### 1.1 直接变频架构载波泄露分析和边带抑制

一个典型的直接变频发射机架构如图 1 所示, 其中  $I(t)$  和  $Q(t)$  是两路正交基带信号,  $\cos(\omega t)$  和  $\sin(\omega t)$  是两路正交的载波信号,  $S(t)$  为输出信号:

$$S(t) = I(t)\cos(\omega_c t) - Q(t)\sin(\omega_c t) \quad (1)$$

理想的直接变频发射机输出是一个单边带信号, 不存在边带泄露和载波泄露问题。实际的集成电路具有离散性和非线性特征, 导致直接变频发射机不是理想状态, 输入的 I/Q 信号存在幅相不平衡、直流失调等问题, 因此输出信号也存在幅相不平衡, 所以传统的直接变频发射机存在边带泄露和

收稿日期: 2022-07-15; 修回日期: 2022-10-03

作者简介: 张君直(1980-), 男, 博士生, 高级工程师, 主要从事射频微系统集成设计方面的研究。

\*通信作者: 张君直, E-mail: zjz13770650933@sina.com

载波泄露等问题。

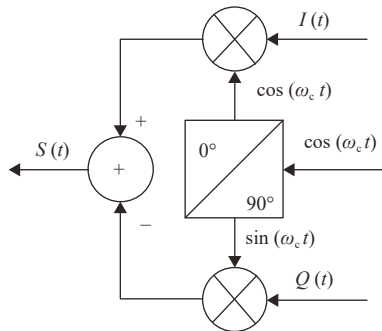


图 1 典型直接变频发射机架构

为了便于分析问题, 将基带信号和载波信号表示成带误差变量的形式:

$$S(t) = I(t)\cos(\omega_c t) - Q(t)\sin(\omega_c t) = [A_{1i}\cos(\omega_f t + \phi_i) + B_i] \times [A_{2i}(\cos(\omega_c t) + \theta_i) + C_i] - [A_{1q}\sin(\omega_f t + \phi_q) + B_q] \times [A_{2q}(\sin \omega_c t + \theta_q) + C_q] \quad (2)$$

整理后得到:

$$S(t) = S_{usb}(t) + S_{dsb}(t) + S_{cl}(t) + S_{bl}(t) + S_{dc}(t) \quad (3)$$

$$S_{usb}(t) = \frac{1}{2}A_{1i}A_{2i}\cos[(\omega_f + \omega_c)t + (\phi_i + \theta_i)] + \frac{1}{2}A_{1q}A_{2q}\cos[(\omega_f + \omega_c)t + (\phi_q + \theta_q)] \quad (4)$$

$$S_{dsb}(t) = \frac{1}{2}A_{1i}A_{2i}\cos[(\omega_c - \omega_f)t + (\theta_i - \phi_i)] - \frac{1}{2}A_{1q}A_{2q}\cos[(\omega_c - \omega_f)t + (\theta_q - \phi_q)] \quad (5)$$

$$S_{cl}(t) = B_iA_{2i}\cos(\omega_c t + \theta_i) - B_qA_{2q}\sin(\omega_c t + \theta_q) \quad (6)$$

$$S_{bl}(t) = C_iA_{1i}\cos(\omega_f t + \phi_i) - C_qA_{1q}\sin(\omega_f t + \phi_q) \quad (7)$$

$$S_{dc}(t) = B_iC_i - B_qC_q \quad (8)$$

式中,  $S_{usb}(t)$ 是有用的上边带信号;  $S_{dsb}(t)$ 是干扰的下边带信号;  $S_{cl}(t)$ 是干扰的载波泄露信号;  $S_{bl}(t)$ 是干扰的基带泄露信号;  $S_{dc}(t)$ 是干扰的直流偏移信号。

由式 (5) 可知, 边带镜像来源于 I/Q 信号和载波信号的幅相不平衡; 由式 (6) 可知, 载波泄露来源于 I/Q 信号的直流失调和载波信号的幅相不平衡; 由式 (7) 可知, 基带泄露来源于载波信号的直流失调和 I/Q 信号的幅相不平衡; 由式 (8) 可知, 直流偏移来源于载波信号和 I/Q 信号的直流失调。

传统的直接变频架构中, 存在式 (3) 所包含的基带泄露、直流泄露、载波泄露和边带镜像, 恶化了误差矢量幅度 (error vector magnitude, EVM) 和相

邻信道功率比 (adjacent channel power ratio, ACPR)。

## 1.2 直接变频收发器

直接变频架构收发器已经存在很多年, 但 I/Q 平衡、镜像抑制、LO 泄漏和直流失调等问题限制了其应用。ADI 公司首先采用智能硅片设计和高级校准算法, 克服了上述缺点<sup>[9]</sup>。直接变频收发器不但会在初始化时自动跟踪并校正这些误差, 还能随着时间、温度、电源和流程自动跟踪和校正。设计中可以存在影响信号路径的因素, 但智能硅片设计将这些影响降到最低, 误差通过正交误差校正 (orthogonal error correction, QEC) 算法消除。

在直接变频收发器上, QEC 算法在片内 ARM 处理器中执行。它实时监测内部信号路径、射频输出、输入信号和外部系统环境的信息, 智能预测信号路径, 而不是做出本能的被动式反应。该算法性能出色, 以数字方式辅助模拟信号路径发挥最佳性能。

## 2 一体化微系统的方案

传统的射频微系统仅仅是射频前端的小型化, 不包含 FPGA 等基带处理电路, 无法实现基带信号处理功能。

本文基于系统级射频模拟数字一体化设计思想, 采用“直接变频收发器+FPGA”的核心架构, 设计了一款新型的射频微系统。和传统的全模拟信号射频微系统相比, 硬件上增加了基带处理电路、存储电路和驱动电路等数字电路, 软件上增加了信号处理算法。整个微系统跨越射频模拟数字全信号链路, 是真正意义上的微系统, 其架构如图 2 所示。

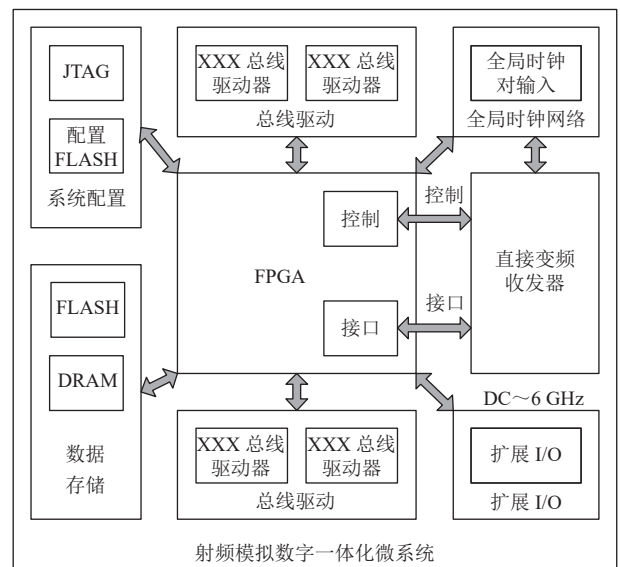


图 2 新型射频微系统架构

### 3 一体化微系统的实现

#### 3.1 微系统封装方案设计

由于应用场景对射频前端的尺寸、体积要求非常高,传统射频前端无法满足要求,因此必须开展微系统集成工作。

微系统需要集成多种裸芯片和一定数量的无源器件,并实现内部信号的电气互连。为了满足封装气密性、热匹配性等可靠性要求,综合考虑采用一体化陶瓷三维封装架构,如图 3 所示。

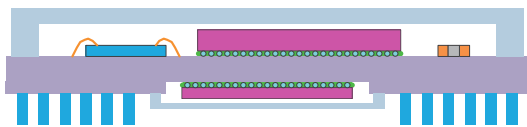


图 3 一体化陶瓷三维封装架构

微系统封装方案具体设计如下。

1) 封装类型。采用 HTCC 陶瓷封装,设计成双面腔体结构,其中正面腔体集成数字电路,背面腔体集成射频数模混合电路,适用于高可靠气密性的应用场景<sup>[10]</sup>。

2) 扇出结构。采用成 CCGA 封装形式,有效解决二次装配时的热应力问题<sup>[11]</sup>,进一步保证板级装配的可靠性。

3) 封装工艺。采用混合装配工艺,包括倒装焊、键合和表贴等成熟工艺,管壳封帽采用双面平行缝焊方式。

#### 3.2 微系统电学设计

##### 3.2.1 微系统电学设计

在微系统电学设计中,层叠结构规划、高密度多层布线、电源/地平面布局等是进行电学设计重点关注的问题。

1) 层叠结构规划。陶瓷封装采用 40 层的层叠结构,每层厚度为 50  $\mu\text{m}$ 。总厚度控制在 2 mm 左右,腔深 1 mm。信号线采用 G-S-G 结构,即金属-信号线-金属形式。

2) 高密度多层布线。微系统内部互连节点数量众多,超过 8 000 个,需要在多层陶瓷封装内部进行高密度布线,实现内部信号互连。

3) 电源/地平面布局。在多层布线过程中,合理地规划、设计参考电源/地平面,在保证信号回流路径最短、电磁兼容和阻抗匹配等的基础上,优化封装的结构。

##### 3.2.2 微系统电学仿真

微系统电学仿真主要包括信号完整性仿真和电源完整性仿真。

##### 1) 信号完整性仿真

信号完整性仿真主要包括传输线信号速度和阻抗匹配计算、关键信号完整性仿真建模和串扰仿真分析。

图 4~图 7 为本封装某关键差分信号及其路径的  $S$  参数仿真结果,从图中可以看出,其仿真插入损耗  $S_{21} \geq -1$  dB,回波损耗  $S_{11} \leq -10$  dB,整个频率范围内的串扰  $S \leq -20$  dB,满足信号完整性的要求。

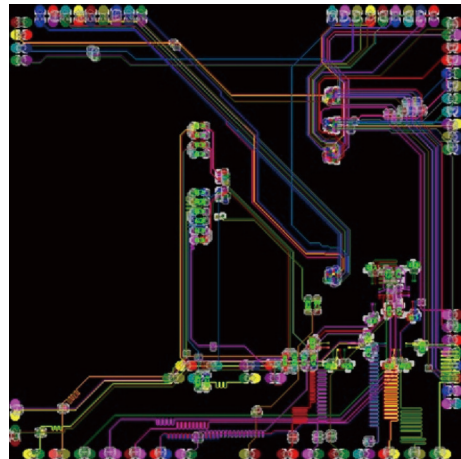


图 4 封装内某关键差分信号

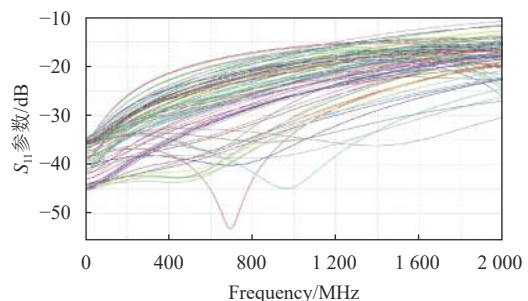


图 5 某关键信号回波损耗  $S_{11}$  参数仿真结果

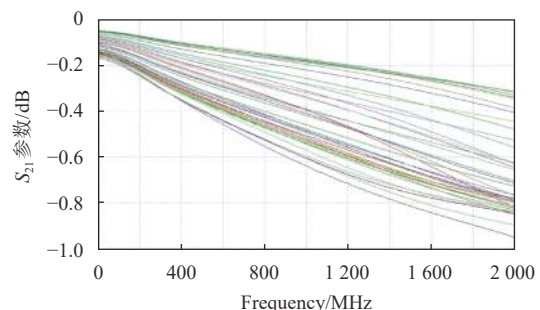


图 6 某关键信号插入损耗  $S_{21}$  参数仿真结果

##### 2) 电源完整性仿真

电源完整性仿真主要包括电源自回路电感仿真、电源阻抗仿真和直流压降仿真等。通过电源完整性仿真验证使电源系统更加稳健可靠。

图8~图10为本封装某关键电源自回路电感仿真、电源阻抗仿真和直流压降仿真结果, 满足设计要求。

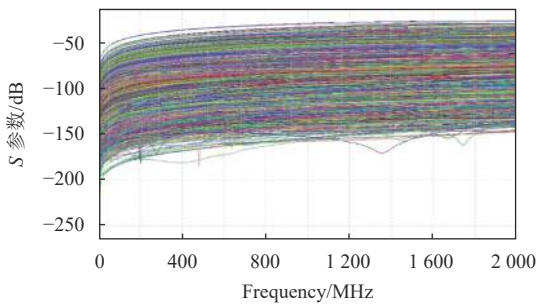


图7 某关键信号串扰 S 参数仿真结果

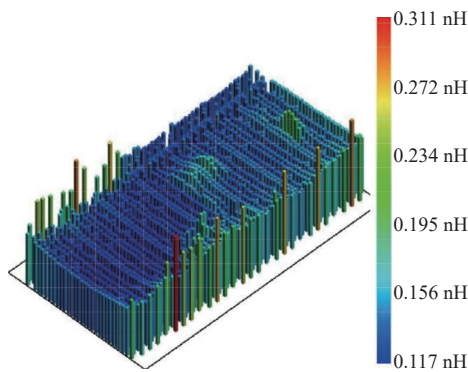


图8 核电压电源自回路电感仿真结果

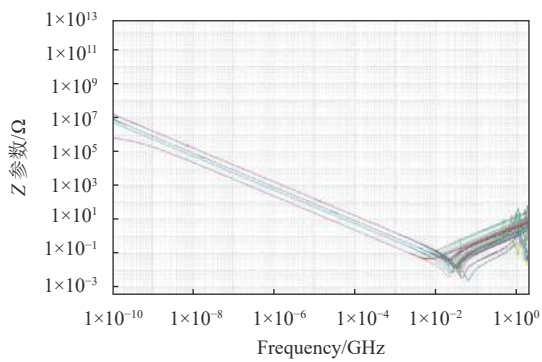


图9 电源阻抗 S 参数仿真结果

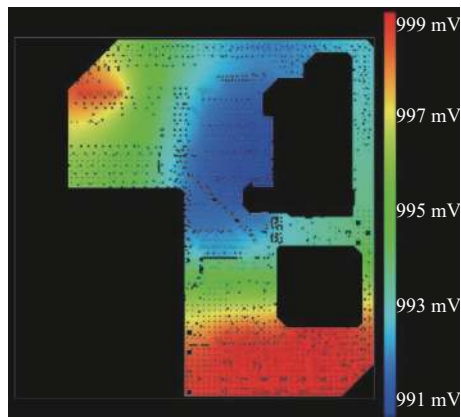


图10 某电压直流压降仿真结果

### 3.3 微系统热学设计

通过热设计仿真分析可以优化散热系统的设计, 满足系统热设计要求。

本次仿真中, 主要是评估当前热功耗及结构下, 整体芯片的散热情况。图11为无散热器情况下的热仿真结果, 图12为添加散热器情况下的热仿真结果, 可以看出无散热片情况下芯片最高结温 163.2°C; 有散热片情况下芯片最高结温 93.03°C。

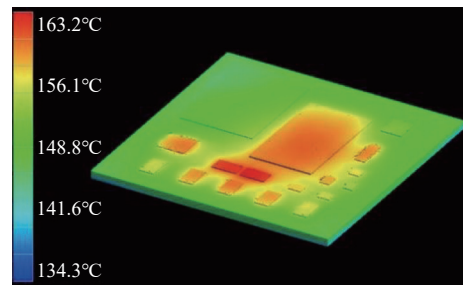


图11 无散热器下仿真结果

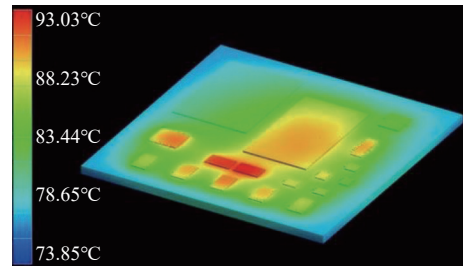


图12 有散热器下仿真结果

### 3.4 微系统可靠性设计

为了满足封装气密性要求, 陶瓷封装采用双面腔体结构, 双面平行缝焊工艺封帽, 具有高可靠性。

本文采用了CCGA封装结构, 和CBGA相比具有更优的热疲劳性能。微系统采用直径 0.51 mm/长度 2.54 mm 的标准焊柱, 设计成 1.0 mm 的节距。

### 3.5 微系统实物

微系统实物如图13所示。微系统CCGA封装如图14所示。

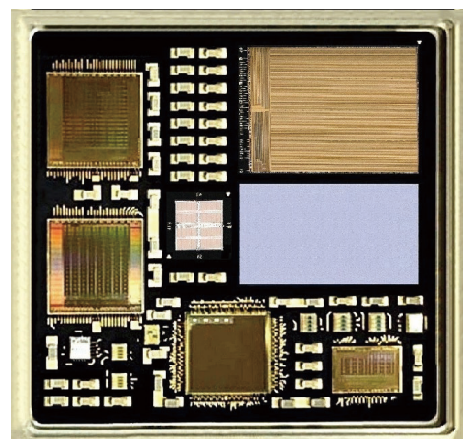


图13 微系统实物

微系统集成前的尺寸为 250 mm×120 mm，集成后的尺寸仅为 37 mm×37 mm，面积减小 95%，如图 15 所示。

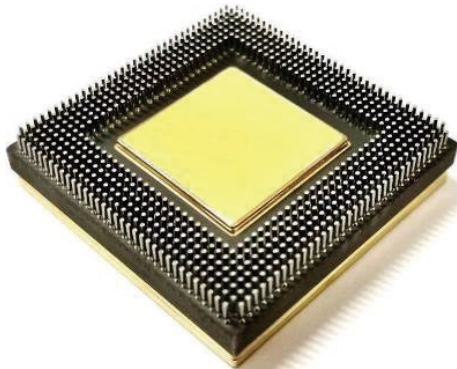


图 14 微系统采用 CCGA 封装

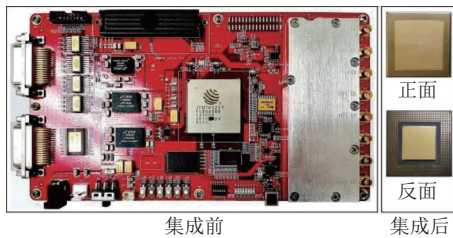


图 15 微系统集成前后尺寸对比

### 3.6 微系统电性能验证

1) 无人平台点对点窄带通信主要技术指标如下。

- ① 频率范围：S 波段；
- ② 信源速率≥6 Mbps；
- ③ 载波抑制>35 dBc；
- ④ 镜频抑制>35 dBc。

2) 原型验证

经过测试，发射信号频谱中心频率在 2.XX GHz，带宽>8 MHz，因此指标①②满足要求，如图 16 所示。

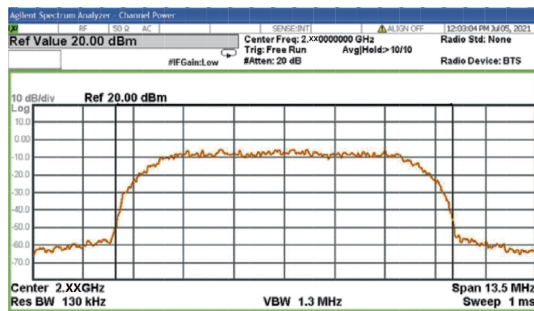


图 16 发射信号频谱

发射信号载波抑制实测值为 51.54 dB，满足要求指标③，如图 17 所示。

发射信号镜频抑制实测值为 57.64 dB，因此满

足要求指标④，如图 18 所示。

经过数据采集和频谱分析后，得到解调后的星座图。从图中可以看出，星座图落于 4 个坐标轴，集中收敛，说明解调器性能良好，如图 19 所示。

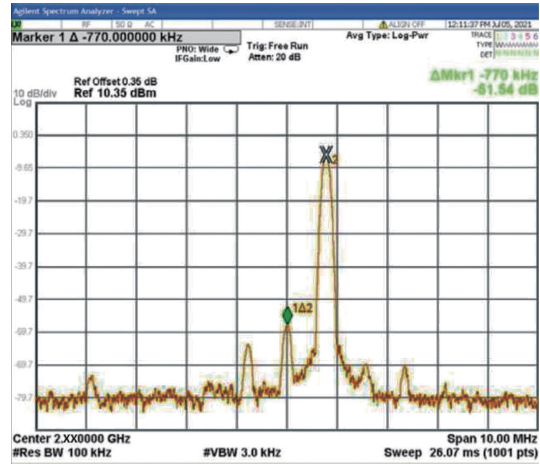


图 17 发射信号载波抑制

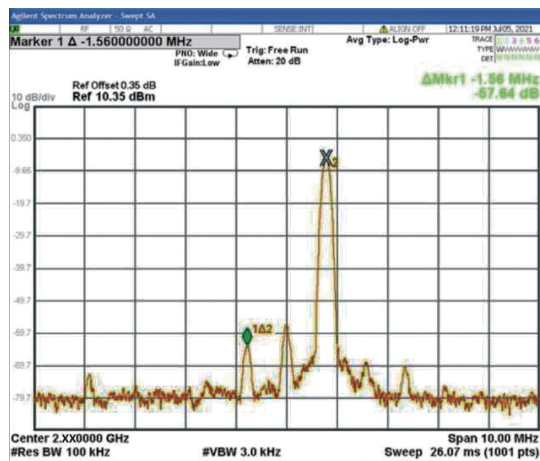


图 18 发射信号镜频抑制

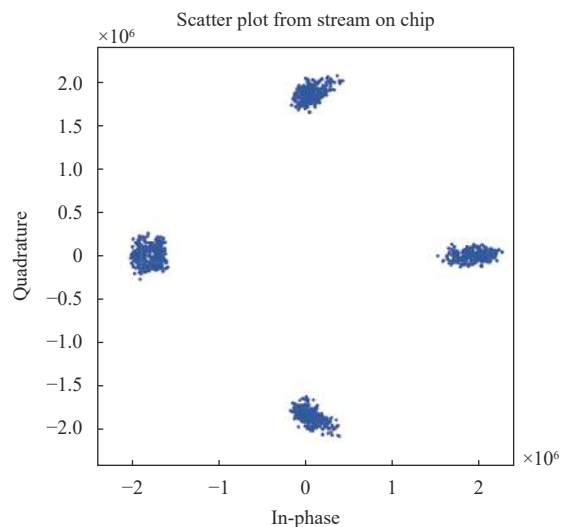


图 19 解调信号星座图

### 3.7 微系统可靠性验证

陶瓷封装封帽后, 需要进行气密性检测。检漏包括细检漏和粗检漏。经过检漏实验, 微系统满足最大漏泄率为  $1.013 \times 10^{-3} \text{ Pa} \cdot \text{cm}^3/\text{s}$  条件下的细检漏, 满足气密性要求。

## 4 创新点

热管理设计是微系统设计的重中之重<sup>[12-15]</sup>, 本文采用了一种全新的散热方案。

根据前期热仿真的结果, 得出增加散热器可以有效降低芯片结温的结论。但是, 传统的高可靠陶瓷封装都是采用平行缝焊工艺封帽, 可伐盖板和内部裸芯片之间没有直接接触, 缺乏有效地将裸芯片的热量传递到封装体表面的散热途径。此外, 传统的盖板是单一的可伐材质, 热导率很低 (只有  $15 \text{ W}/(\text{m} \cdot \text{K})$ ), 即使添加了散热器, 散热效果也不理想。

为了解决上述问题, 本文定制开发了一种高导热复合热沉盖板, 内嵌高导热钼铜热沉, 热导率从  $15 \text{ W}/(\text{m} \cdot \text{K})$  提升至  $150 \text{ W}/(\text{m} \cdot \text{K})$  以上, 通过技术攻关, 盖板平整度/共面性可以控制在  $10 \mu\text{m}$  以内。根据微系统内部芯片布局和热源分布, 设计内嵌热沉的形状、位置, 以达到高效散热的需求, 如图 20 所示。封帽前, 在 FPGA 裸芯片和盖板之间填充导热硅胶; 封帽后, 复合热沉盖板上方, 增加散热器辅助散热。

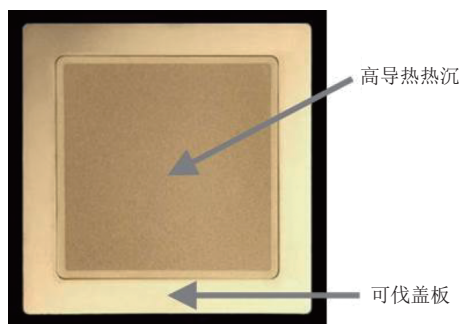


图 20 高导热复合热沉盖板

这样, 针对 FPGA 裸芯片 (FC 形态) 的散热, 增加了一条从①FC 芯片→②导热硅胶→③导热热沉→④散热器的散热途径, 达到快速、高效导热+均热的效果。

此外, ALN 陶瓷管壳本身具有高导热特性, 支持几十瓦的功耗散热, FPGA 裸片功耗较大, 有源面焊接到管壳上, 利用管壳本身进行散热, 存在一条传统的散热途径: ①FC 芯片→⑤陶瓷管壳, 如图 21 所示。

整个散热方案在满足传统陶瓷封装气密性的同时, 极大地提升了整体封装散热性能。

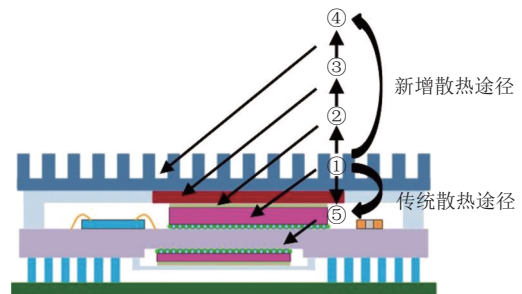


图 21 全新性的散热方案

## 5 结束语

本文提出了一种基于一体化陶瓷三维封装方案的射频模拟数字一体化微系统, 变频部分采用直接变频架构, 从方案和实现两方面详细介绍了微系统的架构、设计、工艺和验证。未来, 随着芯片水平的提高和集成工艺的成熟, 一体化微系统有望采用射频直采架构和硅基三维集成工艺来实现。

### 参考文献

- [1] VIVET P, ERIC G, YVAIN T, et al. IntAct: A 96-core processor with six chiplets 3D-stacked on an active interposer with distributed interconnects and integrated power management[J]. *IEEE Journal of Solid State Circuits*, 2021, 56(1): 79-97.
- [2] KIM J, GAUTHAMAN M, ERIC Q, et al. Architecture, chip, and package codesign flow for interposer-based 2.5-D chiplet integration enabling heterogeneous IP reuse[J]. *IEEE Transactions on Very Large Scale Integration(VLSI) Systems*, 2020, 28(11): 2424-2437.
- [3] WU S J, HSU H C, LIN W F, et al. Rapid laser drilling on thick ceramic substrates for SiP applications[C]//Proceedings of International Conference on Electronics Packaging and iMAPS All Asia Conference. Mie: IEEE, 2018: 430-433.
- [4] KIM M S, PULUGURTHA M R, SUNDARAM V, et al. Ultrathin high-Q 2-D and 3-D RF inductors in glass packages[J]. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2018, 8(4): 643-652.
- [5] SMARRA D A, SUBRAMANYAM G, CHODAVARAPU V P. Embedded passive circuit element in low temperature co-fired ceramic substrates for aerospace electronics[C]//IMAPS 2017 50th International Symposium on Microelectronics-Raleigh. NC: IMAPS, 2017: 417-425.
- [6] RADOJCIC R. More-than-moore 2.5D and 3D SiP integration[M]. Switzerland: Springer International Publishing, 2017.
- [7] KOESTER S J, YOUNG A M, YU R R, et al. Wafer-Level

- 3D integration technology[J]. *IBM Journal of Research & Development*, 2008, 52(6): 583-597.
- [8] HANCOCK T M, DEMMIN J. Heterogeneous and 3D Integration at DARPA[C]//*IEEE International 3D Systems Integration Conference*. Sendai: IEEE, 2019: 27-29.
- [9] ANALOG DEVICES Inc. RF agile transceiver AD9361[DB/OL]. [2022-02-23]. <https://www.analog.com>.
- [10] 李扬. 基于 SiP 技术的微系统[M]. 北京: 电子工业出版社, 2021.
- LI Y. Micro system based on SiP technology[M]. Beijing: Publishing House of Electronics Industry, 2021.
- [11] IPC. Design and assembly process: IPC-7095B-2008[S]//the Device Manufacturers Interface Committee of IPC. Bannockburn, IL: IPC, 2008: 21.
- [12] ZHANG Y, BAKIR M S. Integrated thermal and power delivery network Co-simulation framework for single-die and multi-die assemblies[C]//*IEEE Transactions on Components, Packaging and Manufacturing Technology*. [S.l.]: IEEE, 2017: 434-443.
- [13] MATSUMOTO K, MORI H, ORII Y. Thermal performance evaluation of dual-side cooling for a three-dimensional(3D) chip stack: Additional cooling from the laminate (substrate) side[C]//*International Conference on Electronics Packaging*. [S.l.]: IEEE, 2016: 163-168.
- [14] PANGBORN H C, HEY J E, DEPPEN T O, et al. Hardware-in-the-Loop validation of advanced fuel thermal management control[J]. *J Thermophys Heat Transfer*, 2017, 31(4): 901-909.
- [15] REED W, VON S M, RAJ P. Comparison of heat exchanger and thermal energy storage designs for aircraft thermal management systems[C]//*The 54th AIAA Aerospace Sciences Meeting*. [S.l.]: AIAA, 2016: 1-14.

编辑 税红