

低压 Si MOSFETs 对 SiC/Si 级联器件短路特性的影响



周郁明*, 楚金坤, 周伽慧

(安徽工业大学 安徽省高校电力电子与运动控制重点实验室, 马鞍山 243002)

摘要 由低压硅金属-氧化物-半导体场效应晶体管 (Silicon Metal-Oxide-Semiconductor Field-Effect Transistor, Si MOSFET) 和碳化硅结型场效应晶体管 (Silicon Carbon Junction Field-Effect Transistor, SiC JFET) 构成的 SiC/Si 级联 (Cascode) 器件, 兼具了低压 Si MOSFET 易于驱动、SiC JFET 高耐压低损耗等优点。该文采用实验和数值模拟的方式研究了低压 Si MOSFET 对 SiC/Si 级联器件短路特性的影响, 结果表明, 在短路过程中 SiC/Si 级联器件中的 SiC JFET 最高温度比单独的 SiC JFET 短路时的最高温度低, SiC/Si 级联器件的短路失效时间得到了延长, 并且随着 Si MOSFET 额定电压的增加, SiC/Si 级联器件短路失效延长的时间也在增加。

关键词 泄漏电流; SiC/Si 级联器件; SiC JFET; 短路失效

中图分类号 TN386 **文献标志码** A **DOI** 10.12178/1001-0548.2023050

Effect of Low-Voltage Si MOSFETs on Short-Circuit Characteristics of SiC/Si Cascode Devices

ZHOU Yuming*, CHU Jinkun, and ZHOU Jiahui

(Anhui University Key Laboratory of Power Electronics and Motion Control, Anhui University of Technology, Maanshan 243002, China)

Abstract SiC/Si cascode device, formed by low-voltage Silicon Metal-Oxide-Semiconductor Field-Effect Transistor (Si MOSFET) and Silicon Carbon Junction Field-Effect Transistor (SiC JFET), has several advantages such as low driving-voltage of Si MOSFET, high blocking-voltage, and low loss of SiC JFET. In this paper, the effect of low-voltage Si MOSFET on the short-circuit performance of SiC/Si cascode device has been investigated with experiment and numerical simulation. The results give that during the short circuit, the highest temperature of SiC JFET in the cascode case is lower than that of single SiC JFET case, so the short-circuit failure duration of SiC/Si cascode device is longer than that of single SiC JFET. Moreover, with the increasing in the rated voltage of Si MOSFET, the short-circuit failure duration for SiC/Si cascode device also increases.

Key words leakage current; SiC/Si cascode device; SiC JFET; short-circuit failure

基于碳化硅 (SiC) 宽禁带半导体材料的功率半导体器件具有高临界击穿场强、高电子迁移率、高热导率等特性, 非常适合于电机驱动、电力牵引、分布式电源系统等高效率和高功率密度的应用场合。目前已经商业化的碳化硅功率半导体器件有肖特基二极管 (Schottky Barrier Diode, SBD)、结型场效应晶体管 (Junction Field-Effect Transistor, JFET)、金属-氧化物-半导体场效应晶体管 (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) [1-2]。相较于 SiC MOSFET, SiC JFET 具有更多的优势, 它没有栅极氧化层, 制造工艺更

简单, 成本更低, 也不存在 SiC/Si 界面可靠性的问题, 并且具有更高的电子迁移率、更低的通态电阻和更小的结电容。然而, 出于性能和成本的考虑, SiC JFET 经常被设计成耗尽型器件, 这给习惯应用增强型器件的电路设计人员带来诸多不便。实际应用中, 耗尽型 SiC JFET 可以通过串联一只增强型低压硅 (Si) MOSFET 来实现增强型工作模式, 这一组合称为 SiC/Si 级联 (Cascode) 器件 [3]。SiC/Si 级联器件采用低压 Si MOSFET 的驱动电路, 并具有 SiC JFET 器件的优点, 在高功率、高效率变换器中具有广阔的应用前景 [4-8]。

收稿日期: 2023-02-22; 修回日期: 2023-11-06

基金项目: 安徽省自然科学基金 (2008085ME157); 安徽高校自然科学基金项目 (KJ2020A0247)

作者简介: 周郁明, 博士, 教授, 主要从事新型功率半导体器件及其应用方面的研究。

*通信作者 E-mail: ymzhou@ahut.edu.cn

目前市场上已有 SiC/Si 级联器件产品, 开关特性也得到了系统研究, 结果表明, SiC JFET 串联低压 Si MOSFET 后, 开关速度和开关损耗都得到了改善^[9-13]。与此同时, SiC/Si 级联器件的短路特性也到了研究。文献 [14] 研究了 SiC/Si 级联器件在脉宽为 1.5 μs 、偏置电压为击穿电压 85% 的条件下重复短路脉冲作用下的特性退化情况, 经过 200 个短路脉冲, SiC/Si 级联器件的通态电阻增加了 1.84%, 但阈值电压基本没有变化; 文献 [15] 采用实验和数值模拟方式研究了 SiC/Si 级联器件的短路特性和失效模式, 器件的初始温度对 SiC/Si 级联器件的短路特性影响不大, 数值模拟研究表明, 短路过程中 SiC JFET 耗尽区因热而产生的载流子在 JFET 的栅极形成了较大的泄漏电流, 导致 SiC JFET “热奔”, 而此时低压 Si MOSFET 还能正常关断, 然而, 该文仅分析了 SiC/Si 级联器件的短路失效, 并没有与单独 SiC JFET 的短路失效作对比, 无法评估 SiC JFET 串联低压 Si MOSFET 后短路特性的变化。

SiC/Si 级联器件的特性主要由 SiC JFET 决定, 尽管低压 Si MOSFET 在级联器件中只起到开关控制作用, 然而, SiC/Si 级联器件在器件组合结构上毕竟不同单个的 SiC JFET, 低压 Si MOSFET 对 SiC/Si 级联器件短路特性的影响, 以及低压 Si MOSFET 自身的额定电压对 SiC/Si 级联器件短路特性的影响, 需要得到进一步的研究, 以便进一步明确 SiC/Si 级联器件的短路失效机理。

本文通过实验和数值模拟的方式对比了 SiC/Si 级联器件与 SiC JFET 的短路失效, 分析了 SiC JFET 和 SiC/Si 级联器件在短路失效时刻的温度分布, 研究了 SiC/Si 级联器件中低压 Si MOSFET 对级联器件短路特性的影响, 并讨论了不同额定电压的 Si MOSFET 对 SiC/Si 级联器件短路特性的影响。

1 短路实验

SiC/Si 级联器件是将低压 Si MOSFET 的漏极 (Drain, D) - 源极 (Source, S) 并联在 SiC JFET 的源极 (Source, S) - 栅极 (Gate, G) 之间, 连接方式如图 1 所示, 其中, 图 1a 为级联器件的组成结构示意图, 图 1b 为采用 TO247-3L 封装形式的级联器件的内部连线。

一般而言, 功率半导体器件的短路事件主要在两种故障状态下发生^[16]: 1) 硬开关故障 (HSF); 2) 负载故障 (FUL)。前者是功率半导体器件已

经被短路, 然后功率半导体器件导通, 后者是功率半导体器件已经处于导通状态时负载短路。本文采用第一种方式来研究低压 Si MOSFET 对 SiC/Si 级联器件短路特性的影响, 短路测试电路原理图与实验现场图如图 2 所示, 其中, 图 2a 中 U_{DC} 为直流电源, C_{DC} 为储能电容, DUT 为被测功率半导体器件, U_{D} 为驱动电压, R_{G} 为驱动电阻。

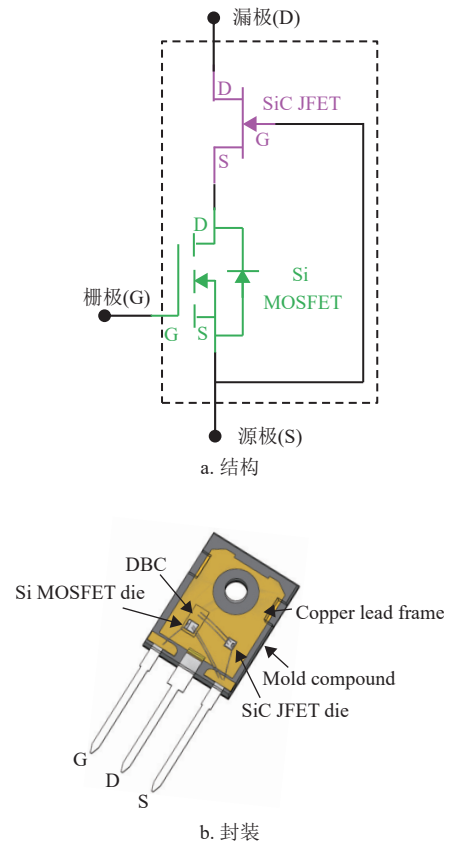


图 1 SiC/Si 级联器件结构及其封装示意图

图 1b 中采用 TO247-3L 封装的级联器件, 短路测试时只能测到整个器件的电压和电流, 这不利于深入分析低压 Si MOSFET 对 SiC/Si 级联器件短路特性的影响。本文短路测试的 DUT, 除了 TO247-3L 封装的 SiC/Si 级联器件, 还有分立的 SiC JFET、Si MOSFET 以及由分立的 SiC JFET 和 Si MOSFET 构成的级联器件, 其中, 分立的 SiC JFET 与 SiC/Si 级联器件来自于同一家厂商, Si MOSFET 为沟槽栅结构, 与所选用的 SiC/Si 级联器件产品手册对其中的 Si MOSFET 的描述保持一致。表 1 列出了所选用的 SiC/Si 级联器件、分立的 SiC JFET 和 Si MOSFET 的型号、参数及其封装形式。

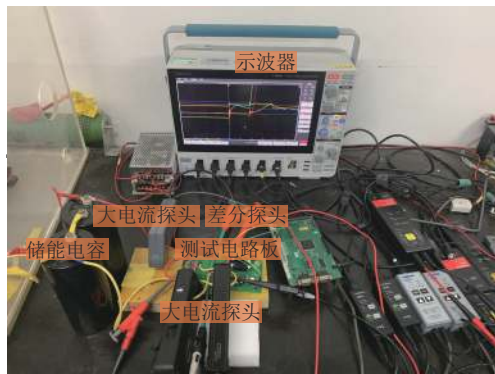
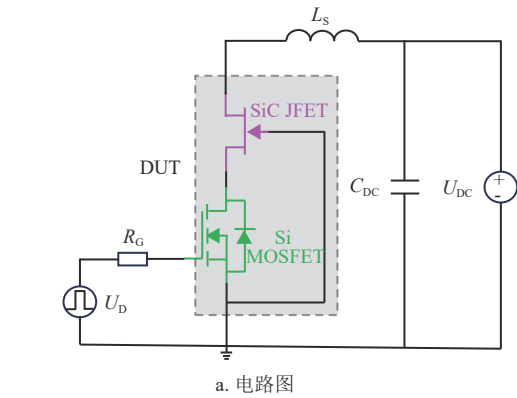


图 2 短路测试电路图及现场图

表 1 实验所用器件型号及其参数

类型	型号	电压/V	电流/A	封装
第三代SiC/Si级联器件	UJ3C065080K3S	650	31	TO247-3L
SiC JFET	UJ3N065080K3S	650	32	TO247-3L
Si MOSFET	SiSHA10DN	30	30	PowerPAK-1212-8

图 3 展示了表 1 所示的器件在短路过程中的电压和电流，包括漏源电压 V_{DS} 、栅极电压 V_{GS} 、漏源电流 I_{DS} 、栅极电流 I_{GS} ，测试时图 3a-图 3c 的直流电源 U_{DC} 为 400 V，图 3d 为 25 V。表 2 总结了图 3 在 4 种测试情况时的短路饱和电流峰值和短路失效时间。

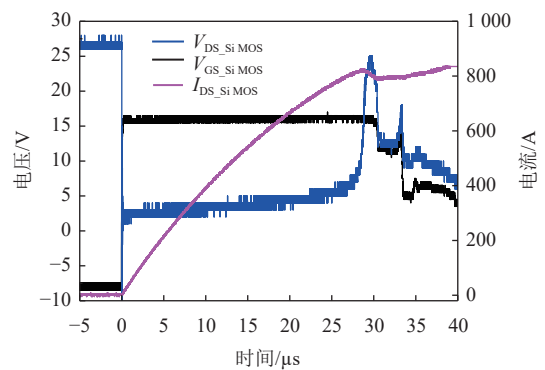
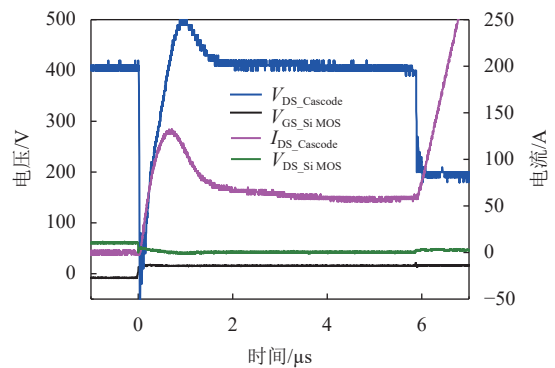
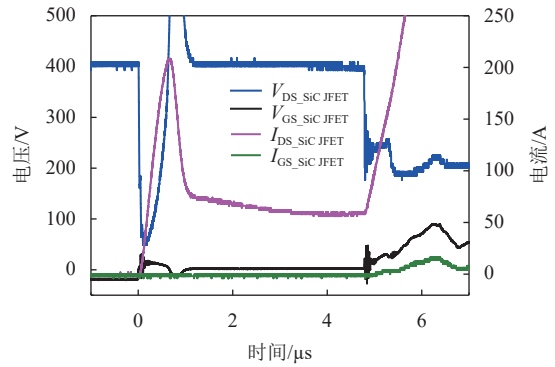


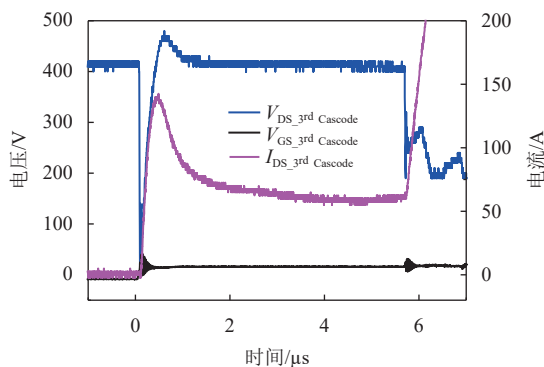
图 3 短路实验曲线

表 2 短路实验结果总结

类型	直流电压/V	饱和电流峰值/A	失效时间/μs
SiC JFET	400	207	4.8
Si MOSFET	25	824	29.5
第三代SiC/Si级联器件	400	140	5.7
分立器件组成的级联器件	400	130	5.9

2 数值模型的建立

利用半导体器件计算机模拟软件 (TCAD) 建立了 SiC/Si 级联器件中 SiC JFET 和 Si MOSFET 的数值模型。表 1 所示额定电压为 650 V 的 SiC JFET，其理论击穿电压一般设计为 800 V，30 V 的 Si MOSFET 的理论击穿电压为 38 V，根据此规则，



TCAD 中建立的 SiC JFET 和 Si MOSFET 的半幅二维数值模型如图 4 所示, 包括 N 型衬底、N 型漂移区、P 型基区、N 型基区, N 型源区、P 型源区和相应的电极, 其中, N 型漂移区和 P 型基区的掺杂浓度和厚度决定了半导体器件的击穿。

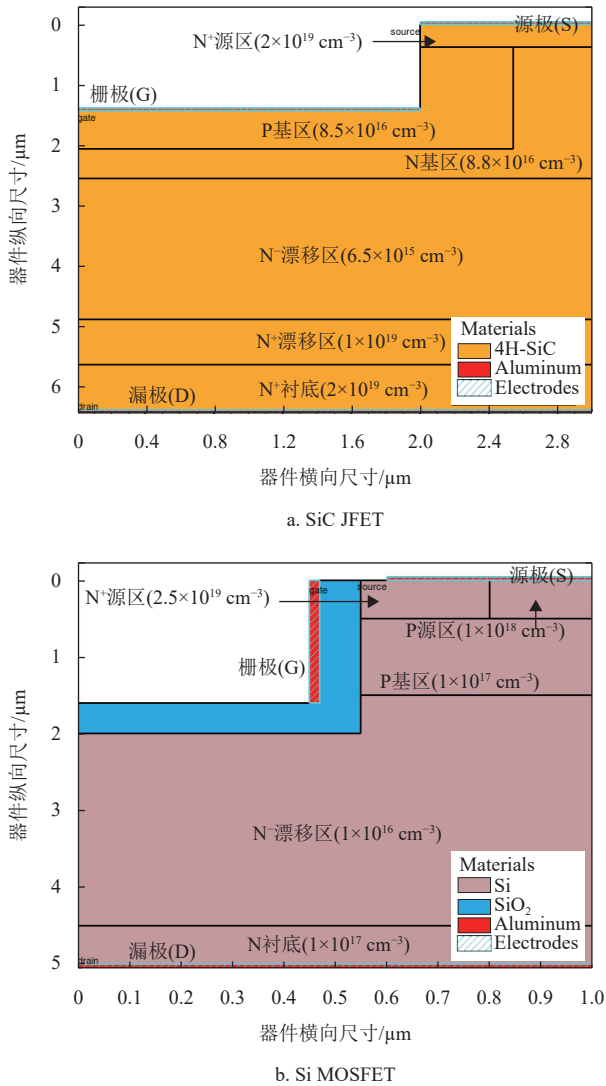


图 4 SiC JFET 和 Si MOSFET 二维数值模型结构

数值模型在模拟短路特性时, 考虑了高温下的带隙变窄效应、载流子复合效应、高载流子密度下的俄歇复合效应, 引入了与温度相关的载流子迁移率模型, 同时, 为了进一步提高模型的精度, SiC JFET 采用了文献 [17] 中与温度相关的热容率。图 5 展示了图 4 所示的 SiC JFET、SiC JFET 与 Si MOSFET 构成的分立级联器件在直流电压为 400 V 时短路过程中的电压和电流, 其中, 描述功率半导体器件短路特征的两个关键参数—短路时的饱和电流峰值和短路失效时间, SiC JFET 分别为 206 A 和 4.86 μs , SiC JFET 与 Si MOSFET 构成的分立

级联器件分别为 132 A 和 5.8 μs , 与表 2 所示的实验结果基本一致。

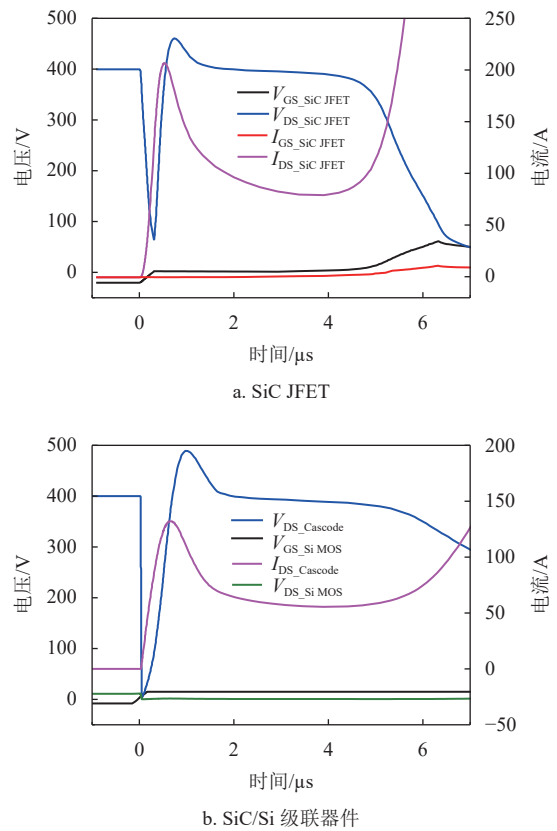


图 5 数值模型的短路失效曲线

3 结果分析

表 2 所示, 由分立器件组成的级联器件和采用 TO247-3L 封装的级联器件它们的短路饱和电流峰值和短路失效时间相近, 但也可以看到, SiC JFET 串联了低压 Si MOSFET 后, 短路失效时间延长了。SiC JFET 串联低压器件后短路失效时间得到了延长, 这个能够从数值模型内的温度分布来分析。图 6 给出了单独的 SiC JFET 和 SiC/Si 级联器件在短路失效时刻器件内的温度分布, 图 7 给出了在短路失效前器件内最高温度的变化。从图 6a 可以看出, SiC JFET 失效时, 最高温度位于从漏极到源极的电流通道上的 N 漂移区, 并向 SiC JFET 的上表面扩散, 导致 SiC JFET 的栅极出现了泄漏电流, 最终在失效时刻, SiC JFET 的栅极电流也出现了失控现象 (见图 3b), 不过栅极泄漏电流的形成最初是从靠近沟道中的温度最高点附近开始, 之后才向左右两侧扩散, 因而栅极泄漏电流上升较为缓慢。当 SiC JFET 与 Si MOSFET 组成级联器件后, 图 6b

所示的 SiC JFET 的高温区位于源极附近区域,并向左右两侧的栅极区域延伸,因而 SiC JFET 的栅极也会出现泄漏电流,这个泄漏电流覆盖整个 SiC JFET 的栅极区域,因此在短路失效后级联器件中的 SiC JFET 栅极泄漏电流快速上升。同时,从图 7 可以看出,在失效前,单独的 SiC JFET 在短路过程中的最高温度一直都比 SiC/Si 级联器件的最高温度高,温度高意味着器件的损耗高,器件发热严重,最终因为热击穿而失效。

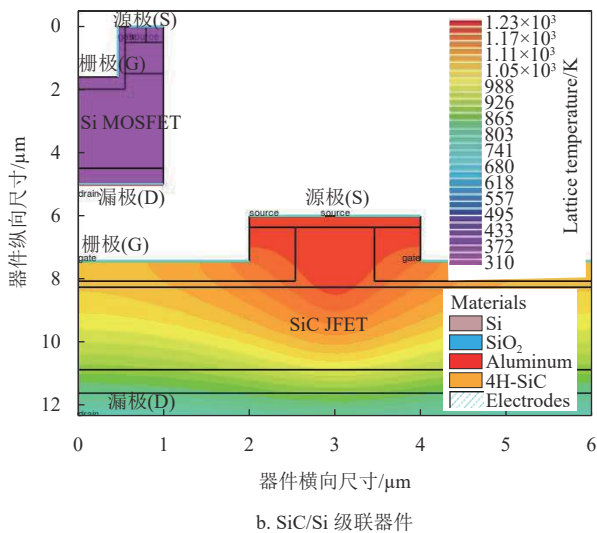
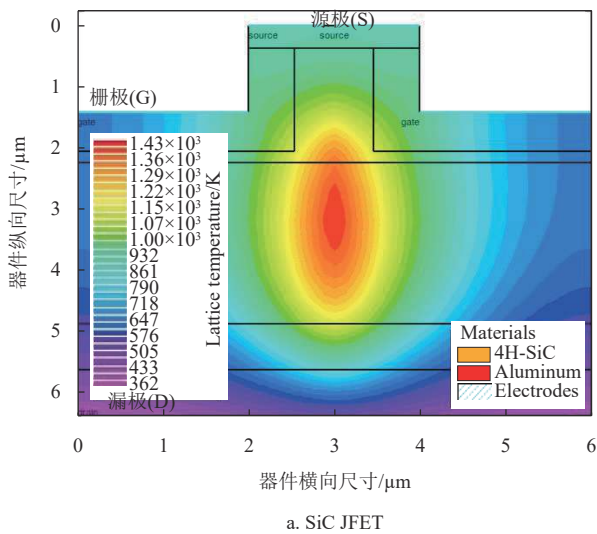


图 6 短路失效时数值模型内的温度分布

形成图 6 和图 7 两种器件内的温度分布差异,与 SiC/Si 级联器件的组成结构有关。导通后的低压 Si MOSFET 等效为一个小电阻,相当于在 SiC/Si 级联器件的短路电流通道上增加了一个小电阻,这个小电阻在一定程度上能降低短路饱和电流的峰值,在一定程度上抑制了 SiC JFET 内的温升,同时器件内的热量也能够扩散到 SiC JFET 的

源极表面,因而形成了图 6b 所示的 SiC JFET 源极表面附近的温度分布。

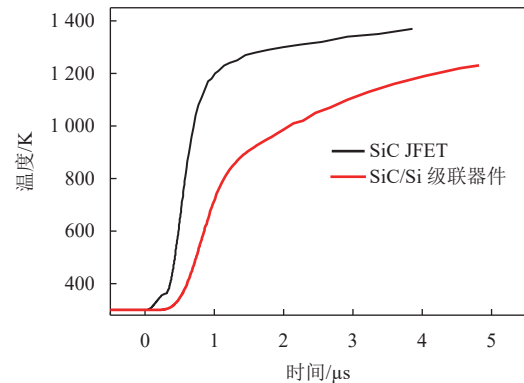


图 7 数值模型在短路失效前的最高温度变化

另外,从图 6b 可以看出, SiC/Si 级联器件失效时 Si MOSFET 内的温度远比 SiC JFET 低,这和图 2d 所示的 Si MOSFET 较强的短路耐受能力有关,因而级联器件短路时先失效的是 SiC JFET。

SiC JFET 串联低压 Si MOSFET 后短路失效时间得到了延长,这个延长时间还与低压 Si MOSFET 自身的额定电压有关。图 8 展示了额定电压分别为 30、40、100 V 的 Si MOSFET 与同一型号的 SiC JFET 构成的分立级联器件的短路失效时的实验波形,可以看出随着 Si MOSFET 额定电压的增加,分立级联器件的短路失效时间也相应增加。在这个实验中,由于用大电流钳测了 SiC JFET 的栅极电流,额外引入了一段导线,这带来了一定的寄生电感,与图 3c 中没有引入额外导线的分立级联器件相比,失效电流上升较为缓慢。

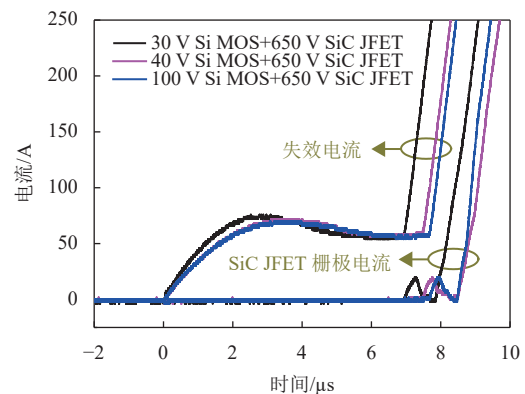


图 8 不同额定电压的 Si MOSFET 构成的分立级联器件短路实验曲线

图 8 中 3 种额定电压的 Si MOSFET 来自于同一厂商、同一种封装,并且额定电流都为 30 A,可以判定随着额定电压的增加, Si MOSFET 的内

阻也增加, 所构成的分立级联器件的短路饱和电流峰值相应降低, 进一步延长了短路失效时间。

图 8 中的 SiC JFET 栅极电流在级联器件失效时快速上升, 达到峰值后又下降, 之后又快速上升。第一个快速上升阶段, 与前述的 SiC JFET 内温度分布有关, 栅极泄漏电流覆盖整个 SiC JFET 的栅极区域, 之后主要受载流子速度饱和以及载流子迁移率负温系数等效应的影响, 泄漏电流到达峰值后又下降, 最终由于栅极区域的反偏 PN 结被击穿栅极电流也出现了失控, 因而级联器件中 SiC JFET 的失效先是漏源极失效, 之后是栅极失效。

4 结束语

本文利用实验和数值模拟的方式研究了低压 Si MOSFET 对 SiC/Si 级联器件短路特性的影响, 结果表明, SiC JFET 串联低压 Si MOSFET 后短路失效时间得到了延长, 数值模拟结果显示, 短路过程中 SiC/Si 级联器件中 SiC JFET 内的最高温度比单独 SiC JFET 的最高温度低。最后讨论了不同额定电压的 Si MOSFET 对 SiC/Si 级联器件短路特性的影响, 结果表明, 随着低压 Si MOSFET 额定电压的增加, SiC/Si 级联器件的短路失效时间也增加。

参考文献

- [1] 文译, 陈致宇, 邓小川, 等. 10 kV SiC LBD-MOSFET 结构与特性研究[J]. *电子科技大学学报*, 2021, 50(4): 520-526.
WEN Y, CHEN Z Y, DENG X C, et al. Design and characteristics of a novel 10 kV SiC MOSFET embedding low barrier diode[J]. *Journal of University of Electronic Science and Technology of China*, 2021, 50(4): 520-526.
- [2] 周郁明, 穆世路, 蒋保国, 等. SiC/SiO₂ 界面态电荷对 SiC MOSFET 短路特性影响的研究[J]. *电子科技大学学报*, 2019, 48(6): 947-953.
ZHOU Y M, MU S L, JIANG B G, et al. Research on the impact of trapped charges at SiC/SiO₂ interface on the short-circuit performances of SiC MOSFET[J]. *Journal of University of Electronic Science and Technology of China*, 2019, 48(6): 947-953.
- [3] XIE R, SHI Y J, LI H. Study of 1200 V SiC JFET cascode device[C]//IEEE 5th Workshop on Wide Bandgap Power Devices and Applications. Albuquerque: IEEE, 2017: 316-320.
- [4] ZHU K, O'GRADY M, DODGE J, et al. 1.5 kW single phase CCM totem-pole PFC using 650V SiC cascodes [C]//IEEE 4th Workshop on Wide Bandgap Power Devices and Applications. Fayetteville: IEEE, 2016: 90-94.
- [5] WU R Z, GONZALEZ J O, DAVLETZHANOVA Z, et al. The Potential of SiC cascode JFETs in electric vehicle traction inverters[J]. *IEEE Transactions on Transportation Electrification*, 2019, 5(4): 1349-1359.
- [6] ZHU K, BHALLA A, DODGE J. Enabling 99.3% efficiency in 3.6 kW totem-pole PFC using new 750 V Gen 4 SiC FETs[J]. *IEEE Power Electronics Magazine*, 2021, 8(4): 30-37.
- [7] WU R Z, GONZALEZ J O, DAVLETZHANOVA Z, et al. Fast switching SiC cascode JFETs for EV traction inverters[C]//IEEE Applied Power Electronics Conference and Exposition. New Orleans: IEEE, 2020: 3489-3496.
- [8] DODGE J. SiC JFET cascode enables higher voltage operation in a phase shift full bridge DC-DC converter [C]//International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management. Nuremberg: VDE, 2016: 484-491.
- [9] MIHAILA A, UDREA F, AZAR R, et al. Analysis of static and dynamic behaviour of SiC and Si devices connected in cascode configuration[C]//International Semiconductor Conference. Sinaia: IEEE, 2001: 333-336.
- [10] ZHAO C, WANG L L, YANG X, et al. Comparative investigation on paralleling suitability for SiC MOSFETs and SiC/Si cascode devices[J]. *IEEE Transactions on Industrial Electronics*, 2022, 69(4): 3503-3514.
- [11] GONZALEZ J O, WU R Z, JAHDI S, et al. Performance and reliability review of 650 V and 900 V silicon and SiC devices: MOSFETs, cascode JFETs and IGBTs[J]. *IEEE Transactions on Industrial Electronics*, 2020, 67(9): 7375-7385.
- [12] SIEMIENIEC R, NOEBAUER G, DOMES D. Stability and performance analysis of a SiC-based cascode switch and an alternative solution[J]. *Microelectronics Reliability*, 2012, 52(3): 509-518.
- [13] ALONSO A R, DÍAZ M F, LAMAR D G, et al. Switching performance comparison of the SiC JFET and SiC JFET/Si MOSFET cascode configuration[J]. *IEEE Transactions on Power Electronics*, 2014, 29(5): 2428-2440.
- [14] MARROQUIA D, GARRIGOS A, BLANES J M, et al. SiC MOSFET vs SiC/Si cascode short circuit robustness benchmark[J]. *Microelectronics Reliability*, 2019, 100-101: 113429.
- [15] AGBO S N, BASHAR E, WU R Z, et al. Simulations and measurements of failure modes in SiC cascode JFETs under short circuit conditions[C]//IEEE 22nd Workshop on Control and Modelling of Power Electronics. Cartagena: IEEE, 2021: 1-7.
- [16] KAMPITSIS G, PAPATHANASSIOU S, MANIAS S. Comparative evaluation of the short-circuit withstand capability of 1.2 kV silicon carbide (SiC) power transistors in real life applications[J]. *Microelectronics Reliability*, 2015, 55: 2640-2646.
- [17] TSIBIZOV A, KOVACEVIC-BADSTUBNER I, KAKARLA B, et al. Accurate temperature estimation of SiC power MOSFETs under extreme operating conditions[J]. *IEEE Transactions on Power Electronics*, 2020, 35(2): 1855-1865.