

# IC-CAD工具中面向学生的软件包\*

黄建文\*\* 李兴伟

(江苏理工大学计算机系 CAT研究室 镇江 212013)

艾西加

(法国国立应用科学学院电气工程与计算机系 Toulouse France 31077)

**【摘要】** 掌握专用集成电路的设计技术是未来电子工程师的必备能力之一,除了理论学习之外, IC-CAD工具的应用及实际电路的测试技术同样是 VLSI电路设计教学中的重要环节。文中从三方面阐述面向学生的 IC-CAD软件: (1) 基于 PC机的 IC-CAD工具概述; (2) 模拟器中基于 PSPICE MOS3模型的演变; (3) 教学专用系列芯片介绍。

**关键词** 专用电路; 计算机辅助设计; 模拟; 测试

中图分类号 TP311.56

## 1 基于 PC机的 IC-CAD工具概述

在 Pentium-PC和 Motorola/IBM 的 Power-PC日益成为主流的今天,工程 CAD市场上,个人计算机已向工作站发起了挑战。基于 PC机平台的 CAD工具,例如全定制 IC设计工具 VIEWLogic Verilog L-Edit 混合 IC设计 模拟器 SMASHZ等,均被认为是高水平的商业化产品。但是 IC-CAD教学软件并非是工业软件的简化,它应该具备以下的一些特点: 1) 充足的教学信息(基础知识教育 示范元件库); 2) 价格具备竞争力; 3) 转换为工业标准的可能性; 4) 支持多种设计规则; 5) 易学易用,便于学生在规定的时间内完成作业; 6) 完全的配套教材。

本文阐述的计算机辅助教学软件“ME”(Micro-Electronics CAD tool)基本上满足上述要求,已在一些大学中获得应用。图 1是“ME”的 20学时教学流程图。

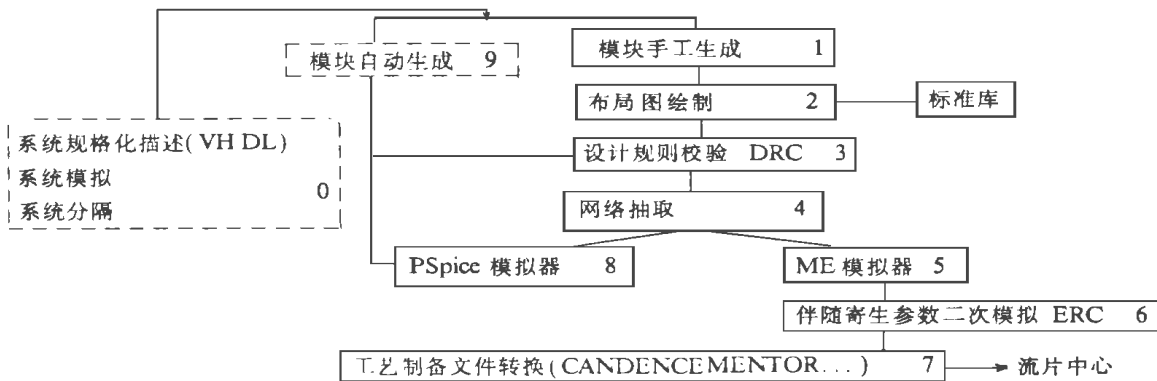


图 1 ME教学流程图 (虚线框内为另设的课程)

1996年 8月 20日收稿,1996年 10月 3日修改定稿

\* 法定高等教育与研究部基金资助

\*\* 女 56岁 教授

图 2 所示是“ME 的核心部分: 布局图绘制及模拟窗口。

图 2 中右上部分为工具图标 (如绘制分层图、删除、拷贝、粘贴、放大、缩小、设计规程校验、插入接触孔、插入标准焊盘等), 右中间部分为“ME 模拟器”工具图标, 右下部分为分层调色板。其中一些图标是专为教学目的而设置的, 例如:

\* 点击工具条中左列 6, 即可观察所选器件 (NMOS/PMOS) 的漏极特性或转移特性;

\* 点击工具条中右列 5, 以工艺分辨率  $\lambda$  为单位, 度量布局图的几何尺寸等。此外, “ME”支持多种设计规程, 其布局图描述文件可转换为 CANNENCE, MENTOR 等工业格式, 见表 1

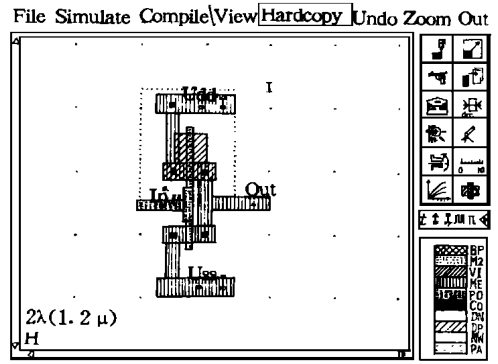


图 2 布局图绘制窗

表 1 “ME”支持的设计规则一览表

文件	描述	文件	描述
MSK.RUL	默认	MHS06.RUL	MHS 0.6 $\mu$ m CMOS 技术
ECPD12.RUL	ES 21.2 $\mu$ m CMOS 技术	AMS12.RUL	AMS 1.2 $\mu$ m BiCMOS 技术 (CMOS 和 NPN 混合设计)
ECPD10.RUL	ES 21.0 $\mu$ m CMOS 技术	AFFO12.RUL	1.2V/2 $\mu$ m 低功耗技术
JESSI05.RUL	JESSI 0.5 $\mu$ m CMOS 技术		

“ME 模拟器”在设计过程中提供了各种必要的模拟信息。为了缩短学生与工业界的距离, 其布局图网络抽取表同时转为 PSpice 的文件格式。例如, 反相器布局图 INV.MSK (见图 2) 自动转换为 PSpice Level3 的描述文件 INV.CIR 如下:

```

* IC Technology: ES21.2 CMOS 2 metal
VDD 10 DC 5.0
V5 50 PULSE(0.00 5.00 1.50N 0.50N 0.50N 1.50N 4.00N)
* List of node numbers
* "Out" correspond to 5
* "In" correspond to 5
C3 30 24.668fF
C5 50 27.306fF
MN10530 TN W= 3.60U L= 1.20U
MP11531 TP W= 9.00U L= 1.20U
* n-MOS Model
.MODEL TN NMOS LEVEL= 3
VTO= 0.75 KP= 85.000E- 6
* p-MOS Model
.MODEL TP PMOS LEVEL= 3
VTO= - 1.10 KP= 31.000E- 6
+ LD= 0.100U THETA= 0.100
GAMMA= 0.300
+ PHI= 0.700 LAMBDA= 0.050
VMAX= 130.00K
* Transient analysis
.TRAN 10PS 10.00N
.PROBE
.END
    
```

## 2 MOS器件模型

CMOS电路设计深入教育的内容之一是学习 MOS模型,及模型参数对器件特性的影响。考虑到 PC机的运行速度,教学模型在所研究范围内作了必要的简化。

对于短沟道器件(0.7~1.2 $\mu$ m),“ME模拟器”计及以下三方面对传统模型的影响:(1)沟道长度的调制效应;(2)载流子的速度限制;(3)衬底体效应对迁移率的影响。

下面给出“ME”中短沟道的器件模型,它是在 PSpice Level3基础上的简化模型<sup>[2]</sup>。由后述实验结果显示,这种简化缩短了模拟时间,与器件分段实验的结果基本吻合。

截止区:

$$V_{gs} < 0, I_{ds} = 0$$

正常区:

$$V_{gs} > V_{on}$$

(当  $V_{ds} < V_{sat}$  工作于线性区,当  $V_{ds} > V_{sat}$  工作于饱和区)

$$I_{ds} = K_{eff} \frac{W}{L_{eff}} (1 + KAPPA \cdot V_{ds}) V_{de} (V_{gs} - V_t) - \frac{V_{de}}{2}$$

$$V_{on} = 1.2V_b$$

$$V_t = V_b + GAMMA(\overline{PHI} - \overline{V_b} - \overline{PHI})$$

$$V_{de} = \min(V_{ds}, V_{dsat})$$

$$V_{dsat} = V_c + V_{sat} - \sqrt{V_c^2 + V_{sat}^2}$$

$$V_{sat} = V_{gs} - V_t$$

$$V_c = V_{max} \frac{L_{eff}}{0.06}$$

$$L_{eff} = L - 2LD$$

$$K_{eff} = \frac{KP}{(1 + THETA(V_{gs} - V_t))}$$

亚阈值区: (计算电流时以  $V_{on}$  替代上式中的  $V_{ds}$ )

$$V_{gs} < V_{on}$$

$$I_{ds} = I_{ds}(V_{on}, V_{de}) \exp(qV_{gs} - V_{on}) / 2KT)$$

以上各式中参数的定义如表 2 所示

表 2 主要参数的定义

符号	定义	备注
$W$	沟道宽度 ( $\mu$ m)	基本参数
$L$	沟道长度 ( $\mu$ m)	基本参数
$V_b$	零偏置阈值电压	基本参数
$LD$	沟道长度调制系数	短沟道效应系数
$KP$	传输电导系数	基本参数
$PHI(O)$	表面电势值	阈值电压影响参数
$GAMMA(V)$	体效应系数	阈值电压影响参数
$KAPPA$	饱和场因子	基本参数
$THETA(\theta)$	迁移率调制系数	迁移率参数
$V_{max}$	载流子最大漂移速度	基本参数

图 3 是样本芯片的模拟结果和实测结果对照图,图中实线为模拟值, - □ - 为实验结果。

图 3 中通过改变表 1 的参数表明,  $V_{max}$  对于饱和区和区有较大的影响,若假设载流子的速度不会饱和,则输出特性即近似为 PSpice Level1 的模拟结果;当  $V_{ds}$  较小时,可从曲线的变化看到 KP 对于线性性区的  $\Delta I_{ds}$   $\Delta V_{ds}$  起主要作用。

当前,半亚微米 CMOS5 金属层技术已用于 32 位微处理器(例如 PENTIUM),利用该技术设计 ASIC 已成为一种趋势。但是半经验的 Spice Level3 模型在模拟低于  $0.7\mu\text{m}$  技术的 IC 时显示较大的不适应性,因而基于 BSIM3(Berkeley)的简化模型及其实验正在引入“ME 模拟器”的新版本。

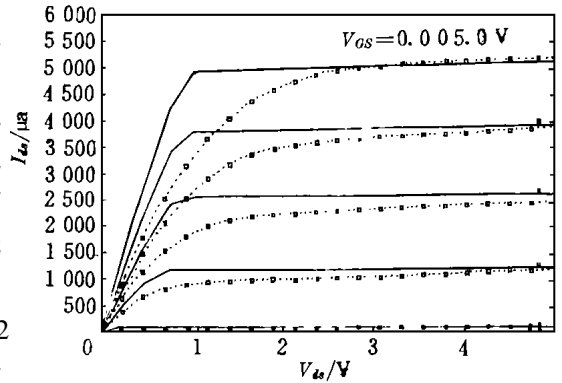


图 3 样本芯片的漏极特性

### 3 教学专用芯片系列

在 CAD 模拟器上得到的结果是基于模型的,由于工艺参数的差异、环境的改变、焊盘及引线的影响等原因,将使得真实器件的特性与模型之间存有较大的差异,容易造成设计人员(特别是尚没有经验的学生)的设计误区。因而必须引导学生重视对于真实电路的测试实验。

与“ME”CAD 配合的专用实验芯片有三类<sup>[3]</sup>: 1) 基础类; 2) 混合 IC 类; 3) IEEE 测试标准及内建测试类。目前已实用的是基础类 JISI-94 专用芯片,及虚拟仪器接口专用电路 JISI-95 表 3 列出 JISI-94 的实验内容(JISI-94-1 应用  $1.0\mu\text{m}$  技术; JISI-94-2 应用  $0.7\mu\text{m}$  技术)。

表 3 具体实验内容

实验名称	内 容
MOS 器件特性	$W/L=12/1\mu\text{m}$ P-沟道 MOS 管 $W/L=6/1\mu\text{m}$ N-沟道 MOS 管 $W/L=16/1\mu\text{m}$ N-沟道 MOS 管
CMOS 反相器	$W/L=6/1\mu\text{m}$ N-MOS, $15/1\mu\text{m}$ PMOS $W/L=18/1\mu\text{m}$ N-MOS, $33/1\mu\text{m}$ P-MOS
逻辑门和故障模型	2 输入与非门; 3 输入或非门; 2 输入异或门; 传输门; 分频器; 可控制故障模型等
D 触发器(锁存器)	特征分析器 SA 的应用; BILBO(内建逻辑模块观察器)
模拟电路	运算放大器; 比较器; 输入级保护电路
特殊电路	CrossTalk 效应检测; 压控振荡器 VCO
集成传感器	光敏传感器

表 3 中的实验除保持一定的传统内容外,增加了 IC-CAT 的典型模块(如特征分析器、内建逻辑模块观察器)及一些特殊的电路(如 CrossTalk 效应检测、压振荡器)。根据 CrossTalk 效应检测器的原理已制成集成传感器,利用它所做的实验结果与仿真结果较为接近(注: CrossTalk (CT) 现象是一种由 IC 金属层之间的分布寄生参数产生的耦合现象,在高速 VLSI 电路的研究中十分重视

对它的分析<sup>[4]</sup>。

设  $\Delta V$  是因 CT 现象引起电路功能错误的最小耦合噪声电压,表 4 给出用仿真法和 CT 传感器测量法得到的  $\Delta V$  值。表中 Walker 法和有限元法是计算寄生电容的方法, $\Delta V$  的仿真值是假设衬垫与最近接地点的体电阻是  $2\text{ k}\Omega$  时用 PSpice 传输线模型得到的结果; $\Delta V$  的测量值是通过传感器由瞬态示波器记录的结果<sup>[4]</sup>。

表 4  $\Delta V$  值 ( $C$  的单位  $10^{-18}\text{ F}\cdot\text{m}$ )

寄生电容	$C_1$	$C_2$	$C_{12}$	$\Delta V/V$
Walker 法	24	21.2	4.5	1.3
有限元法	34	29.3	4.2	1.16
测量				1.45

注:  $C_1$  为金属层 1 对衬底电容;  $C_2$  为金属层 2 对衬底电容;  $C_{12}$  为金属层 1, 2 间的电容

中法两校关于本文宗旨的合作仍在继续,作者感谢所在研究室的帮助。特别对电子科技大学(成都)出版社给予出版配套教材的热忱支持表示谢意。

### 参 考 文 献

- 1 Coutours B. CAD and testing ICs and systems, where are we going? TIM A, France: Grenoble, 1994
- 2 Sicard E. Introduction to microelectronics, V. 5. 1, Langage Informatique, France: Toulouse, 1995
- 3 黄建文,艾西加.微电子电路 CAD/CAT 导论.成都:电子科技大学出版社,1996
- 4 Fournol Y, Sicard E. Sensors for crosstalk measurement. Proceedings of the IEEE EMS Symposium, Chicago, 1994

## A Student-oriented Package in IC-CAD Tool

Huang Jianwen      Li Xingwei

(Jiangsu University of Science & Technology    Zhenjiang    212013)

Sicard E

(INSA-DGEI France    Toulouse    31077)

**Abstract** ASIC design technology is an important capacity of the future electronics engineers. Except the theoretical presentations, the CAD tool applications and realistic chips measurements are also included in advance training courses of VLSI. This paper states a student-oriented package in the following aspects: 1) A PC-based IC-CAD tool is presented briefly; 2) modifications and computation of MOS model, which is based on Pspice level 3 model is extended; 3) the specific education chips, realized in INSA are stated.

**Key words** application specific integrated circuits; computer aided design; simulation; measurement

编辑 徐安玉