

## 测试产生的神经网络方法及若干问题研究\*

潘中良\*\* 陈光

(电子科技大学 CAT 室 成都 610054)

**【摘要】** 介绍了在微机上开发的一种基于神经网络的测试生成系统结构,详细讨论了系统中各模块的实现方案。从提高效率的角度,对电路测试生成中神经网络这一方法的发展及今后须解决的问题做了讨论。

**关键词** 数字电路; 测试图形产生; 神经网络; 电路结构分析; 优化算法

**中图分类号** TN407; TP11

测试图形产生是 VLSI 测试最重要的问题之一,随着电路的集成度和复杂性的日益提高,迫切需要一些新的测试生成方法。文献 [1] 中首次提出用神经网络方法实现数字电路的测试生成,把测试问题转化为计算被测电路对应的一种约束网络能量函数的最优解,文献 [2~4] 等对各自的电路结构类型分别讨论了使用神经网络方法的可行性。基于我们已有的研究<sup>[5,6]</sup>,在 PC486 上我们研制成功了一种神经网络数字电路测试图形产生系统,本文较详细地讨论系统中各模块的实现方案。这种测试生成系统用 C 语言开发,有良好的用户界面,操作简便。为进一步提高方法的效率,本文指出了影响方法性能的因素,和可以采用的若干技术策略。

### 1 方法原理

数字电路中的每条信号线  $x_i$ , 只取 0, 1 二值, 因此可用一个神经元来表示, 这种神经元有激活值  $V_i$  (取 0 或 1) 和阈值  $I_i$ 。把相邻的神经元用直接连线相连, 它们之间的权值记为  $T_{ij}$  ( $T_{ij} = T_{ji}$ ,  $T_{ii} = 0$ ), 从而可对每一基本门电路构造一种 Hopfield 神经网络。显然, 这样的构造方法有多种。在我们开发的测试系统中, 使用表 1 所示的基本门电路的能量函数。其中能量函数具有如下特点: 变量的值满足门的真值时为零, 否则大于零。

被测电路对应的神经网络由组成它的基本门电路的各网络互连构成, 被测电路的能量函数由各网络的能量函数相加。可对相关神经元的阈值  $I_i$ , 权值  $T_i$  作调整, 以简化神经网络的结构。生成故障的测试图形时, 需对故障电路与无故障电路分别建立相应的网络, 然后把它们的输出用一个接口电路相连。单输出电路, 接口电路由一个非门构成; 输出端数为  $n$  的多输出电路, 接口电路由  $n$  个异或门和一个输出端的值固定为 1, 具有  $n$  个输入的或门构成。这样构成的电路称为被测电路的约束网络。对图 1a 所示电路, 若需对线 4 的  $s-a-1$  故障产生测试, 则其约束网络如图 1b 所示。

生成故障对应的测试图形, 实质上是求使被测电路对应的约束网络能量函数的一个极小值点, 此时极小值点使能量函数值为零。

1996 年 7 月 8 日收稿, 1996 年 9 月 9 日修改定稿

\* 国家“八五”重点科技攻关项目

\*\* 男 30 岁 博士生

表 1 几种基本门的能量函数

名称	输入	输出	能量函数
与门	$a, b$	$c$	$-4c(a+b) + 2ab + 6c$
或门	$a, b$	$c$	$-4c(a+b) + 2ab + 2a + 2b + 2c$
非门	$a$	$b$	$4ab - 2a - 2b + 2$
与非门	$a, b$	$c$	$4c(a+b) + 2ab - 4a - 4b - 6c + 6$
或非门	$a, b$	$c$	$4c(a+b) + 2ab - 2a - 2b - 2c + 2$

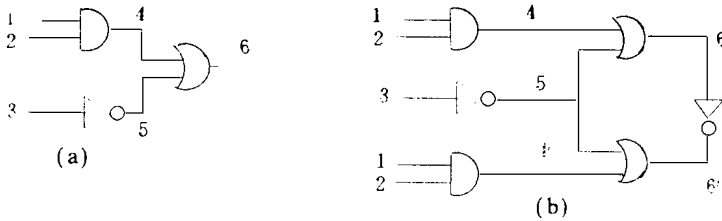


图 1 约束网络

## 2 测试生成系统结构

系统由电路描述、预处理、神经网络建立、测试图形产生、结果输出等模块组成。

### 2.1 电路描述

除采用标准的电路描述语言 CDL 作为电路网表与逻辑模型的输入之外,同时定义了被测电路较简单的描述形式 std 格式。利用这种格式,可节省电路描述与测试系统的内部数据结构之间的转换时间。以 ISCAS 85 中电路 C17 为例。

C17 的 CDL 描述:

```

IN /1GAT, 2GAT, 3GAT, 6GAT, 7GAT//
OUT /22GAT, 23GAT//
FOUT /3GAT /8FAN, 9FAN /
NAND /1GAT, 8FAN /10GAT /
NAND /9FAN, 6GAT /11GAT /
FOUT /11GAT /14FAN, 15FAN /
NAND /2GAT, 14FAN /16GAT /
FOUT /16GAT /20FAN, 21FAN /
NAND /15FAN, 7GAT /19GAT /
NAND /10GAT, 20FAN /22GAT /
NAND /21FAN, 19GAT /23GAT /
END
    
```

C17 的 std 描述:

```

1 2 3 6 7
22 23
0 3 8 9
- 1 1 8 10
- 1 9 6 11
0 11 14 15
- 1 2 14 16
0 16 20 21
- 1 15 7 19
- 1 10 20 22
- 1 21 19 23
- 9
    
```

在 std 格式中, 0 表示扇出; - 9 表示结束。几种基本门对应的数字表示如下: 1- AND, - 1- NAND, 2- OR, - 2- NOR, 3- NOT, 4- XOR。用 std 格式描述组合电路, 在对电路的所有引线进行编号时, 编号的原则是门的输出引线的编号大于其所有输入引线的编号。

## 2.2 预处理

预处理模块的第一个功能是完成电路分块,采用的方法是将被测电路划分为若干个锥体,对多输出电路,一个锥体由影响某一个主输出端的所有信号线构成。生成测试时,只需对故障能影响的某个主输出端所对应的锥体构造神经网络,并计算其极小值点,以降低神经网络中神经元个数,及整体上的计算复杂性。由于我们只定义了二输入基本门电路对应的网络,因此对三个以上的多输入门,将其自动转化为二输入门的情形,是预处理模块的第二个主要功能。需要指出的是,在被测电路的测试集生成时,不对由于此原因而增加的信号线产生测试。

## 2.3 神经网络建立

建立被测电路的网络时,对相关神经元的阈值  $I_i$ 、权值  $T_{ij}$  作调整,以简化约束网络的结构。在构造被测电路对应的约束网络时,我们不采用文献 [1] 中提出的方法。例如,对图 1 a 所示电路,采用图 1 b 的约束网络形式,可部分精简网络中神经元的个数。

## 2.4 测试图形产生

此模块的功能是对已构造的神经网络,用多种方法计算该网络能量函数的极小值点,以产生故障线的测试图形,并生成测试集、不可测故障表、故障覆盖率等多种测试信息。计算网络能量函数极小值点的算法,我们完成了两种方法以供选择: 1) Cauchy 机方法。此方法是对神经元的状态进行转移的快速优化方法,具有较好的并行处理特性。2) 研制成功一种改进梯度算法。由于网络能量函数的特殊性,用这一方法可保证算法的下降性,并可获得全局最优解。

# 3 性能分析

利用神经网络的若干优良特性进行电路的测试图形生成,与传统方法比较有其独特的一些优势。下面讨论影响这一方法性能的因素,并提出多种策略。

1) 被测电路对应约束神经网络的选择。采用上述讨论的方法获得的神经网络,对被测电路而言可能不是最优的。最优网络的判定及选取,关系到整个测试算法的复杂性问题。文献 [7] 等讨论了这一问题,但其讨论还只停留在理论上,需进一步研究实用的方法。

2) 网络中神经元值的确定。这一点关系到能量函数中变量的个数。在我们开发的测试系统中,可用敏化、多级蕴涵等确定一些神经元的取值,这实质上是利用了电路的部分结构信息。进一步的研究应充分利用被测电路的拓朴结构,以确定更多神经元的取值。

3) 电路分块及计算能量函数极小值点方法的选择。除采用锥体分块对被测电路进行划分之外,我们在文献 [6] 中提出了对一般的电路分块,用神经网络技术产生测试的方法,对被测电路进行适当的分块可降低约束网络的规模。

4) 与其他测试技术结合。把被测电路表示为 Hopfield 神经网络模型,进行测试图形生成,实质上是测试生成问题数学化,这会造成不能尽可能利用被测电路的某些结构信息。近年来,非接触诊断技术已取得一些进展,把这两种方法相结合,可望取得较好的效果。

# 4 实验结果

用研制的测试生成系统,我们对  $C_{17}$  和 Schneider 电路进行测试图形产生,表 2 给出了实验结果,是在 AST486/66 上完成的。都选用 Cauchy 机方法计算约束网络能量函数的极小值点,对  $C_{17}$  电路生成测试时采用了锥体划分。

表 2 部分实验结果

电 路 名	总故障数	生成测试图形数	故障覆盖率	测试集生成时间 /s
C <sub>17</sub>	22	12	100%	0.43
Schneider	24	10	100%	0.65

## 5 结 束 语

本文介绍了在微机上开发的一种基于神经网络方法的测试生成系统,实验结果说明了系统是有效的。文中也讨论了影响方法性能的若干因素,提出了改善效率的多种策略。将该系统进行改进,以进一步提高其性能,我们将在今后进行深入研究。

## 参 考 文 献

- 1 Chakradhar S T. Toward massively parallel automatic test generation. IEEE Trans on CAD, 1990, 9 (9): 981- 994
- 2 Ortega Generalized Hopfield neural network for concurrent testing. IEEE Trans on Computer, 1993, 42(8): 898- 911
- 3 Chakradhar S T. Energy minimization and design for testability. Journal of Electronic Testing: Theory and Application, 1994, 5: 57- 66
- 4 Zai Zhang. A neural network algorithm for testing stuck-open faults in CMOS combinational circuits. Journal of Electronic Testing: Theory and Application, 1993, 4: 225- 235
- 5 Pan Z L, Chen G J. The automatic knowledge acquisition of CAT expert system. Proc Pacific-Asia Conf on Expert System, 1995, 538- 539
- 6 Pan Z L, Chen G J. A neural network approach for testing large circuits. IEEE Intel. Conf on Neural Network and Signal Processing, 1995, 465- 468
- 7 张 中, 魏道政. 逻辑电路神经网络模型. 电子学报, 1993, 21(8): 77- 81
- 8 焦李成. 神经网络系统理论. 西安: 西安电子科技大学出版社, 1992

## Neural Network Method of Test Pattern Generation and Some Problems in Design

Pan Zhongliang      Chen Guangju

(CAT Lab, UEST of China    Chengdu    610054)

**Abstract** A test pattern generation system implemented with neural network method is introduced in this paper. The system consist of circuit description, preprocessing, the build of neural network, test pattern generation and test informations module. A lot of strategies are discussed to improve the performances of the method, such as the selection of constrained network that accords with the circuit under test, evaluating the values of neurons, circuit partition, the selection of optimization algorithms. Some problems in the test pattern generation method based on neural network is presented and discussed. The experimental results indicate the test system is effective.

**Key words** test pattern generation; neural network; constrained network; optimization algorithms

编辑 徐安玉 黄 辛