

## 测试图形生成的遗传算法研究\*

潘中良\*\* 陈光

(电子科技大学 CAT 研究室 成都 610054)

**【摘要】** 提出了一种用于组合电路测试图形生成的遗传算法。该算法把被测电路的测试生成问题转化为计算一种约束函数的最优解,可充分利用电路的结构信息。为故障节点生成测试时易于操作,且无需经过故障模拟,就可保证对所有可测的单固定型故障及多故障有较高的故障覆盖率。

**关键词** 组合电路; 测试生成; 特征函数; 遗传算法

**中图分类号** TN407; TP11

对一个电路的测试,其目的是发现电路中的故障,以便把有故障电路与无故障电路加以区别。测试生成(ATPG)的任务就是要为被测电路寻找能够检查该电路全部故障的一组输入图形,目前许多用于组合电路的测试生成方法(如 D 算法、FAN 算法等),都采用固定型故障模型,使用电路的拓扑结构信息。由于故障的传播及一致性检验等复杂操作,对规模较大的被测电路(CUT),用这类确定型算法生成测试图形已遇到很大困难。随着电路复杂性的不断提高,迫切需要新的有效的测试生成方法。本文提出一种新的组合电路测试图形生成方法——遗传算法。首先对各种基本门电路定义特征函数,然后用遗传算法计算与 CUT 相对应的一种函数的最小值点,即可获得故障线的测试图形。实验结果表明,该方法故障覆盖率较高,可以方便地生成多故障的测试,同时具有良好的内在并行性,易于在多处理机并行系统上实现。

## 1 测试生成

### 1.1 遗传算法

遗传算法(GA)最早由密执根大学的 John Holland 教授及他的同事提出<sup>[1~3]</sup>。这种算法模仿达尔文的生物进化论,根据优胜劣汰等自然进化规则,对包含可能解(个体)的种群反复使用基于遗传学的操作,生成新的种群,同时搜索最优解,从而使问题的解不断“进化”,以求得满足要求的最优解。从微观的角度看,遗传算法是一种随机算法;从宏观的角底看,它又具有一定的方向性,因此它不同于一般的随机算法。GA 不仅使搜索一个问题时潜在解范围更大,而且提供了复杂空间量的鲁棒性搜索。问题越复杂,目标越不明确,其优越性越大。因此 GA 在优化计算、搜索和人工智能方面有着广泛的应用潜力。

GA 的三个基本操作是选择、交叉和变异。选择是根据个体的适值在当前种群中随机地选择可以作为父本的个体,选择的标准体现在适值较大的个体被选中的概率较大。交叉是按一定的概率随机地选择匹配对,然后随机地互换每一匹配对中两个个体的一部分,形成后代个体。变异是按一定的概率随机地改变个体中某一位的值,即取反。

1996 年 7 月 8 日收稿,1997 年 4 月 22 日修改定稿

\* 国家“八五”重点科研项目

\*\* 男 31 岁 博士生

## 1.2 测试生成方法

对构成组合电路的基本门电路,按表 1 的形式定义特征函数,这些函数的值当变量满足门的真值时为 0,不满足时为 1

表 1 几种基本门电路的特征函数

名称	输入	输出	特征函数
与门	$a, b$	$c$	$ab + c - 2abc$
与非门	$a, b$	$c$	$1 + 2abc - ab - c$
或门	$a, b$	$c$	$a + b + c + 2abc - ab - 2ac - 2bc$
或非门	$a, b$	$c$	$1 + 2ac + 2bc + ab - a - b - c - 2abc$
非门	$a$	$b$	$ab + (1 - a)(1 - b)$
异或门	$a, b$	$c$	$a + b + c - 2(ab + bc + ac) + 4abc$

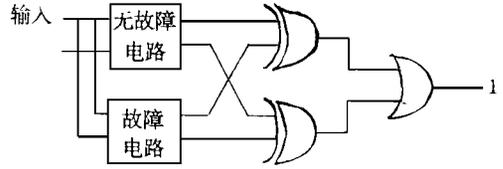


图 1 约束网络

电路中某节点有故障 ( $s = a = 0$  或  $s = a = 1$ ),如果能找到电路的一组输入,使电路在无故障与有故障时的输出不同,则这组输入就为该故障的一个测试。把无故障电路与有故障电路(已注入故障)用一个接口相连(对单输出电路接口由一个非门组成;对多输出电路接口由多个二输入的 XOR 门和一个 OR 门构成,并且这个 OR 门的输出为 1,见图 1),组成一约束电路,称为

CUT 的约束网络。通过组成 CUT 各基本门电路的特征函数相加,可得到与 CUT 相对应的一个函数  $f$ 。

由被测电路的约束网络结构及特征函数的性质可知:若给定的故障可测,则函数  $f$  的最小值点为故障的测试。我们用一种改进的遗传算法计算  $f$  的最小值点,以产生故障节点的测试图形,实现过程如下:

### 算法 1

设种群中个体的数目为  $m$ ,每一个体用位串  $Z = (x_1, x_2, \dots, x_n)$  表示,第  $t$  代种群记为  $P_t$ ,置  $t = 0$

0

- 1) 随机产生一个由  $m$  个位串  $Z_i (i = 1, 2, \dots, m)$  组成的初始种群  $P_0$ ;
- 2) 计算种群  $P_t$  中每一个体  $Z_i$  对应的适值  $f_i$ ;
- 3) 求出  $f_i (i = 1, 2, \dots, m)$  中的最大值与最小值(分别记为  $f_{\max}$  与  $f_{\min}$ );
- 4) 如果  $f_{\max}$  与  $f_{\min}$  不相等,则把  $f_{\max}$  所对应的位串用  $f_{\min}$  所对应的位串取代(繁殖使约束函数  $f$  的值较小者的位串);
- 5) 按式 (1)、(2) 计算每一个体的选择率  $P_i$ ; 进行  $m$  次随机试验,从种群中选择  $m$  对个体

$$P(z_i^t) = 1 - \frac{[f(z_i^t) - f_{\min}(\cdot)]^2}{\sum_{j=1}^m [f(z_j^t) - f_{\min}(\cdot)]^2} \quad (1)$$

$$f_{\min}(\cdot) = \min\{f(z_j^t) : j = 1, 2, \dots, m\} \quad (2)$$

6) 从步骤 5 选出的个体中随机选择交配对象,随机选择交叉点,产生新的个体。交叉的方法为:如果选出一对个体为  $A, B$ ,随机选择二交叉点,将  $A, B$  依次分成  $A_1, A_2, A_3$  和  $B_1, B_2, B_3$  三部分,则新个体由  $A_1, B_2, A_3$  三部分构成;

7) 按变异率  $P_m$  对种群中的个体进行变异;

8) 在当前种群中随机选出一个个体,将其从种群中移去,把上一代中性能最好的一个个体增加到当前种群中;

9) 置  $t = t + 1$ ; 返回步骤 2,直至求出  $f(x)$  的最小值点的计算时间超过了一预先确定的上限。

算法 1 中,个体  $Z$  的适值取为  $f(Z)$  的值  $f_i$ ,这里适值越小的个体,它的性能越好。由式 (2) 可知,性能好的个体它的选择率越大。为使种群  $P_t$  中的个体能较快地收敛到  $f(x)$  的最小值点,在算法 1 的实现时还可以使用如下三条措施:

1) 在算法的步骤 1 中初始种群的选择是任意的,但由于电路测试生成的特殊性,对具体的被测电路,根据它所含基本门的种类和电路的结构特征,通过分析(例如依据故障传播和通路敏化的条件)能找到一个性能较优的初始种群。

2) 对图 2 所示的  $C_{17}$  电路,如果需要产生信号线 1 GAT 的  $s-a-1$  故障的测试图形,首先注意到这一故障只能传播到原始输出端 22 GAT,因此只考虑信号线 1 GAT, 2 GAT, 3 GAT, 6 GAT, 10 GAT, 11 GAT, 16 GAT, 22 GAT, 把它们取值分别记为  $x_1, x_2, x_3, x_6, x_{10}, x_{11}, x_{16}, x_{22}$ ,按照故障传播和通路敏化的条件,可以确定

$$x_1 = 0, x_3 = 1, x_{10} = 1, x_{16} = 1, x_{22} = 0 \quad (3)$$

并且由于  $C_{17}$  电路中从 1 GAT 到原始输出端只有一条通路,这里可采用一种对约束网络结构的简化策略,只需把相关的

四个与非门( $g_1, g_2, g_3, g_5$ )的特征函数相加,与式 (3) 一起构成信号线 1 GAT 的  $s-a-1$  故障的约束函数  $f$ ,并令  $f$  中与 1 GAT 对应的神经元的激活值取固定值 0。这样不仅减少了初始种群的规模,而且也部分降低了算法的计算复杂性。对一般结构的被测电路,基本上都存在着象  $C_{17}$  电路中 1 GAT 这样的信号线。

这里也可以按如下方式直接确定初始种群  $P_0$ 。设  $P_0$  由 4 个个体  $Z_i (i=1, 2, 3, 4)$  组成,选择  $Z_1 = (1, 1, 1, 1 \cdots)$ ,  $Z_2 = (0, 1, 0, 1 \cdots)$ ,  $Z_3 = (1, 0, 1, 0 \cdots)$ ,  $Z_4 = (0, 0, 0, 0 \cdots)$ ,这样的选择可以使个体  $Z_i$  在取值空间中的分布比较均匀,使初始种群中的个体具有一定的代表性。

3) 变异率  $P_m$  可根据被测电路的大小或约束函数对应的规模而定。但如果种群中的个体都相同,而不是约束函数的最优解时,则需要对种群中的部分个体进行变异操作,即这部分个体的变异率  $P_m$  取为 1。

## 2 电路划分与多故障测试生成

对任意一个组合电路的测试生成,采用算法 1 是可行的,但若对 CUT 进行适当的划分,可以减少整个算法的计算复杂性。对有  $m$  个主输出端的电路 ( $m \geq 2$ ),可划分成  $m$  个锥形子电路,一个子电路由影响某一主输出端的所有信号线组成,锥的顶点分别是各输出端。生成测试时只需对相关的子电路计算约束函数  $f$ ,求其最小值点。例如对电路  $C_{17}$ ,生成线 10 GAT 发生  $s-a-1$  故障的测试,只须关注以 22 GAT 为顶点的那一部分锥形子电路。

电子系统中某些元件有时必须进行完全测试,以保证整个系统的可靠性,例如用作状态监测的奇偶校验电路,因此研究多故障的测试生成具有一定的现实意义。在这里多故障是指同时发生的多个  $s-a-0, s-a-1$  故障。多故障的测试生成,人们现在主要集中于用单故障的测试集来检测多故障,对几类特殊的电路已获得了一些结果<sup>[4-7]</sup>,但对一般结构的电路,由于其复杂性,因此还没有有效的方法。

测试图形生成的遗传算法除了可以进行单故障的测试生成之外,也能方便地进行多故障的测试生成,与其他算法相比这是它的一个特点。该算法进行多故障的测试生成类似于它对单故障时的处理,所不同的主要在于对多故障数目的精简方式和约束网络的建立。它的主要步骤为: 1) 通过故

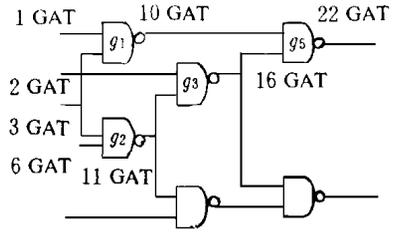


图 2  $C_{17}$  电路

障精简,压缩电路中的故障数目。2)对电路注入多故障,建立约束网络模型,然后用算法 1 计算相应函数  $f$  的最小值点。如果能求得  $f$  的最小值点,则在这个最小值点中与所有主输入节点对应的值就是多故障的测试矢量

步骤 1 中故障精简的方法可以采用等效故障、隶属故障和校验点等;步骤 2 中,除了建立约束网络模型是同时注入多个故障之外,其他的操作类似于对单故障的处理。被测电路中的多故障,有时它的测试不存在,我们通过一个电路预处理阶段判断给定的多个故障是在一条通道,或同在一个锥形子电路内,或分布在几个锥形子电路中,对可以断定测试不存在的多故障,将不进行随后的处理过程。

### 3 实验结果及结论

我们已把算法 1 在微机上实现,完成了基于遗传算法的测试生成系统。在 PC AST386/33 上对  $C_{17}$  电路产生测试时,种群的个体数目取为 4,产生测试图形 10 个,故障覆盖率 100%,测试集生成时间为 0.65 s

本文提出的测试生成的遗传算法,在算法实现的简明性、多故障测试生成及测试生成的并行实现方面与传统方法相比有一定的优势。在算法中合理选择约束网络模型以及遗传参数等,可以降低生成测试图形的总时间,这些方面的工作有待作进一步研究

### 参 考 文 献

- 1 张晓馈,戴冠中. 一种新的优化搜索算法—遗传算法. 控制理论及应用, 1995, 12(3): 265 ~ 282
- 2 Goldberg D E. Genetic algorithm in search, optimization and machine learning. Addison Wesley, 1989
- 3 De Jong K A. Using genetic algorithm to solve NP-complete problems. Proc 3rd Int conf on Genetic Algorithms and Their Application, 1989: 124~ 132
- 4 Verreault Alain. Use of fault dropping for multiple fault analysis. IEEE Tran on Computers, 1994, 43(1): 98~ 103
- 5 Jone W B. Multiple fault testing using minimal single fault test set for fanout-free circuits. IEEE Trans on CAD, 1993, 12(1): 149~ 156
- 6 Makar S, Meduskey Edward. The critical path for multiple faults. IEEE Intel Conf on CAD, 1989: 162~ 165
- 7 Macci E, Wolf T. Multiple fault diagnosis in combinational networks. Intel Test Conf, 1995: 205~ 208

## Study of Genetic Algorithm Method for Circuit Test Generation

Pan Zhongliang      Chen Guangju

(CAT Lab, UEST of China      Chengdu      610054)

**Abstract** A new approach, genetic algorithm method for digital circuit automatic test patterns generation is presented in this paper, which defines a characteristic function for each basic gate circuit, converts the test generation problem of circuit under test (CUT) into searching for the optimal solutions of a constrained function, and can make use of the constructional information of CUT. It is possible to obtain high fault coverage for testable single stuck-at and multiple faults with the method without fault simulation.

**Key words** digital circuit; test generation; characteristic function; genetic algorithm

编辑 徐培红