

组合电路门时滞故障的可测性分析

王勇* 陈光禡

(电子科技大学CAT室 成都 610054)

【摘要】 根据门时滞故障测试的特点, 定义了一种门时滞故障的可测性测度(即上升沿和下降沿门时滞故障的可控制性和可观测性), 并提出了相应的计算方法, 为基于门时滞故障的电路可测性设计提供了理论依据。

关键词 门时滞故障; 可测性测度; 可控制性; 可观测性

中图分类号 TN407

超大规模集成电路(VLSI)的发展使得测试问题变得愈来愈困难, 这就促使人们去研究数字系统的可测性设计, 以达到降低测试成本的目的。在可测性设计过程中可测性分析是极其重要的一环, 通过可测性分析人们可以找出电路中较难测试的区域, 以便修改设计, 降低测试难度。最初研究可测性设计主要针对呆滞型故障考虑, 对可测性的分析也是针对呆滞型故障而言。由于呆滞型故障模型在处理实际问题时存在一定的局限性, 近年来人们将可测性设计的范围拓宽到时滞故障模型^[1], 因此有必要对时滞故障的可测性进行分析。本文根据组合电路门时滞故障测试的特点, 定义了上升沿(下降沿)门时滞故障的可控制性和可观测性作为门时滞故障的可测性测度, 其计算方法可以借鉴呆滞型故障可测性分析方法中的PREDICT方法^[2]。

1 基本定义和术语

为讨论方便, 下面先介绍一些术语:

超门 对电路中节点 X , 其超门 $SG(X)$ 是指馈 X 的最小替代子网络, 该最小替代子网络的输入是相互独立的; 超门 $SG(X)$ 的输出即节点 X 的输出, 一个超门的输入可以分为两类: 扇出输入和非扇出输入, 前者有一条以上的路径通向超门输出。如图1所示电路中, 虚线所包围的两个网络就是超门 $SG(7)$ 和 $SG(13)$ 。

最大超门 对于一个超门, 如果它完全不被更大的超门所包含, 则称其为最大超门。图1所示的两个超门 $SG(7)$ 和 $SG(13)$ 实际上也是最大超门。

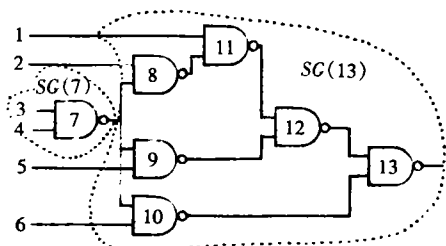


图1 超门和最大超门的说明



图2 电路的RCG图

压缩回路图RCG 是由最大超门构成的有向无环图 $G(V_1, E_1)$, 其中 V_1 是最大超门的集合, 当且仅当节点 X 是超门 $SG(Y)$ 的输入时, 存在着一条从超门 $SG(X)$ 到 $SG(Y)$ 边。图1所示电路的压缩回路图RCG如图2所示。

伪门 a_0 对图3所示的电路中的联结点 F 和 G 的线 m , 若 m 呆滞于0, 将其抽象为在 F 和 G 之间插入一个伪门 a_0 , 伪门 a_0 的 d 立方可以用表1表示。类似可定义线 m 呆滞于1时的伪门 a_1 。

伪门 b 对于含两个以上主输出(Y_1, Y_2, \dots, Y_2)的电路, 通过伪门 b 可以将其变成单输出电路(如图4所

示), 伪门**b**的定义如表2所示, 其中 b_1 和 b_2 是伪门**b**的输入, b_3 是输出, x 可以是 $\{0,1,d,\bar{d}\}$ 中的任意值。



图3 伪门的插入

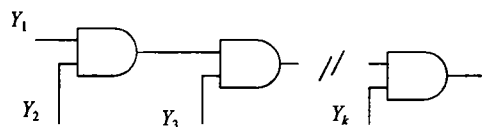


图4 多输出变单输出

2 门时滞故障的可测性测度的定义

为了检测电路中任意一个门的输入线 x 上的上升沿(下降沿)时滞故障, 须输入一队测试矢量 $\langle v_1, v_2 \rangle$, 在 t_0 时刻施加 v_1 , 在电路稳定后的 t_1 时刻施加 v_2 , 然后在 t_2 时刻观察电路的输出, 这里 $(t_2 - t_1)$ 是希望的输入和输出的时间间隔, 如果 t_2 时刻观察到正确的输出状态, 则线 x 上无时滞故障, 否则线 x 上存在时滞故障。显然 $\langle v_1, v_2 \rangle$ 满足下列条件^[1]: 1) 当主输入从 v_1 跳变到 v_2 时, 必须在线 x 上产生相应的上升沿(下降沿); 2) 如果 x 上存在上升沿(下降沿)时滞故障, 对于位于从 x 开始的路径上的各个主输出, v_2 必须使其中的至少一个主输出在 t_2 时刻的状态不同于希望的状态。

条件2)意味着要检测线 x 的上升沿(下降沿)的门时滞故障, v_2 必须是线 x 的呆滞于0(呆滞于1)故障的测试矢量。

参照呆滞型故障可控制性的定义, 本文定义线 x 上的门时滞故障的可控制性测度为:

上升沿(下降沿)时滞故障可控制性 $C_f(x)$ ($C_f(x)$): 对所有输入矢量对 $\langle v_1, v_2 \rangle$, 使线 x 上出现上升沿(下降沿)跳变的概率, 称为线 x 上的上升沿(下降沿)门时滞故障的可控制性。

显然要使上升沿(下降沿)门时滞故障在主输出被检测到, 必须使 v_2 是呆滞于0(呆滞于1)故障的测试矢量, 所有可以定义门时滞故障的可观测性测度为:

上升沿(下降沿)时滞故障可观测性 $B_f(x)$ ($B_f(x)$): 对线 x 上呆滞于0(呆滞于1)故障的检测概率, 称为线 x 上升沿(下降沿)门时滞故障的可观测性。

2.1 门时滞故障可控制性的计算

对线 x 上的下降沿跳变, 两个时段的状态是相互独立的, 因此有

$$C_f(x) = P(x_1 = 1)P(x_2 = 0) \tag{1}$$

$P(x_1=1)$ 和 $P(x_2=0)$ 分别表示事件 $(x_1=1)$ 和事件 $(x_2=0)$ 的概率, 虽然这两个事件是独立的, 但是 $P(x_2=0) = 1 - P(x_2=1)$; 而 $P(x_1=1)$ 正是文献2定义的呆滞性故障的1可控制性 $C_1(x)$, 所以有

$$C_f(x) = C_1(x)(1 - C_1(x)) \tag{2}$$

由式(2)可以看出要求某节点的下沿门时滞故障的可控制性需要先求出该节点的1可控制性。对于非扇出重汇聚节点, 1可控制性计算可由其影响锥体内的节点逐级递推得到; 复杂的是对扇出重汇聚节点的1可控制性的计算, Seth提出的PREDICT方法较为完满的解决了这一点, 其基本思想是先确定该节点的超门并将超门的输入分为无扇出输入和扇出输入, 然后考虑扇出输入的所有可能的取值, 计算其相应的条件1可控制性(即条件概率), 最后根据

$$C_1(x) = \sum_{all A} C_1(x|A)P(A) \tag{3}$$

即可得到所求节点的1可控制性。

PREDICT方法是目前较为成功的可测性分析方法, 因此我们用它计算门时滞故障的可控制性。以图1电路为例, 要计算节点12的下降沿门时滞故障的可控制性 $C_f(12)$ 只须计算该节点的1可控制性 $C_1(12)$, 文

表1 a_0 和 a_1 的d立方

伪门	F	G
a_0	0	0
	\bar{d}	0
	d	d
	1	d

表2 b的d立方

b_1	b_2	b_3
d	x	d
x	d	d
\bar{d}	x	d
x	\bar{d}	d
0	0	1
0	1	1
1	0	1
1	1	1

PREDICT方法是目前较为成功的可测性分析方法,因此我们用它计算门时滞故障的可控制性。以图1电路为例,要计算节点12的下降沿门时滞故障的可控制性 $C_f(12)$ 只须计算该节点的1可控制性 $C_1(12)$,文献[2]已计算出该电路中所有节点的1可控制性(如图5所示),图中方括号内的值是节点7分别为0和1时的条件1可控制性,而节点上方的值为该节点的1可控制性,所以

$$C_f(12) = C_1(12)(1 - C_1(12)) = \frac{19}{32} \left(1 - \frac{19}{32}\right) = \frac{247}{1024} \quad (4)$$

对上升沿门时滞故障的可控制性也可以用类似的方法得到

2.2 门时滞故障的可观测性计算

从前面的讨论知,节点 x 升沿(下降沿)门时滞故障的可观测性可以通过计算该节点呆滞于0(呆滞于1)故障的检测概率得到。因此对不存在重汇聚扇出的单输出电路,节点呆滞于0(呆滞于1)故障的检测概率的计算可以从主输入处向主输出递推计算信号 x 呆滞于0的检测概率。而对于存在重汇聚扇出的单输出电路,可以先确定该电路中的每个最大超门。根据文献[4]可以知道,在这些最大超门之间存在一个有意义的关系,即由这些最大超门构成的压缩回路图RCG是树。这样对具有重汇聚扇出节点的单输出电路,首先可以在每个最大超门内部计算出超门输出节点的概率分布,然后根据压缩回路图的树型结构逐级向输出递推就可计算电路中节点呆滞于0(呆滞于1)故障的检测概率,所以关键在于如何计算每个超门内部的概率分布。

对于超门内部概率分布的计算,必须考虑最大超门的

重汇聚扇出输入的影响,这时每一个扇出输入的可能取值为 $\{1, 0, d, \bar{d}\}$,对扇出输入的每种可能的取值情况 A_i 这时将扇出输入视为独立输入,分别计算最大超门内部在 A_i 条件下的概率分布,最后根据条件概率公式即可求出超门内部各节点的概率分布。

由此可得到计算单输出电路中呆滞于0(或呆滞于1)的故障的检测概率的算法如下:

- 1) 电路用伪门 a_0 (a_0)予以调整;
- 2) 找出所有的最大超门并按压缩回路图RCG排序为 $SG(Z_1), SG(Z_2), \dots, SG(Z_k), SG(Y)$ (Z_1, Z_2, \dots, Z_k 是电路节点, Y 是电路输出);
- 3) 按照RCG的排序,分别计算 $SG(Z_1), SG(Z_2), \dots, SG(Z_k), SG(Y)$ 的概率分布。具体对每个超门内部,考虑其扇出输入所有可能的情况,根据各个基本门和伪门的概率关系分别计算相应的条件概率分布,并根据条件概率公式得到超门内部的概率分布;
- 4) 计算 $SG(Y)$ 的检测概率,即事件 $(Y=d)$ 和事件 $(Y=\bar{d})$ 的概率之和。

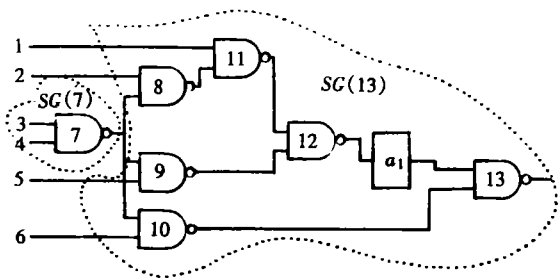


图5 图1中电路的超门和各个节点的1可控制性

以图1的电路为例,要计算节点12的下降沿时滞故障的可观测性只须计算节点12呆滞于1故障的检测概率,对电路利用伪门调整为图6形式,其最大超门为 $SG'(7)$ 和 $SG'(13)$ (如图6虚线部分所示),相应的压缩回路图RCG和图2相似,因此首先计算超门 $SG'(7)$ 内各节点的概率分布,用 $P(x_i = a)$ 表示节点 i 对事件 $\{x_i = a\}$ 的概率,可逐级递推出 $SG'(13)$ 内部其他节点在事件 $\{x_7=1\}$ 下的条件概率分布如表3所示,因此

$$P(x_{13}=d|x_7=0)=1/2 \quad P(x_{13}=\bar{d}|x_7=0)=0$$

图6 图1电路用超门调整后

类似可得

$$P(x_7=0) = 1/4 \quad P(x_7=1) = 3/4$$

根据条件概率公式，则

$$P(x_{13}=d) = \sum P(x_{13}=d | A_i) = P(x_{13}=d | x_7=1)P(x_7=1) + P(x_{13}=d | x_7=0)P(x_7=0) = 17/64$$

表3 超门 SG'(13) 在事件 {x₇=0} 下的条件概率分布

超门	节点	各种事件的条件概率分布			
		x=0	x=1	x=d	x= \bar{d}
SG'(13)	8	0	1	0	0
	9	0	1	0	0
	10	0	1	0	0
	11	1/2	1/2	0	0
	12	1/2	1/2	0	0
	a ₁	0	1/2	0	1/2
	13	1/2	0	1/2	0

$$P(x_{13}=\bar{d}) = \sum P(x_{13}=\bar{d} | A_i) = P(x_{13}=\bar{d} | x_7=1)P(x_7=1) + P(x_{13}=\bar{d} | x_7=0)P(x_7=0) = 0$$

所以节点12的下降沿门时滞故障的可观测性为

$$B_f(x_{12}) = P(x_{13}=\bar{d}) + P(x_{13}=d) = 17/64$$

其他节点的下降沿门时滞故障的可观测性也可类似递推得到。

对于多输出电路，重复利用伪门b即可将多电路变为单输出电路，这样对多输出电路也可用该算法解决其门时滞故障的可观测性计算。

3 结论

本文根据门时滞故障测试的特点，提出了一种门时滞故障的可测性测度和相应的计算方法，它基于门时滞故障的电路可测性设计提供了理论依据。

参 考 文 献

- 1 Devadas Srinivas, Keutzer Kurt. Synthesis and optimization procedures for robustly delay-fault testable logical circuits. Proc 27th DAC Conference, 1990: 221~227
- 2 Seth Sharad C, Pan Lili, Agrawal Vishwani D. PREDICT: Probabilistic estimation of digital circuit testability. Proc. 15th International Fault-Tolerant Computing Symp, 1985: 220~225
- 3 Pramanick Ankan K, Reddy Sudhakar M. On the detection of delay faults. Proc International Test Conference, 1988: 845~856
- 4 Chakravarty Sreejit, Hunt Harry B. III. On computing signal probability and detection probability of stuck-at faults. IEEE Trans. On Computers, 1990, 39 (11): 1 369~1 377

Analysis of Gate Delay Fault's Testability in Combinational Circuits

Wang Yong Cheng Guangju

(CAT Lab., UEST of China Chengdu 610054)

Abstract According to the feature of the testing for gate delay faults, the testability measures of the gate delay faults are defined (the controllability and the observability of the gate delay faults in the rising or falling transition), and the method of computing these two measures are presented, which provides the quantitative criteria of design for testability of the gate delay faults.

Key word gate delay faults; testability measures; controllability; observability