

# 采用 DDS+PLL 技术实现 S 波段频率合成的一种方法<sup>\*</sup>

杨国渝<sup>\*\*</sup> 栗显义  
(电子科技大学应用物理所 成都 610054)

**【摘要】** 分析了现有的 DDS 与 PLL 混合电路方案实现频率合成的优缺点,提出了一种用 DDS 与 PLL 混合电路实现 S 波段频率合成的新方法。给出了一个示例,并用 CAD 工具进行了仿真与优化。

**关键词** 频率合成; 锁相环; 直接数字合成; 快速换频

中图分类号 TN743

频率合成器是一种高质量的信号源,是由一个或多个基准频率产生许多频率输出的一种高质量信号发生器。在通信及测量等领域广泛使用频率合成器。频率合成方法主要有三种<sup>[3]</sup>。最早的合成方法被称为直接法(直接频率合成),它利用混频器、倍频器、分频器和带通滤波器来完成对频率的算术运算<sup>[3]</sup>。第二种方法是应用锁相环(PLL-Phase Locked Loop)的频率合成方法<sup>[1~3]</sup>。最新的频率合成方法是直接数字频率合成(DDS-Direct Digital Synthesis)<sup>[3]</sup>。它具有快速频率捷变、频率和相位分辨力极高的优点。将 DDS 和 PLL 技术结合起来可以实现高速频率捷变、高分辨力、高频率稳定性和高频谱纯度的信号源。利用平均频率合成技术<sup>[4]</sup>,可实现快速跳频的频率源。针对对频率切换速度和频率精度要求较高的应用场合,我们提出了一种在 S 波段用 DDS 与 PLL 技术混合实现频率合成的方法。

## 1 对现有 DDS 与 PLL 混合电路频率合成方案的分析

PLL 技术具有高频率、宽带、频谱质量好的优点,但是其频率切换速度低,只能达到微秒级;而 DDS 技术则具有高速频率捷变能力(可以达到纳秒级)、高度的频率和相位分辨能力,但目前尚不能做到宽带,频谱纯度也不如 PLL。工程师们在设计电路时经常要在带宽、频率精度、频率切换时间、相位噪声等要求中折衷考虑。因此,出现了多种将两种技术结合起来构成 DDS 与 PLL 混合技术实现频率合成的方案。目前主要的混合电路方案有 DDS/DAS(Digital Analog Synthesis,即直接合成)混合、频偏由 DDS 产生的锁相环和参考源由 DDS 提供的锁相环频率合成器(DDS-driven PLL)。其中电路结构较简单且应用较多的是参考源由 DDS 提供的锁相环频率合成器,其功能框图如图 1 所示。可见,在这种方案中,DDS 的作用是为锁相环提供一个高精度参考源,整个系统特性受到 DDS 特性、滤波器的带宽和锁相环参数的影响,其中频率切换时间主要由锁相环决定。下面作一简要分析。

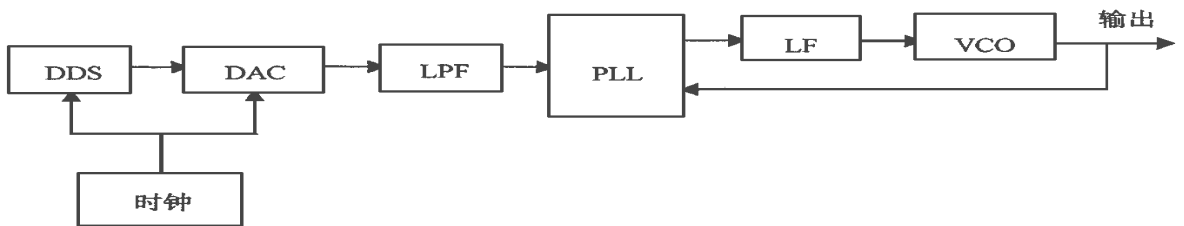


图 1 参考源由 DDS 提供的锁相环频率合成器功能框图

理想二阶环路的误差传递函数<sup>[3]</sup>为

1999 年 5 月 10 日收稿  
<sup>\*</sup> 国防科工委预研基金资助项目  
<sup>\*\*</sup> 男 52 岁 博士 教授

$$H_e(s) = \frac{s^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (1)$$

式(1)中  $\xi$  为阻尼系数[无量纲],  $\omega_n$  是无阻尼振荡频率[rad/s]。当输入频率阶跃时, 理想二阶环路相位误差响应的拉氏变换为

$$\theta_e(t) = \frac{\Delta\omega}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (2)$$

将分母因式分解, 然后展成部分分式, 并进行拉氏反变换, 得

$$\theta_e(t) = \frac{\Delta\omega}{\omega_n} e^{-\xi\omega_n t} \frac{\sinh\omega_n \sqrt{\xi^2 - 1} t}{\sqrt{\xi^2 - 1}} \quad \xi > 1 \quad (3a)$$

$$\theta_e(t) = \frac{\Delta\omega}{\omega_n} e^{-\xi\omega_n t} \omega_n t \quad \xi = 1 \quad (3b)$$

$$\theta_e(t) = \frac{\Delta\omega}{\omega_n} e^{-\xi\omega_n t} \frac{\sin\omega_n \sqrt{1 - \xi^2} t}{\sqrt{1 - \xi^2}} \quad 0 < \xi < 1 \quad (t \geq 0) \quad (3c)$$

在不同  $\xi$  值下, 表示  $(\omega_n / \Delta\omega)\theta_e(t)$  的响应曲线如图 2 所示。

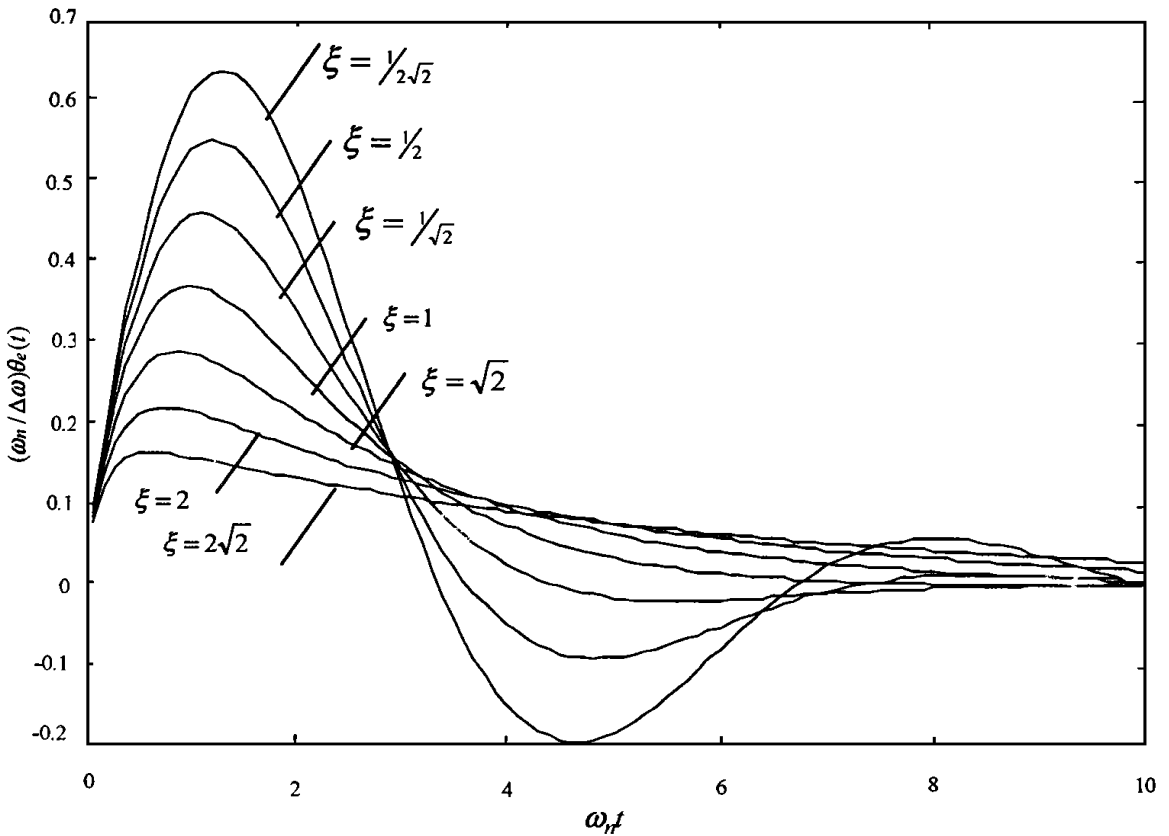


图 2 不同  $\xi$  值情况下环路相位误差响应曲线

从图 2 中可见, 当频率跳变时需要较长的时间, 而且锁相环输出要在频率切换速度与相位噪声、寄生谱分量之间折衷, 频率切换时间较慢, 因而并不适合对频率切换速度要求比较高的场合。

## 2 一种新颖 DDS+PLL 方案的提出与设计

从频率步进或分辨率这一点上说, 再没有任何一种频率合成方法能达到 DDS 所能提供的频率精度。这是由其基本工作原理决定的。其基本框图如图 3 所示。基本工作原理为: 在每个时钟周期

中,存储在输入频率寄存器中的相位增量值都被加入到相位累加器中,此相位值在每个时钟周期中应用于正弦查阅表中。正弦查阅表将相位信息转化为相应的正弦幅度值。数字正弦波经 DAC 转化为模拟波形。

对相位变化进行编程可产生任意频率。DDS 的输出频率为

$$F_{\text{out}} = F_{\text{clk}} \Delta\phi / 2^N \quad (4)$$

式中  $\Delta\phi$  是相位增量,  $F_{\text{clk}}$  是系统时钟频率,  $N$  是相位累加器的位数。可见其频率精度是所用时钟和相位累加器的位数的函数,即等于  $F_{\text{clk}}/2^N$ 。如时钟频率为 20 MHz,  $N=32$ , 则频率精度为  $20 \text{ MHz}/2^{32}=0.004 65 \text{ Hz}$ , 可见频率精度可以达到毫赫兹级。

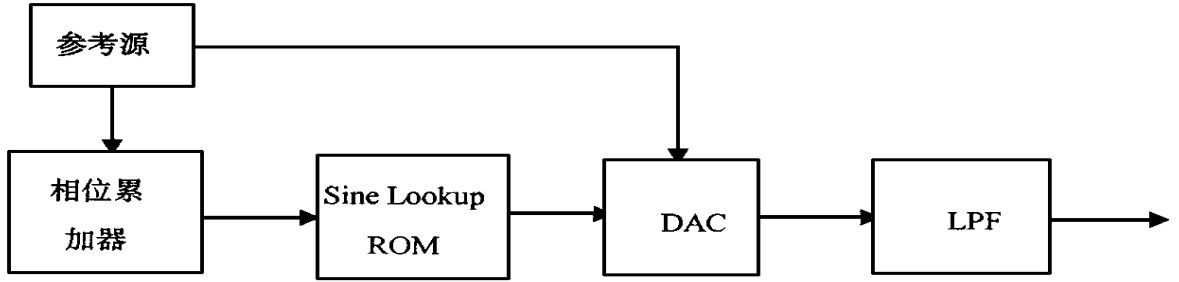


图 3 DDS 功能框图

与其他合成技术相比,DDS 技术具有独特的能力。虽然输出频率受 Nyquist 准则的限制,只能达到参考时钟的二分之一,但从式(4)中可以看到,其频率精度可以达到毫赫兹级,相位精度可达毫赫兹级甚至纳赫兹级。此外,除了数字控制时,DDS 频率变化几乎没有捕获时间的限制,其频率切换速度仅受限于数字接口和 DAC 的捕获时间。因而频率切换时间最高可达到纳秒级。

在微波波段实现频率合成一般采用锁相环或由 DDS 驱动的锁相环方案,但频率切换速度和精度均不够高。鉴于 DDS 技术的众多优点,为了充分利用 DDS 快速变频能力和高精度的特点,本文提出了一种新的 DDS 与 PLL 混合电路在 S 波段实现频率合成。其原理框图如图 4 所示。

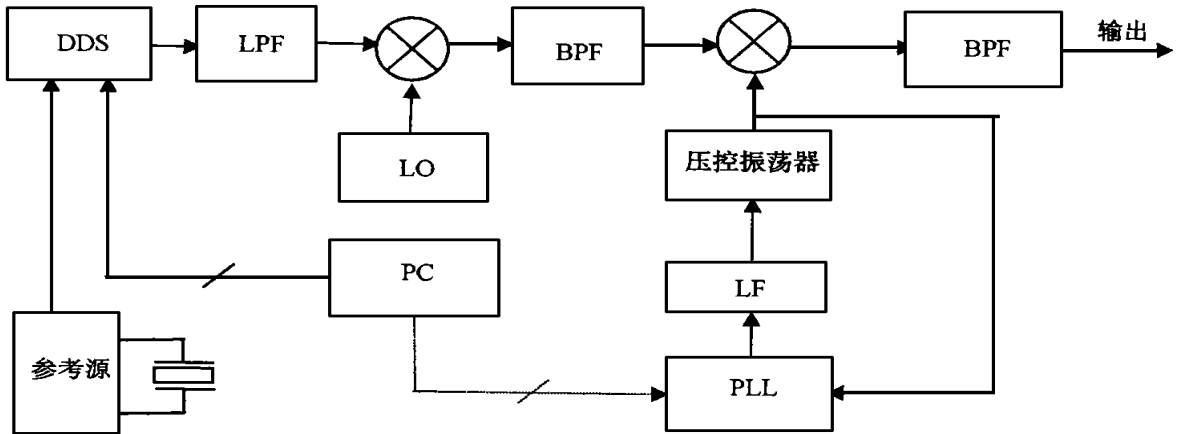


图 4 DDS+PLL 实现 S 波段频率合成方案框图

DDS 的输出经低通滤波器滤波后,与一本振相混频,这一设计主要是为了使输出端的微带带通滤波器容易实现。混频器的输出再与锁相环的输出相混频。DDS 输出频率由计算机控制,如果需要,锁相环也由计算机控制。锁相环的输出与 DDS 的输出通过混频器混频,经过输出端的带通滤波器滤波后,总的输出频率为

$$F_{\text{out}} = F_{\text{PLL}} + F_{\text{DDS}} \quad (5)$$

从式(5)可见,输出频率为锁相环和DDS各自的输出频率之和。锁相环的作用主要是将频率抬高至S波段,输出频率精度和频率切换时间均由DDS决定。由于DDS频率切换时间可达到纳秒级,频率和相位精度可达毫赫兹级,因此系统性能得到显著改善。

作为一个例子,在S波段实现带宽为80 MHz且频率切换速度达纳秒级、频率跳变步长为1 Hz的频率合成器。考虑成本因素,选用时钟频率最高可达125 MHz的DDS,采用微机控制其分频比,使其输出在0~40 MHz之间。由于要实现80 MHz带宽,要求锁相环在不同的情况下输出两个频率,频率间隔40 MHz,这可通过计算机改变其分频比而方便地控制。总的输出为DDS与PLL输出频率之和。输出频率的粗调由锁相环控制,精调由DDS调节,即将所要求的带宽分成两段,每个具体的段内频率切换均由DDS进行。在一定的带宽内锁相环输出是固定的,输出频率的各项指标只与DDS相关,其频率刷新能力和精度均由DDS决定,输出频率完全可满足要求。

### 3 结论

这种方法最大的优点在于其高速频率切换和高精确度,其频率切换速度与参考源由DDS提供的锁相环频率合成器相比,快了将近三个数量级。通过用CAD软件对由以上方案构成的电路进行仿真,得出的结果达到了预定目标。

### 参 考 文 献

- 1 Galani Zvi, Campbell Richard. An over view of frequency synthesizers for radars. IEEE Trans—MTT, 1991, 39(5): 782~790
- 2 Kroupa V F. 频率合成理论、设计与应用. 北京:国防工业出版社, 1979
- 3 张厥盛, 郑继禹, 万心平. 锁相技术. 西安:西安电子科技大学出版社, 1994
- 4 何正权, 武剑辉. 平均频率合成技术. 电子科技大学学报, 1996, 25(3): 289~293

## A New Method of DDS Hybrid PLL Technology in An S-band Frequency Synthesizer

Yang Guoyu      Su Xianyi

(Institute of Applied Physics UEST of China Chengdu 610054)

**Abstract** This paper analyzes the performance of DDS hybrid PLL circuit which is now existing, and presents a novel method to design an S-band frequency synthesizer using a new scheme of DDS hybrid PLL circuit. After describing this method, an example using this method is provided, which is also simulated and optimized with CAD tools.

**Key words** frequency synthesis; direct digital synthesis; phase locked loop; fast frequency sw itching