

InSb 薄膜的真空蒸发及磁敏霍尔元件的制作*

胡 明** 刘志刚 张之圣 王文生

(天津大学电子信息工程学院 天津 300072)

【摘要】 利用单源真空蒸发方法制备 InSb 薄膜。研究了基片温度控制和膜层厚度对薄膜电子迁移率的影响。室温下测得 InSb 薄膜的电子迁移率为 $4 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{s}$ ，晶粒尺寸达微米数量级。制作的磁敏霍尔元件输入与输出电阻范围为 $200 \sim 500 \Omega$ ，乘积灵敏度达 $90 \sim 150 \text{ V}/\text{A}\cdot\text{T}$ 。

关键词 InSb 薄膜；真空蒸发；霍尔元件；电子迁移率；灵敏度

中图分类号 TN382；TN305.8

InSb 薄膜磁敏霍尔元件具有输出电压高、体积小、成本低且易于批量生产的特点，可被广泛应用于自动控制过程和测量系统中。磁敏霍尔元件的工作原理是基于半导体材料在正交电磁场作用下表现出来的霍尔效应。将通有电流 I ，长、宽、厚分别为 L 、 W 和 d 的半导体片置于磁感应强度为 B 的均匀磁场中，且使电场方向与磁场方向垂直时，在垂直于电场和磁场方向半导体两侧将产生霍尔电压 V_H 。 $V_H = S_H IB = (\rho\mu_n / d)IB$ ， S_H 为霍尔元件的乘积灵敏度，与半导体材料的电阻率 ρ 、电子迁移 μ_n 成正比，与半导体材料厚度 d 成反比。在所有 III-V 族化合物半导体中，由于 InSb 材料在室温下电子迁移率最高 ($\mu = 7.8 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{s}$)，因此被认为是制作霍尔元件的最佳材料。为了提高霍尔元件的灵敏度，应尽量减小材料的厚度，但 InSb 单晶质脆易碎，加工成厚度很小的薄片十分困难，因此制作薄膜型 InSb 磁敏霍尔元件具有重要意义，其灵敏度可比体型材料的高出一个数量级，且减少了元件的体积，提高了成品率。由于薄膜制备工艺的影响，InSb 薄膜的电子迁移率往往低于相应的单晶体型材料的数值，为此制备高电子迁移率的 InSb 薄膜成为研究关键^[1-3]。Berus.T 等人对真空蒸发 InSb 薄膜进行区熔热处理，使其电子迁移率达到 $4 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{s}$ ^[4]；Masahid Ohshita 采用真空蒸发和再结晶方法制得的 InSb 薄膜电子迁移率达到 $6.1 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{s}$ ^[5]。本文利用单源真空蒸发方法制备出室温电子迁移率达 $4 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{s}$ 的 InSb 薄膜，制作的霍尔元件乘积灵敏度为 $90 \sim 150 \text{ V}/\text{A}\cdot\text{T}$ ，达到国外同类产品水平。

1 实 验

1.1 真空蒸发制备 InSb 薄膜

为了获得高电子迁移率的 InSb 薄膜，应保证薄膜的化学计量比，具有大的晶粒尺寸和适当的膜层厚度^[4]。我们采用 0.5 mm 厚的微晶玻璃片作为基片，在镀膜前按常规半导体工艺进行清洗。将纯度为 99.999% 的多晶 InSb 和 Sb 的细颗粒以一定比例混合后装入同一电阻式加热蒸发源钨舟中，在低于 $1 \times 10^{-3} \text{ Pa}$ 的真空度下进行热蒸发。加入过量的 Sb 是为了克服由于 Sb 的饱和蒸气压过高，易造成 InSb 薄膜偏离原化学组分的问题。在薄膜沉积过程中，基片被加温并由热偶探测其温度，基片与蒸发源距离为 60 mm。

由于镀膜过程中基片温度较高，InSb 薄膜表面不平整并形成氧化层，用氧化铬(Cr_2O_3)和重铬酸钾($\text{K}_2\text{Cr}_2\text{O}_7$)配制的水溶液对 InSb 薄膜表面进行抛光，去掉氧化层，得到光亮平整的 InSb 薄膜。

薄膜厚度是利用光刻腐蚀法在薄膜上形成沟槽，然后用台阶仪测量得出的。用四探针测量仪测量 InSb 薄膜的方块电阻。对薄膜进行了电子扫描电镜表面形貌分析和俄歇电子能谱成分分析。

1998年12月14日收稿

* 天津市科学基金资助项目

** 女 48岁 硕士 副教授

1.2 霍尔元件结构图形设计及制作过程

InSb 薄膜霍尔元件结构图形设计为对称的十字形, 如图 1 所示。这种结构图形具有形状效应系数高、输出霍尔电压高的特点。图中 $a/b=1.2$, 阴影为电极引出部分。两组相对端分别为输入电流端和输出霍尔电压端, 由于结构对称, 可两两互换, 即输入端与输出端可互换。

InSb 薄膜霍尔元件制作过程为: 基片清洗→真空蒸发 InSb 薄膜→对薄膜表面进行抛光→光刻腐蚀出霍尔元件图形→制备 In 电极→焊接引线→涂保护层→电性能测量

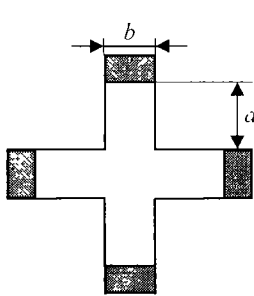


图 1 InSb 薄膜霍尔元件结构图

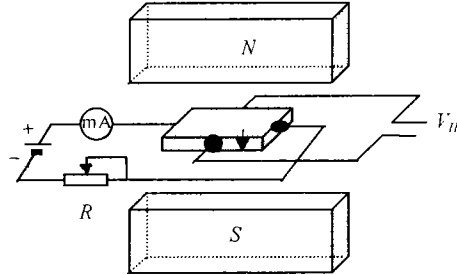


图 2 乘积灵敏度测量原理图

1.3 测 量

InSb 薄膜的电子迁移率及霍尔元件电性能参数用 Keithley 220 恒流源, 192 电压表, 706 扫描器和电磁铁组成的测试电路进行测量。图 2 为测量霍尔元件乘积灵敏度的原理图。测试环境温度为 300 K, 样品工作电流为 5 mA。测试时, 先在零磁场时测出输入电阻与输出电阻值, 然后再分别在 0.1T、0.2T、0.3T、0.4T 和 0.5 T 磁场下分别测出 V_H 值。为了避免不等位电势的影响, 在每一磁场数值下都将磁场或控制电流换向, 得出 $V_{H(+)}$ 和 $V_{H(-)}$ 两个数值后求出平均值。利用公式 $V_H = S_H I B$ 可求出乘积灵敏度 $S_H = (V_H / I) B$, 即单位控制电流和单位磁感应强度下霍尔元件输出极开路时的霍尔电压。

2 结果与讨论

图 3 和图 4 分别为在不同基片温度下制作的 InSb 薄膜的 SEM 表面形貌像和电子迁移率, 图中, InSb 薄膜的晶粒尺寸和电子迁移率随基片温度的升高而增加, 且当基片温度达到 480℃ 时, 得到较大的晶粒尺寸, 达数微米, 电子迁移率为 $4 \times 10^4 \text{ cm}^2/\text{V}\cdot\text{s}$; 当基片温度大于 480℃ 后, 薄膜出现再蒸发现象而呈岛状结构, 相应的电子迁移率也呈下降趋势。实验表明, 蒸发过程中基片温度的控制是制作高电子迁移率 InSb 薄膜的关键之一。基片温度的控制意味着基片加温的最高温度和基片加温过程的控制。实验中蒸发过程时间为 20~25 min, 基片加温被控制分为两个阶段: 在初始阶段的数分钟内, 使基片温度从 350℃ 左右逐渐升高; 在第二个阶段内达到所需最高基片温度后维持到蒸发结束。与此同时, 控制蒸发源温度的变化趋势与基片温度的一致, 也分为两个阶段且与基片温度控制达到最佳配合, 即在蒸发的初始阶段数分钟内, 相对于较低的基片温度, 蒸发源温度也较低, 然后升高达到蒸发所需最大温度且维持至蒸发结束。在蒸发初始阶段内, 控制蒸发源处于较低的温度, 可以保证较低的蒸发速率, 这不仅能使基片上初始成核密度较小, 而且有利于到达基片的粒子在基片表面作水平迁移运动而聚合, 此时基片由于处于较低的温度, 避免了在蒸发速率较低的情况下产生二次蒸发。在蒸发的第二个时间阶段内迅速加大蒸发源温度提高蒸发速率, 以保证 InSb 薄膜的化学组分, 此时基片温度也加热到所需最高值并一直维持到蒸发结束, 可得到晶粒尺寸较大, 结构致密, 缺陷少的高质量薄膜。

图 5 中 InSb 薄膜电子迁移率与薄膜厚度 d 值的关系表明, 当 d 值小于 2 μm 时, 随着 d 值的减小, μ_n 值急剧下降; 当 d 值达到 2 μm 并继续增加时, μ_n 达到一最大值并趋于饱和, 这是因为当薄



(a) 基片温度 350°C

(b) 基片温度 480°C

(c) 基片温度高于 480°C

图 3 InSb 薄膜的 SEM 表面形貌像

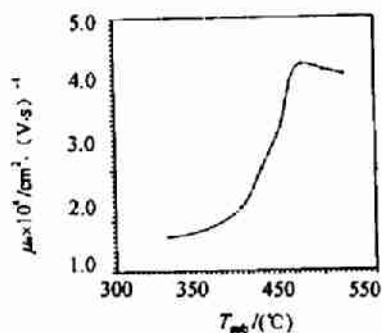


图 4 基片温度对电子迁移率的影响

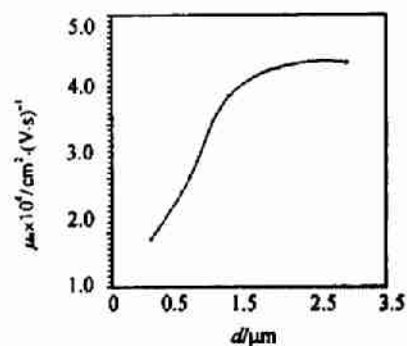


图 5 电子迁移率与膜层厚度关系

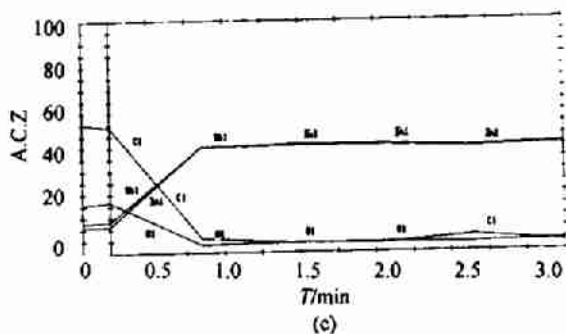
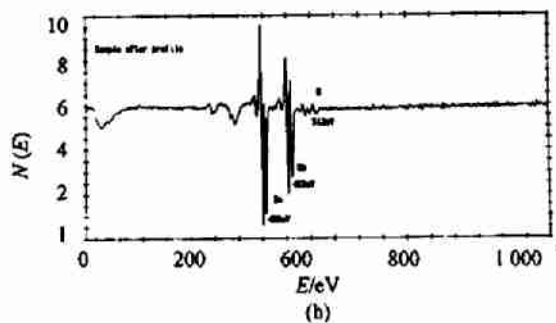
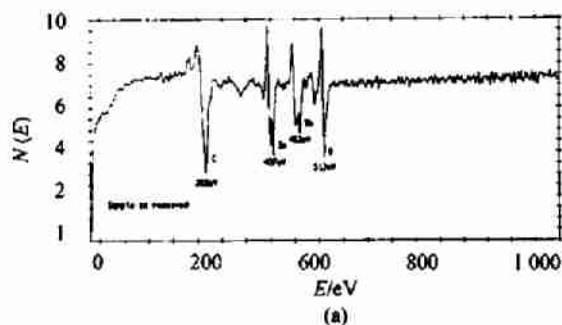


图 6 InSb 薄膜的 AES 电子能谱分析

膜较薄时, 薄膜密度小, 连续性差, 甚至呈岛状或网状结构, 同时薄膜的尺寸效应显著增加, 即薄膜的上下表面对导电电子运动施加了几何尺寸的限制, 这些因素都使电子在迁移过程中遭受散射的几率增加, 电子迁移率下降。当薄膜厚度达到一临界值以上时, 尺寸效应减小且形成均匀连续的薄膜, 电子迁移率增加并不再随膜层厚度变化。因此为了增加磁敏霍尔元件的乘积灵敏度而减小薄膜厚度时, 应在不降低电子迁移率为前提的情况下, 选择最小的厚度 d 值。

图 6 为 InSb 薄膜的 AES 电子能谱成分分析结果。其中图 6a 为薄膜样品表面全元素分析, 含有较多的氧元素和碳元素; 图 6b 为薄膜样品剖面全元素分析, 可以看出除了 In 和 Sb 外只含有少量的氧; 图 6c 表明 InSb 薄膜中 In 和 Sb 的原子比为 1:1。

对 InSb 薄膜进行光刻形成如图 1 所示结构的图形, 制作电极后测得其输入输出电阻范围为 200~500 Ω , 乘积灵敏度为 90~110 V/A·T。

3 结 论

用单源真空蒸发法制备 InSb 薄膜, 基片温度控制和薄膜厚度是影响 InSb 薄膜电子迁移率的关键因素。研究得出了 InSb 薄膜电子迁移率与基片温度和膜层厚度的关系曲线, 制备出电子迁移率为 4×10^4 $\text{cm}^2/\text{V}\cdot\text{s}$, 晶粒尺寸为微米数量级的 InSb 薄膜, 由此薄膜制作的磁敏霍尔元件性能参数达到国外同类产品水平。

参 考 文 献

- 1 Ohshita M, Isai M, Tanaka I. Sensing characteristics and crystalline structure of InSn films for magnetic sensors. *Rev Sci Instrum*. 1983,54:146~150
- 2 Okimura H, Matsumae T, Ohshit M. Dendritic crystal regrowth and electrical properties of InSb thin films prepared by vacuum evaporation. *J Appl phys*. 1989, 66:4 252~4 257
- 3 于 映, 陈抗生. 区域熔融技术在 InSb 薄膜热处理中的应用研究. *真空科学与技术*. 1996, 16(3): 203~205
- 4 Masahide Ohshita. InSb films for magnetic sensors. *Sensors and Actuators A*, 1994, 40: 131~134
- 5 Berus T, Goc J. Preparation and electrical properties of InSb thin films heavily doped with tellurium and sulphur. *Thin Solid Films*, 1984, 111: 351~358

Preparation of InSb Thin Films by Vacuum Evaporation and Fabrication of Hall Element

Hu Ming Liu Zhigang Zhang Zhisheng Wang Wensheng

(Electron Information Engineering Institute, Tianjin University Tianjin 300072)

Abstract InSb thin films are prepared by the vacuum evaporation method which has an evaporation source. The dependence of the election mobility on substrate temperature and thickness of the thin films are investigated. The electron mobility of 4×10^4 $\text{cm}^2/\text{V}\cdot\text{s}$ at room temperature for InSb thin film is obtained. The input and output resistance for the InSb thin film Hall element fabricated are 200~500 Ω , and sensitivity is in the range of 90~150 V/A·T.

Key words InSb thin films; vacuum evaporation; Hall element electron mobility; sensitivity