

混合信号集成电路数字PLL衬底噪声的SPICE模拟及分析*

师奕兵** 陈光福 王厚军

(电子科技大学自动化系 成都 610054)

Jiann S. Yuan

(美国中佛罗里达大学电子与计算机工程系 奥兰多 FL32816)

【摘要】 应用 PSPICE 及采用C语言自编的外部程序,对单片数字锁相环电路中的衬底噪声及对电路性能的影响进行了模拟研究和分析,有助于进一步理解衬底噪声及衬底噪声对复杂的混合信号电路工作的影响,提出了实际应用中选择衬底类型的方法。

关键词 混合信号集成电路; 衬底噪声; 模型; 数字锁相环

中图分类号 TN453; TN710.9

近年来,由于多媒体应用的需要,混合信号集成系统的规模及复杂性不断增加,系统中的高速模拟电路和大规模数字电路制作于同一硅衬底上^[1,2]。如在一个典型的用于便携通信系统的RF电路芯片上,天线、射频元器件、模拟和数字子系统必须以统一的方式进行设计,以提供所需的性能、功耗及尺寸。这些特性导致同一集成电路中不同电路间有寄生干扰。衬底中的寄生电流在电路的不同部分间产生电耦合的过程就是衬底耦合或称衬底噪声。与数字电路不同,芯片中的模拟电路部分对于电源电压及衬底地电压的变化非常敏感。数字电路中高低电平的快速切换在衬底中注入大量瞬态噪声,从而在模拟电路中引入不允许的噪声信号。衬底噪声将严重降低混合信号集成电路的性能,在电路设计中应认真加以考虑。

为了理解衬底噪声现象,许多研究者尝试了对其模型化并加以模拟。以往的工作集中于模型化简单结构或简单电路^[3-5],而未涉及复杂的混合信号电路。本文建立了一个复杂的混合信号电路,应用衬底噪声模型进行SPICE电路模拟,研究了衬底噪声对该电路性能的影响。

1 单片数字锁相环

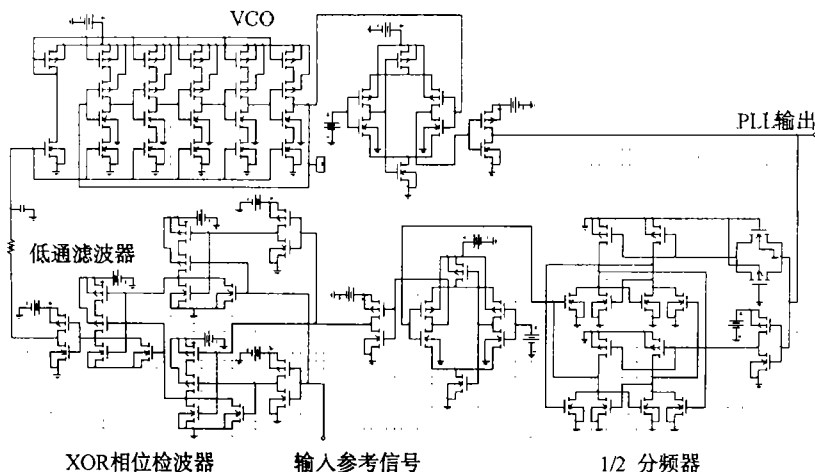


图1 CMOS数字锁相环电路

1999年11月15日收稿

* 国家留学基金管理委员会基金资助项目

** 男 35岁 博士生 副教授

本文选取数字锁相环(DPLL)作为研究电路,由相位检波器、低通滤波器、压控振荡器和分频器构成。锁相环电路可由电阻、电容和CMOS器件实现。如果采用整体(BULK)CMOS工艺,则锁相环所有子电路共用一个衬底,构成单片数字锁相环。由于数字锁相环同时含有模拟和数字子电路,因而是研究衬底噪声的较理想的电路。CMOS数字锁相环电路结构如图1所示。该电路的传输函数为^[6]

$$H(s) = \frac{K_{PD}K_F K_{VCO}}{s + \beta K_{PD}K_F K_{VCO}} \quad (1)$$

式中 K_{PD} 为相位检波器增益; K_{VCO} 为VCO的增益; K_F 为环路滤波器的传输函数。对简单的RC滤波器有

$$K_F = \frac{1}{1 + sRC} \quad (2)$$

设 β 为反馈因子,等于分频器的分频数,即

$$\beta = \frac{1}{N} \quad (3)$$

将式(2)、(3)代入式(1),有

$$H(s) = \frac{K_{PD}K_{VCO}}{s^2 + \frac{s}{RC} + \frac{1}{N} \frac{K_{PD}K_{VCO}}{RC}} \quad (4)$$

由式(4)可得系统的频率牵引范围为

$$\Delta\omega_p = \frac{\pi}{2} \sqrt{2\xi\omega_n K_{VCO}K_{PD} - \omega_n^2} \quad (\text{rad}) \quad (5)$$

频率牵引时间为

$$T_p = \frac{4}{\pi^2} \frac{\Delta\omega_c^2}{\xi\omega_n^3} \quad (\text{s}) \quad (6)$$

环路的锁定时间为

$$T_L = \frac{2\pi}{\omega_n} \quad (\text{s}) \quad (7)$$

式(5)~式(7)中, ω_n 为系统的自然频率, ξ 为系统的阻尼系数, $\Delta\omega_c$ 定义为VCO与参考信号的角频率的初始偏差。

2 衬底模型及模拟环境

为了模拟混合信号DPLL电路以研究衬底噪声对电路性能的影响,对于不同类型的衬底需选取相适应的模型。

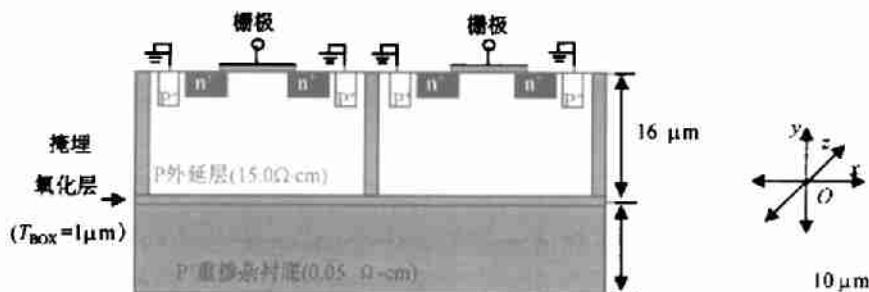


图2 应用SOI的重掺杂型衬底截面图

在CMOS工艺中，为了减小衬底噪声，主要采用的方法是应用SOI技术和设置防护环。本文的研究是基于应用SOI技术及使用防护环的轻掺杂和重掺杂型衬底运行模拟的。应用SOI的重掺杂型衬底的截面图如图2所示。应用SOI技术的轻掺杂型衬底具有类似的结构，其衬底高度为84 μm，衬底的电阻率为25.0 Ω·cm。

该衬底模型是由Raskin等人提出的^[7]。模型为一简单的两器件间的集总参数等效电路，如图3所示。 C_1 代表器件与衬底间的掩埋氧化层电容， R_2 和 C_2 代表氧化层底面与金属背板间硅衬底的耦合影响， R_3 和 C_3 代表两器件间的耦合。对于轻、重掺杂两种衬底，由于衬底高度及电阻率不同，模型中的 R 和 C 参数值也就不同。若同时设置有防护环，则采用其改进模型。改进模型中，在器件1和器件2之间增加 R 、 C 支路。本文作以下假设：1) 衬底的总面积为2 500 μm²；2) 衬底上72个器件中每个均占相同体积(根据DPLL版图确定电路模型已超出本研究范围)。

模拟环境采用MicroSim 7.1 软件包。该软件包可进行几乎任何常规模拟/数字电路的模拟。研究中应用的程序有原理电路编辑器、PSPICE电路模拟程序、探测程序和激励编辑器。

如前所述，计算锁相环性能有5个必需参数： R 、 C 、 N 、 K_{VCO} 和 K_{PD} 。 R 、 C 和 N 的值可设置，而 K_{VCO} 和 K_{PD} 则必须通过测试获得。由于在锁相环工作过程中，VCO及相位检波器的输入/输出电压是变化的，若人为读数测量则所读取频率与电压值不一致。为此，我们用C语言编写了两个外部程序VCO_GAIN和PD_GAIN，利用这两个外部程序及PSPICE VPLOT部件便可处理PSPICE输出数据，确定VCO和相位检波器的增益。

DPLL电路中晶体管器件参数如器件宽度 W 、器件长度 L 、阈值电压 V_T 、衬底与漏极间电容 C_{BD} 、衬底与源极间电容 C_{BS} 、栅氧化层厚度 T_{OX} 等的选择是应用SPICE进行器件模拟的关键。采用0.5 μm技术，则可设定 $L=0.5$ μm， $T_{OX}=10$ nm， $V_T=0.5$ V， $C_{BD}=C_{BS}=40$ pF。且为简化分析，选择第一级CMOS模型。DPLL电路工作频率设置：低频，约高于1 MHz；高频，约2.5 GHz^[8]。

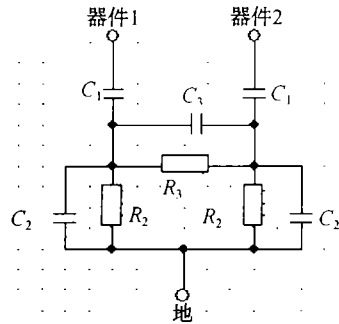


图3 SOI集总参数元件衬底模型

3 SPICE模拟结果及讨论

3.1 DPLL电路平均噪声幅度

图4给出了DPLL高频工作时的噪声幅度。分频器中的噪声电平最高，VCO中的噪声电平最低(采用防护环的轻掺杂型衬底例外)，这是与各子电路的特性相一致的。分频器为一纯数字电路，内含大量开关晶体管，因而预期有高的噪声电平。相位检波器也是数字电路，故亦有较高的噪声电平。VCO为模拟和数字电路的混合，有较低的噪声电平。

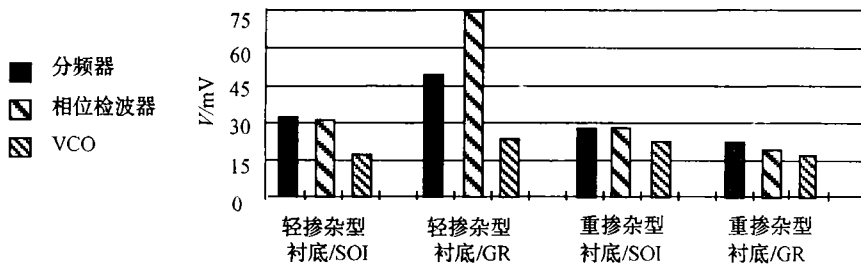


图4 高频工作时的DPLL平均噪声电平

低频工作时，DPLL噪声幅度与高频工作时有所不同：噪声电平下降，约为高频工作时的1/3.5；噪声电平的总趋势是相位检波器中的噪声电平最高，VCO中的噪声电平最低。

由图4可见，使用防护环的轻掺杂型衬底的DPLL电路有最高的噪声电平，而使用防护环的重掺杂型衬底的DPLL电路有最低的噪声电平。

3.2 DPLL频率牵引时间、频率牵引范围及锁定时间

图5给出了低频及高频工作时在有衬底噪声的情况下，DPLL的频率牵引时间、频率牵引范围及锁定时间。

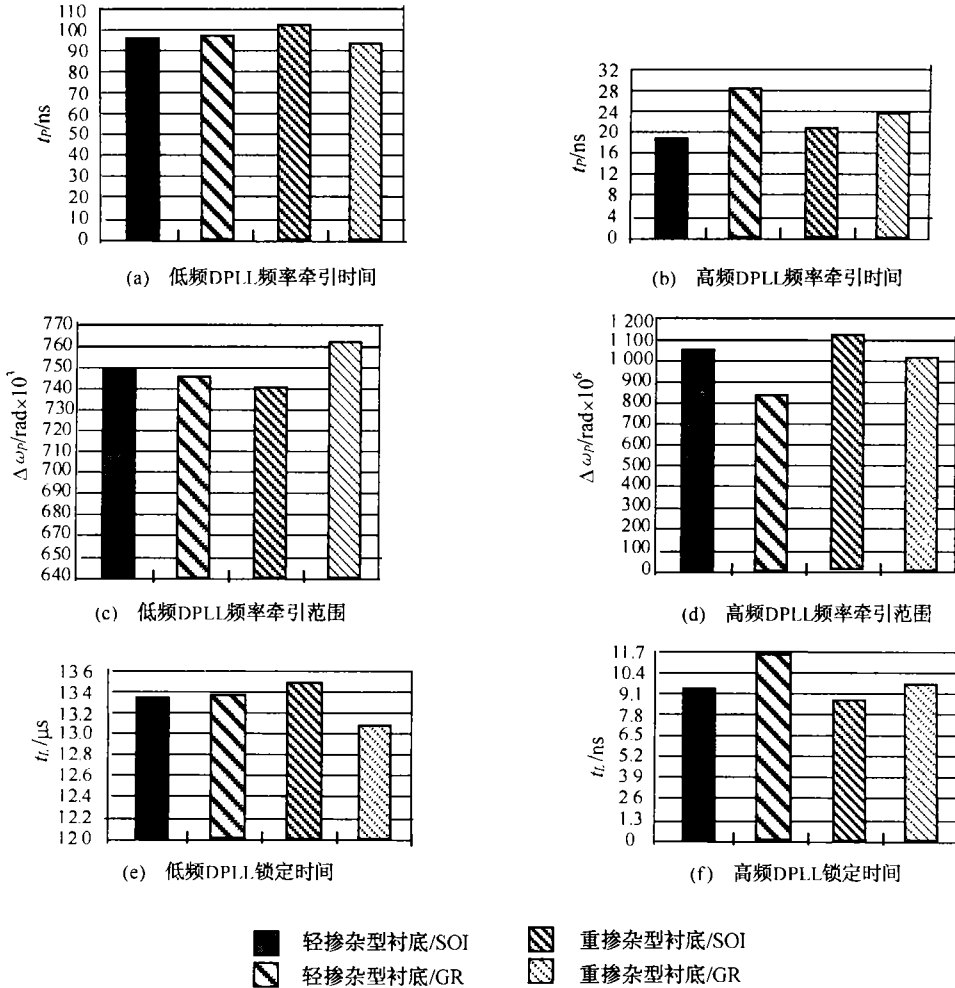


图5 DPLL性能特性

通常希望锁相环的锁定时间短好，因此文中就锁定时间对应用SOI和使用防护环的减小衬底噪声的技术作一比较。低频工作时，应用SOI技术可望大幅度降低衬底噪声，从而改善电路性能。使用防护环也望改进电路性能，但程度不及应用SOI技术^[7]。由图5e可见，使用防护环的轻掺杂型衬底的DPLL比应用SOI技术有较长的锁定时间。但对于重掺杂型衬底，使用防护环的DPLL的锁定时间较短。这表明了重掺杂型衬底、防护环的性能优于SOI。由图5f可知，高频工作时应用SOI技术的DPLL的锁定时间短。

4 结束语

通过研究衬底噪声的影响可知，对于混合信号集成电路，在不同的应用中可据此选择合适的衬底类型和相应的减小衬底噪声的方法。就DPLL而言：低频轻掺杂型衬底，SOI优于防护环；低

频重掺杂型衬底, 防护环优于SOI; 高频轻掺杂和重掺杂型衬底, SOI均优于防护环。在实际电路设计中, 首要考虑的是制造成本。SOI由于工序较多而导致成本较防护环为高, 衬底掺杂越轻制造成本越高, 故综合讲应采用使用防护环的重掺杂型衬底。

本文是对复杂的混合信号集成电路衬底噪声的模拟研究, 进一步研究将采用更精确的衬底模型, 并考虑实际电路的版图和制造以作比较。

参 考 文 献

- 1 Takeuchi S. A 30-MHz mixed analog/digital processor. IEEE J Solid-State Circuits, 1990, 25(10):1 485~1 463
- 2 Schmerbeck T J, Richetta R A, Smith L D. A 27 MHz mixed A/D magnetic recording channel DSP using partial response signalling with maximum likelihood detection. In ISSCC Dig Tech Papers, 1991
- 3 Su D K, Loinaz M J, Masui S, *et al.* Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits. IEEE J Solid-State Circuits, 1993, 28(4):420~430
- 4 Joardar K. A simple approach to modeling cross-talk in integrated circuits. IEEE J Solid-State Circuits, 1994,29(10):1 212~1 219
- 5 师奕兵, 陈光福, 王厚军. 混合信号集成电路中的衬底噪声耦合. 电子科技大学学报, 2000, 29(2): 174~177
- 6 Baker R, Li H, Boyce D. CMOS: circuits design, layout, and simulation. New York: IEEE Press, 1998: 373~424
- 7 Raskin J P, Viviani A, Flandre D, *et al.* Substrate crosstalk reduction using SOI technology. IEEE Trans Electron Devices, 1997, 44(12): 2 252~2 261
- 8 Razsvi B, Lee K, Yan R. Design of high-speed, low-power frequency dividers and phase-locked loops in deep submicron CMOS. IEEE J Solid-State Circuits, 1995, 30(2): 101~109

Analysis and SPICE Simulation of Substrate Crosstalk in Mixed-signal IC Digital PLL

Shi Yibing Chen Guangju Wang Houjun

(Dept. of Automation, UEST of China Chengdu 610054)

Jiann S. Yuan

(ECF Department, University of Central Florida Orlando FL32816)

Abstract In this paper, a complex mixed-signal circuit—monolithic digital phase-locked loop along with its substrate crosstalk models is built and simulated using PSPICE and two external programs written in C Language. The study and analysis provide us better insight into the effect of substrate crosstalk on a complex mixed-signal circuit. Proper substrate type for application is developed.

Key words mixed-signal IC; substrate crosstalk; model; digital PLL