

网络集中器的硬件设计

韩 蒙*

(电子科技大学人文社科学院 成都 610054)

【摘要】介绍了集中器硬件设计方案。该集中器实现了在一个信道上集中三路同步/五路异步、八路异步的数据。通过其内置主串口、外置主串口连接通信设备,实现数据复用。当线路发生故障时,自动切换到备份线路。并从处理器及中断系统、数据通信控制、系统可靠性设计方面讨论了集中器的设计方案。

关键词 数据集中;高级数据链控制路规程;串行通信控制器;硬件设计

中图分类号 TP393.05

本文研究的集中器可在一个信道上集中三路同步/五路异步、八路异步的数据传输,支持波特率范围为300~115 200 bps的异步终端、800~256 000 bps的同步终端及基于HDLC/SDLC协议的同步终端^[1]。并且可自动检测当前线路状况,当发生故障时,自动切换到备份线路。同时对系统参数进行设置、修改并保存,具有较高智能处理能力^[2],集中器的设计主要由以下几部分组成:

- 1) 处理器及中断系统:采用Z84C00芯片,完成中断控制、系统控制等功能;
- 2) 数据通信控制:采用Z85C30芯片,完成异步、同步通信控制、同/异步数据收发时钟生成,定时/计数器Z80-CTC作主串口、子串口同步通信时的超时重发定时器;
- 3) 串行接口:按照EIA RS-232-C标准,设计异步、同步数据以及控制信号传送,同、异步复用引脚的切换电路;
- 4) 可靠性设计:从CPU负载能力、电源电压稳定方面考虑可靠性设计:(1) 线路驱动:地址总线驱动、部分控制信号驱动和数据总线驱动;(2) 电压监视:电源电压监控和Watch Dog监控,端口和线路加密^[3]。

1 处理器及中断系统

设计采用CPU为Zilog公司Z84C00芯片,是第四代增强型微处理器^[4],具有较好的性价比。寻址范围为64 K,时钟频率为10 MHz。需外部提供时钟信号时,采用36.864 MHz有源晶体振荡器,其输出经四分频作CPU及系统的时钟。

集中器接收和发送数据均采用中断模式^[5],由85C30相应的通道向CPU提出中断请求,在中断服务程序,将接受或发送数据放到各通道的内存缓冲区处理。其主通道(内置高速口和外置主串口)有最高优先权。考虑中断源较多,通过各Z85C30菊花链延时较大,故采用先行进位方式。将各中断设备的IEI和IEO信号送至一片可编程通用阵列逻辑(GAL16V8)上,优先权低的设备绕过菊花链直接向CPU申请中断,实现先行进位,如图1所示。

2 数据通信控制

各终端到集中器、集中器到内置或外置主串口之间的数据传输控制,均用串行通信控制器Z85C30。集中器内置高速口、外置主串口的分别使用Z85C30A、B通道,需1片Z85C30。同理,8个子通道需4片Z85C30。Z85C30是ZiLOG公司生产的串行通信控制器^[4,5],又称SCC(Serial

Communication Controller), 可自动完成CRC校验, 具有较强的功能。异步、同步通信收、发送时钟由SCC片的波特率生成器产生, SCC的每个通道都含可编程的波特率生成器。

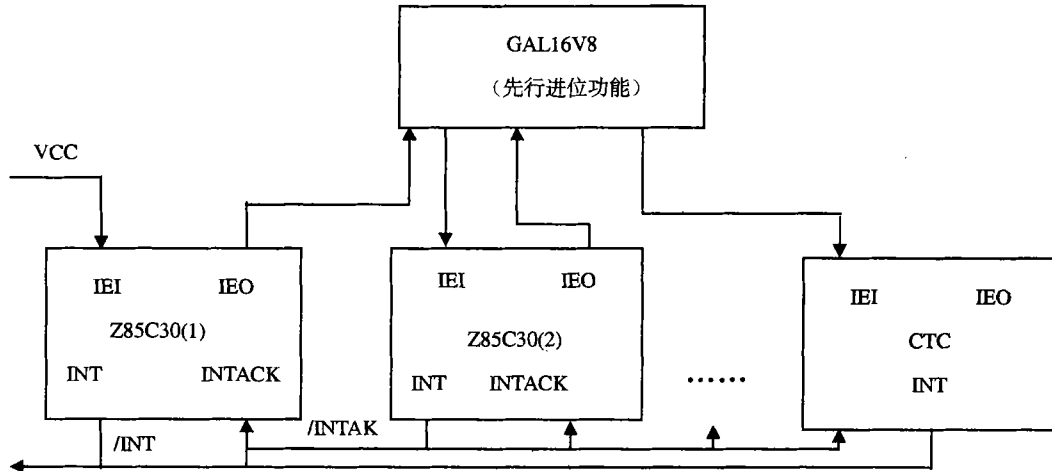


图1 中断请求的先行进位

波特率与时间常数的关系为:

$$\text{时间常数} = \text{PLCK或/RTXC的频率} / 2 \times (\text{波特率}) \times (\text{时钟模式}) - 2$$

式中 PCLK或/RTXC是波特率生成器的输入信号频率; 时钟模式为1、16、32或64。在异步通信时接收、发送时钟可选择为波特率的16、32或64倍。在同步通信时接收、发送时钟与波特率相同。晶体振荡器的输出作波特率生成器的输入, 通过SCC的波特率发生器产生接收、发送时钟信号。系统启动后, 可在集中器提供的用户程序中对各通道的波特率进行设置。

2.1 同/异步传输的时钟来源

对异步通信: 集中器以终端设备波特率16倍、32倍或64倍的时钟频率收、发数据。对同步通信有两种方式: 1) 内部时钟方式: 集中器与终端用集中器内部时钟作为两者收、发数据时钟; 2) 外部时钟方式: 集中器与终端用外同步终端提供的时钟作为两者收、发送数据时钟。

2.2 数据传输方式的设置

集中器与主串口的收、发数据以及集中器与终端之间的子通道的收、发数据, 均用Z84C00中断模式2方式。SCC有发送、接送、外部/状态三类中断。在程序控制下, 能允许每种中断类型, 通道A的优先级高于通道B; 每个通道中优先级的排列为: 接收、发送、外部/状态。

SCC的接收器、发送器工作方式设置为: 1) 接收: 采用每字符中断方式, 即SCC接收缓冲区中每出现一个字符都引起中断, 在中断服务程序中进行数据接收; 2) 发送: 采用发送缓冲器全空提出中断请求, 当发送缓冲器全空时提出中断请求, 在中断服务程序中进行数据发送。

3 流量控制

集中器支持双向软件流控、单向软件流控、单向硬件流控和双向硬件流控。接口/RTS、/CTS信号电平的变化引起SCC的外部状态中断, 达到硬件流控的目的

4 地址空间分配

存储器空间分配如下: 程序地址空间0~32 KB; 变量地址空间30~32 KB; 各通道接受、发送数据缓冲区地址空间32~64 KB。

集中器设计共9个通道(内置主串口和外置主串口分时使用中断优先级最高的同一通道, 其余的分别接对应的8个子通道), 每片SCC有A、B两个通道, 每通道分别有控制口和数据口、定时计数器CTC4个通道、看门狗端口WATCDOG、载波状态检测口CDDECT等端口。

其他I/O端口包括: 1) 载波状态检测口: 集中器读取该口, 检测内置或外置设备的载波检测(CD)信号。根据信号是否有效, 判断所连的设备是否与远端的设备建立连接, 并作为线路切换的硬件信号的判据; 2) 指示灯及控制口: 用锁存器、对该端口进行写操作, 实现对集中器的工作状态显示、主从指示及通信线路切换、子通道的同/异步切换等控制。

5 提高可靠性的措施

1) 在系统运行中, 为防止电源不稳定, 用监控电路对电压监控。程序通过端口CLRDOG发出周期脉冲, 清零看门狗计数器。如程序跑飞未清看门狗, 计数器溢出, 产生/RESET信号, 恢复系统初始状态。

2) CPU的地址A0, A1、控制信号/RD、/WR等信号负载较多, 为保证信号质量, 将以上信号通过线驱动器/线接收器驱动加以驱动。

3) 对于数据总线, 同样考虑信号的驱动。由于数据总线是双向传送, 可利用CPU的写信号/WR来作线驱动器方向控制。应注意写周期、/WR信号是以后沿(上升沿)将数据写入到存储器或I/O芯片。此时, 线驱动器方向随着/WR发生变化, 数据线上待写入的数据可能由于线驱动器的方向变化而不能正确写入。因此, 需将/WR信号适当延迟作为线驱动器的方向控制信号, 即数据正确写入后, 线驱动器的方向才能变化。设计中利用线驱动器未用完的两个门对/WR进行了延迟, 实验证明该方法是可行的。

集中器经金融部门试用, 连续工作一年, 性能稳定, 在一对多点通信的场合, 该设计可节省线路资源, 有较大的实用价值。

参 考 文 献

- 1 Luo Huiqiong, Liu Xinsong. The communication software structure in gube-bus-based array computer. Journal of University of Electronic Science and Technology of China, 1991, 20(5): 519~524[罗惠琼. 立方体总线型阵列集中的通讯软件结构. 电子科技大学学报, 1991, 20(5): 519~524]
- 2 Ma Zheng. Intelligent network—the latest new technology for making communication networks intelligent. Journal of University of Electronic Science and Technology of China, 2000, 29(1): 1~4[马 争. 智能网—网络智能化的关键技术. 电子科技大学学报, 2000, 29(1): 1~4]
- 3 Zhou Shijie, Qing Zhiguang, Geng Ji. Security in office automation. Journal of University of Electronic Science and Technology of China, 2000, 29(2): 201~204[周世杰, 秦志光, 耿 技. 办公自动化系统中的安全性. 电子科技大学学报, 2000, 29(2): 201~204]
- 4 周明德. 微型计算机硬件软件及其应用. 北京:清华大学出版社, 1999
- 5 周建民. Z-84-超级Z80系列原理、应用与技术手册. 合肥:中国科学技术大学出版社, 2000

Hardware Design of Net MUX

Han Meng

(College of Humanities, UEST of China Chengdu 610054)

Abstract In this paper, the hardware design of the MUX is introduced, which centralizes 3 synchronous /5 asynchronous or 8 asynchronous data on a single channel. With the internal master serial port and external master serial port connecting to communication equipment, the data multiplex is implemented, which is able to keep working by swithing automaticly to reserve line when the current line fails to work normally. It also makes the communication more secure by encrypting the data issued at the port and the communication line. This paper also studies the interrupt system, data communication control, system reliability design.

Key words data centralization ; high level data link control; serial communication controller; hardware design