

## 四值非门和与非门电路的研究

陈书开<sup>\*1</sup> 林岗<sup>2</sup> 吴建华<sup>1</sup> 晏弼成<sup>1</sup>

(1.长沙电力学院数学与计算机系 长沙 410077; 2.中山市今泰空调器制造有限公司 中山 528400)

**【摘要】**采用双极型晶体管设计出了四值TTL非门和与非门电路,实际电路具有较好的输入输出特性、较强的负载能力和抗干扰能力,噪声容限可达到 $\pm 0.6$  V。其与非门电路不仅全部由NPN型晶体管构成,且结构非常简单,容易做成集成电路。实际电路具有实用价值,可用作构造四值数字系统、人工神经网络和模糊逻辑系统的基本单元电路。

**关键词** 多值逻辑; 四值非门; 四值与非门; 离散逻辑

中图分类号 TN791

## Study on About the Circuit of 4 Values NOT Gate and NAND Gate

Chen Shukai<sup>1</sup> Lin Gang<sup>2</sup> Wu Jianhua<sup>1</sup> Yan Bicheng<sup>1</sup>

(1.Dept.of Mathematics and Computer, Changsha Electric Power Institute Changsha 410077;

2.ZhongShan JinTai Air Conditioner Factory Zhongshan 528400)

**Abstract** The circuits 4-Value TTL NOT gate and NAND gate, which designed using bipolar transistor, have better I/O character, stronger energy of load and noise immunity, their noise margin may reach  $\pm 0.6$  V. Especially, the circuit of NAND gate may be totally made by NPN transistor, and the circuit structure is simple, easily is complicated by Integrate Circuit. The circuits introduced in this paper is useful, may be used in basic cell circuit of 4-Value Digital System, Artificial Neural Network and Fuzzy Logical System.

**Key words** multiple value logic; 4 value not gate; 4 value and not gate; discrete logic

多值逻辑是现代电子科学技术和计算机科学技术发展的一个重要方向。由于一位四值逻辑所能表示的信息量正好与两位二值逻辑所能表示的信息量相同,所以对四值逻辑的研究较为普遍,成果卓著。DYL多元逻辑电路是一种很好的多值“与或”门<sup>[1]</sup>,可用作任意值“与或”逻辑门,但由于DYL电路属于连续逻辑电路,电平衰减和噪声容限是必须考虑的问题,这就要求电路的特性具备严格的一致性,即要求有更高的制作精度。且在DYL系列中没有非门电路,在工程设计时会感到有些不方便,需要使用非门时还得用其他门电路组合而成,如文献[2]运用DYL的min门和J门构成非门电路。本文只是给出不同的四值TTL非门电路,并在此基础上讨论四值与非门和五态门的设计。这些门电路均属于离散逻辑电路,经过计算机仿真,其结果证明具有良好的性能和一定的抗干扰能力,可以做成集成电路,供四值组合逻辑电路和四值逻辑电路设计选用<sup>[3,4]</sup>。

2001年12月25日收稿

\* 男 29岁 在职博士生 讲师

## 1 四值非门电路的设计

四值非运算的定义

$$\bar{X} = 3 - X \quad (1)$$

式中  $X \in L, L = \{0, 1, 2, 3\}$ , “-”为学术减。四值非门真值如表1所示, 表2所示的为本文逻辑约定。

表1 四值非门真值表

$X$	0	1	2	3
$\bar{X}$	3	2	1	0

表2 四值逻辑约定表

逻辑状态	0	1	2	3
逻辑电平/V	0	1.4	2.8	4.2

### 1.1 电路组成

TTL四值非门电路结构如图1a所示, 图1b为其逻辑符号, 它由11个晶体管, 4个二极管和19个

电阻构成, 其中晶体管 $Q_1$ 和电阻 $R_1$ 组成输入电路, 其余的元器件构成三条支路。第一条支路由晶体管 $Q_2 \sim Q_4$ 、 $Q_8$ , 二极管 $D_3$ 、 $D_4$ 和电阻 $R_2 \sim R_5$ 组成。该支路既负责将0 V输入电压转换为4.2 V输出, 又负责将1.4 V输入电压转换为2.8 V输出。 $Q_3$ 管与 $Q_4$ 管均为输出管,  $Q_8$ 为控制管。第二条支路由晶体管 $Q_5$ 、 $Q_6$ 、 $Q_7$ , 二极管 $D_1$ 、 $D_2$ 和电阻 $R_7$ 、 $R_{11}$ 组成。该支路负责将2.8 V输入电压转换为1.4 V输出。第三条支路则由晶体管 $Q_9$ 、 $Q_{10}$ 、 $Q_{11}$ 和电阻 $R_{14} \sim R_{19}$ 组成。该支路负责将4.2 V输入电压转换为0 V输出。

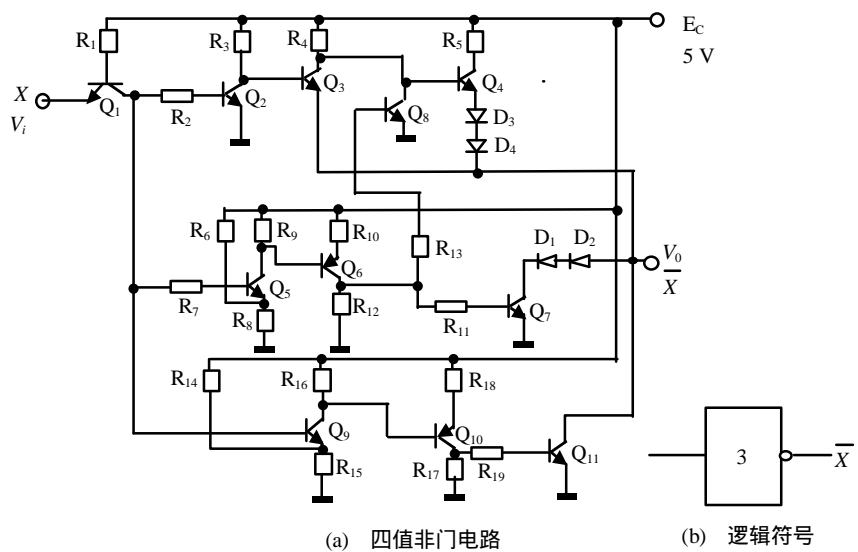


图1 TTL四值非门电路和逻辑符号

在四值非门电路中需要设置三个阈值检测器。如何确定各阈值电压, 这是一个需要解决的问题, 离散任意值逻辑门电路中各阈值电压公式为

$$V_{Ti} = V_{Li} - (V_F/2) \quad (2)$$

式中  $V_{Li}$ 表示逻辑电平;  $V_F$ 则表示逻辑电平级间摆幅。若根据此式来确定阈值电压的高低, 那么电路的正负噪声容限基本相等。由于表2约定的逻辑电平摆幅为1.4 V, 所以三个阈值电压 $V_{T1}$ 、 $V_{T2}$ 、 $V_{T3}$ 的值分别设置为0.7 V、2.1 V和3.5 V。第一个阈值检测器由 $Q_2$ 管和 $R_2$ 、 $R_3$ 组成; 第二个阈值检测器由 $Q_5$ 管和 $R_6 \sim R_9$ 组成; 第三个阈值检测器则由 $Q_9$ 管和 $R_{14} \sim R_{18}$ 组成。

### 1.2 工作原理

当输入电压 $V_i = 0$  V时, 晶体管 $Q_1$ 的基极电压 $V_{B1} = V_i + V_{BE1} = 0.7$  V, 其集电极电压 $V_{C1} = V_{BE} - V_{BC1} = 0$  V。此电压小于三个阈值电压中的任何一个, 因而三个阈值检测器均截止, 第二条支路和第三条支路中的其他晶体管和 $Q_8$ 管也随之截止。由于 $Q_2$ 管截止, 其集电极电压 $V_{C2} = E_c - V_{R3} = 5$  V - 0.1 V = 4.9 V =  $V_{B3}$ 。此时,  $Q_3$ 管导通, 其发射极电压 $V_{E3} = V_{B3} - V_{BE3} = 4.9$  V - 0.7 V = 4.2 V, 因此,  $Q_4$ 管和 $D_3$ 、 $D_4$ 不能导通。所以这时输出电压:  $V_o = E_c - V_R - V_{BE3} = 4.2$  V, 因为负载电流 $I_l = I_{O3}$ 由 $Q_3$ 管的发射极流出, 故 $I_{O3}$ 称为拉电流。

当输入电压  $V_i=1.4\text{ V}$  时, 此电压大于阈值电压  $V_{T1}$ , 而小于  $V_{T2}$  和  $V_{T3}$ , 故第二条支路和第三条支路的全部晶体管以及  $Q_8$  管仍然处于截止状态。阈值检测器1中的  $Q_2$  管导通, 迫使输出管  $Q_3$  截止。  $Q_3$  管集电极电压  $V_{C2}=V_{B4}=E_C - V_{R4}=5\text{ V} - 0.1\text{ V}=4.9\text{ V}$ , 此电压使输出管  $Q_4$  及二极管  $D_2$ 、  $D_4$  导通。所以此时输出电压:  $V_0=E_C - V_{R4} - V_{BE4} - V_{D3} - V_{D4}=5\text{ V} - 0.1\text{ V} - 0.7\text{ V} - 0.7\text{ V} - 0.7\text{ V}=2.8\text{ V}$ , 由于负载电流  $I_i=I_{02}$  由  $Q_4$  管的发射极流出, 故  $I_{02}$  也为拉电流。

当输入电压  $V_i=2.8\text{ V}$  时, 此电压大于阈值电压  $V_{T1}$  和  $V_{T2}$ , 小于  $V_{T3}$ , 故晶体管  $Q_9\sim Q_{11}$  全部截止。  $Q_2$  管导通,  $Q_3$  截止。由于  $Q_5$  管导通,  $Q_6$  管,  $Q_7$  管,  $Q_8$  管也随之导通, 因为  $Q_7$  管导通, 二极管  $D_1$ 、  $D_2$  也随之导通。此时输出电压:  $V_0=V_{CES7}+V_{D1}+V_{D2}=0\text{ V}+0.7\text{ V}+0.7\text{ V}=1.4\text{ V}$ , 负载电流  $I_i=I_{01}$  由负载流入  $D_2$ 、  $D_1$  和  $Q_7$  管的集电极, 故  $I_{01}$  称为灌电流。为了提高负载能力, 使灌电流完全来自负载, 此时  $Q_8$  导通, 强迫  $Q_4$  管截止。

当输入电压  $V_i=4.2\text{ V}$  时, 此电压大于阈值电压  $V_{T1}$  和  $V_{T2}$ , 也大于  $V_{T3}$ , 所以三个阈值检测器均导通。  $Q_2$  管导通,  $Q_3$  截止。  $Q_5$  管导通,  $Q_6$ 、  $Q_7$ 、  $Q_8$  管随之导通, 同时迫使  $Q_4$  管截止。由于  $Q_9$  管导通,  $Q_{10}$ 、  $Q_{11}$  管也随之导通。此时输出电压  $V_0=V_{CES1}=0\text{ V}$ 。二极管  $D_1$ 、  $D_2$  因无正向电压而截止。负载电流  $I_i=I_{00}$  完全由负载流入  $Q_{11}$  管的集电极, 故  $I_{00}$  也称为灌电流。

由上述分析可知, 图1所示四值非门可以完成四值非运算:  $\bar{X} = 3 - X$

### 1.3 计算机仿真测试

应用Pspice对图1a所示的四值非门电路进行仿真的波形如图2a所示, 测得的输入电压  $V_i$  和输出  $V_0$  数据如表3所示。用EWB仿真波形如图2b所示。

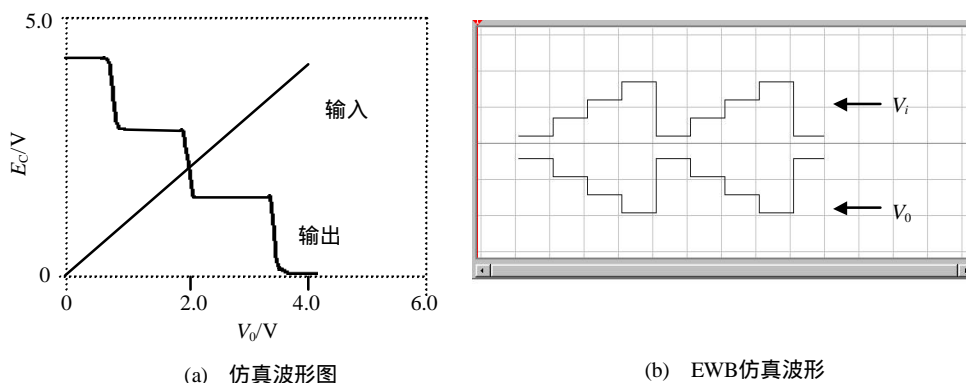


图2 四值非门的仿真波形

表3 四值非门仿真实测值

$V_i/V$	0	0.5	0.6	0.7	1.4	2.0	2.1
$V_0/V$	4.174 1	4.173 2	4.125 8	2.805 0	2.805 0	2.799 4	1.529
$V_i/V$	2.8	3.4	3.5	3.6	4.0	4.2	
$V_0/V$	1.437 1	1.446 8	0.150 5	0.083 2	0.066 3	0.004 8	

## 2 四值与非门(即取小非门)电路的设计

多值取小算子定义为:  $F=X \quad Y=X \cdot Y$ , 若  $X, Y \in L, L=\{0,1,2,3\}$ 。上式则为四值取小算子, 其真值表如表4所示。

表4 四值取小算子真值表

$X$	0	0	0	0	1	1	1	1	2	2	2	2	3	3	3	3
$Y$	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
$F$	0	0	0	0	0	1	1	1	0	1	2	2	0	1	2	3

若将取小算子和非算子组合起来, 就构成取小非算子。四值取小非算子为:  $F=3 - \min(X,Y)$  或  $F=X \quad Y=X \cdot Y$ , 其真值表如表5所示。

表5 四值取小非算子真值表

X	0	0	0	0	1	1	1	1	2	2	2	2	3	3	3	3
Y	0	1	2	3	0	1	2	3	0	1	2	3	0	1	2	3
F	3	3	3	3	3	2	2	2	3	2	1	1	3	2	1	0

只要将图1所示四值非门输入电路中的晶体管 $Q_1$ 用多发射极晶体管代替, 便成了四值与非门电路。为了全部采用NPN型晶体管, 现给出本文设计的另一种四值与非门电路, 如图3所示, 它与图1相比, 不仅全部采用NPN型晶体管, 且电路结构更简单。

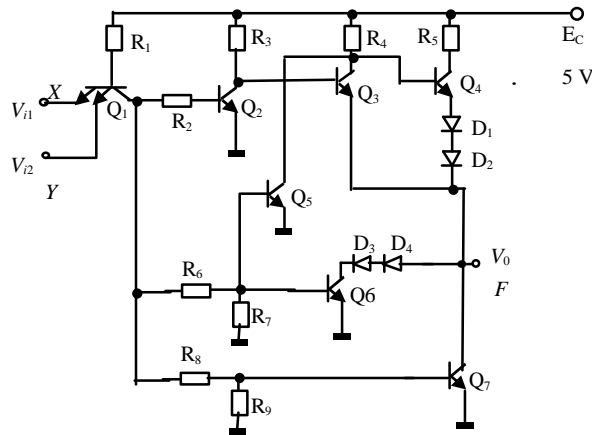


图3 TTL四值与非门电路

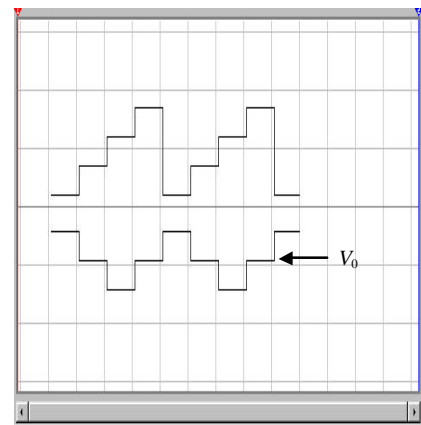


图4 四值与非门的仿真波形

在图3所示四值与非门电路中, 其输入部分由多发射极晶体管 $Q_1$ 和电阻 $R_1$ 构成与门, 由电阻 $R_1$ 和晶体管 $Q_1$ 的发射结组成阈值检测器1,  $V_{T1}=0.7 \text{ V}$ ; 由电阻 $R_6$ 、 $R_7$ 和晶体管 $Q_6$ 的发射结组成阈值检测器2,  $V_{T2}=2.1 \text{ V}$ ; 由电阻 $R_8$ 、 $R_9$ 和晶体管 $Q_7$ 的发射结组成阈值检测器3,  $V_{T3}=3.5 \text{ V}$ 。

当输入电压  $V_{i1}=V_{i2}$  时,  $Q_1$  管的基极电压  $V_{B1}=V_{i1}+V_{BE1}$ , 其集电极电压  $V_{C1}=V_{B1} - V_{BC1}=V_{i1}+V_{BE1} - V_{BC1}=V_{i1}$ 。  $Q_1$  管处于深饱和工作状态。

当输入电压  $V_{i1} < V_{i2}$  时, 如  $V_{i1}=1.4 \text{ V}$  (逻辑1电平),  $V_{i2}=4.2 \text{ V}$  (逻辑3电平)。此时  $Q_1$  管与 X 端相连的发射结导通, 其基极电压  $V_{B1}=V_{i1}+V_{BE1}=1.4 \text{ V}+0.7 \text{ V}=2.1 \text{ V}$ , 与 Y 端相连的发射结因反向电压而截止。这时  $Q_1$  管的集电极电压  $V_{C1}=V_{B1} - V_{BC1}=2.1 \text{ V} - 0.7 \text{ V}=1.4 \text{ V}=V_{i1}$ 。  $Q_1$  管也处于深饱和工作状态。

同理, 当输入电压  $V_{i2} < V_{i1}$  时,  $V_{C1}=V_{i2}$ 。可见, 与运算已由输入电路实现, 而非运算则由各阈值检测器和输出电路共同完成。

当  $V_{C1} = 0 \text{ V}$  时, 由于  $V_{C1} < V_{T1} < V_{T2} < V_{T3}$ , 因而三个阈值检测器均截止, 此时输出电路中只有  $Q_3$  管导通, 故这时输出电压

$$V_0 = E_C - V_{R3} - V_{BE3} = 4.2 \text{ V}$$

因此,  $Q_4$  管和  $D_1$ 、 $D_2$  不能导通。因为负载电流  $I_L=I_{O3}$  由  $Q_3$  管的发射极流出, 故  $I_{O3}$  称为拉电流。

当  $V_{C1}=1.4 \text{ V}$  时。由于  $V_{T1} < V_{C1} < V_{T2} < V_{T3}$ , 阈值检测器1中的  $Q_2$  管导通, 迫使输出管  $Q_3$  截止。又因  $Q_3$  管截止, 其集电极电压  $V_{C3}=V_{B4}=E_C - V_{R4} = 5 \text{ V} - 0.1 \text{ V} = 4.9 \text{ V}$ , 此电压使输出管  $Q_4$  及二极管  $D_1$ 、 $D_2$  导通。所以此时输出电压

$$V_0 = E_C - V_{R4} - V_{BE4} - V_{D3} - V_{D4} = 5 \text{ V} - 0.1 \text{ V} - 0.7 \text{ V} - 0.7 \text{ V} - 0.7 \text{ V} = 2.8 \text{ V}$$

由于负载电流  $I_L=I_{O2}$  由  $Q_4$  管的发射极流出, 故  $I_{O2}$  也为拉电流。

当  $V_{C1}=2.8 \text{ V}$  时。由于  $V_{T1} < V_{T2} < V_{C1} < V_{T3}$ 。这时  $Q_2$  管导通,  $Q_3$  截止。  $Q_5$  管和  $Q_6$  管同时导通。由

于 $Q_5$ 管导通,迫使 $Q_4$ 管截止。因 $V_{C1} < V_{T3}$ ,故 $Q_7$ 管截止。此时在输出电路中只有晶体管 $Q_6$ 管和二极管 $D_3$ 、 $D_4$ 导通,其他晶体管均处于截止状态。所以此时输出电压

$$V_0 = V_{CES6} + V_{D3} + V_{D4} = 0 \text{ V} + 0.7 \text{ V} + 0.7 \text{ V} = 1.4 \text{ V}$$

负载电流 $I_L = I_{01}$ 由负载流入 $D_4$ 、 $D_3$ 和 $Q_6$ 管的集电极,故 $I_{01}$ 称为灌电流。控制管 $Q_5$ 的作用是为了在 $Q_6$ 管导通时,迫使 $Q_4$ 管截止。使流入 $Q_6$ 管的电流全部来自负载,从而可提高负载能力。

当 $V_{C1} = 4.2 \text{ V}$ 。此电压大于所有阈值电压,所以三个阈值检测器均导通。 $Q_2$ 管导通, $Q_3$ 截止。 $Q_5$ 管导通,迫使 $Q_4$ 管截止。由于 $Q_7$ 管导通,此时输出电压

$$V_0 = V_{CES7} = 0 \text{ V}$$

二极管 $D_3$ 、 $D_4$ 因无正向电压而截止。负载电流 $I_L = I_{00}$ 完全由负载流入 $Q_7$ 管的集电极,故 $I_{00}$ 也称为灌电流。

由上述分析可知,图3所示四值与非门可以完成四值非运算: $\bar{X} = 3 - X$

用EWB对四值与非门进行仿真,令输入端 $X(V_{i1})$ 依次输入逻辑状态0,1,2,3,0,1,2,3,0,输入端 $Y(V_{i2})$ 依次输入逻辑状态0,3,2,1,0,3,2,1,0。 $V_{i1}$ 和输出 $V_0$ 的波形如图4所示。

### 3 五态门

五态门具有0,1,2,3和高阻五个状态,它主要用于构成四值总线。在图3所示四值与非门电路基础上加入控制电路便可以构成五态门,其控制电路结构及连接方法与三态门类似。由于篇幅所限,不再详述。

### 4 结束语

本文介绍的TTL四值非门和四值与非门电路具有较好的输入输出特性、较强的负载能力和抗干扰能力。正噪声容限达到+0.6 V,负噪声容限达到-0.7 V,若要使正负噪声容限相等,可以通过改变阈值检测器中的阈值电压就能达到。文中给出的式(1)可供设计离散多值逻辑门电路时参考,在其基础上再加一个修正值 $d$ ,如 $V_{Ti} = V_{Li} - (V_F/2) + d$ ,根据式(1)确定阈值电压,就可以使电路的正负噪声容限做到相等,如 $d = 0.05$ 。由图3a所示四值与非门可见,其电路结构简单,所用元件数与二值TTL与非门所用元件数相比并没有多很多,但它能处理信息量的大小却和两个二值TTL与非门处理信息量大小相同。四值与非门不仅可以用于构成四值组合逻辑电路及人工神经网络,特制是可以用它很方便地构成四值触发器。但应指出,虽然TTL门电路的功耗比CMOS门电路的功耗大,且TTL门电路的工作速度比CMOS门电路的工作速度快,所以,研究多值TTL电路是有意义的。

#### 参 考 文 献

- 1 王守觉,李致洁,刘训春等.极高速多元逻辑电路(DYL)线性“与或”门的研究.电子学报,1983,(5):9-16
- 2 陈书开.十值阈值和T门的研究.电路与系统学报,2000,5(1):30-33
- 3 薛良金.毫米波系统中的集成电路.电子科技大学学报,1999,28(4):346-352
- 4 王 勇,陈光祚.组合电路门时滞故障的可测性分析.电子科技大学学报,1999,28(1):58-61