

逻辑分析仪高速数据采集及数据窗口定位*

戴志坚** 师奕兵 王厚军

(电子科技大学自动化工程学院 成都 610054)

【摘要】探讨提高逻辑分析仪数据采集速率的途径，提出了一种提高逻辑分析仪数据采样率以及实现高速数据观察窗口在数据流中准确定位的新技术，论述了按照该技术设计的逻辑分析仪的基本结构和原理。用分相采样技术在普通逻辑分析仪基础上设计高速数据采集部分，并利用低速触发识别来定位高速数据窗口，以较小的代价实现高速数据采集和数据观察窗口的定位，增加设计的灵活性，提高逻辑分析仪的性价比。

关键词 逻辑分析仪；数据采集；分相采样；触发；数据窗；定位

中图分类号 TM932

Data Positioning in the Data Flow and High-speed Data Acquisition of Logic Analyzer

Dai Zhijian Shi Yibing Wang Houjun

(College of Automation Engineering, UEST of China Chengdu 610054)

Abstract This paper discusses the method to improve data acquisition rates of logic analyzer, presents a new technique to increase the equivalent data sampling rates of logic analyzer and to position the high-speed data view window in the data stream. By making use of this technology, it can take a small cost to improve performances of logic analyzer and improve the flexibility of the design.

Key words logic analyzer; data acquisition; sampling with different phase; trigger; data view window; positioning

逻辑分析仪是数据域测试的主要工具之一，可应用于数字总线系统的硬件设计、软硬件调试、故障维护等。随着CPU、DSP等的速度不断加快，功能日益增强，由其构成的数字总线系统的速度也越来越快，信号间的逻辑关系也更加复杂。为了适应测试的需要，逻辑分析仪也必须在两方面加强：1) 提高数据采集速率(国外的逻辑分析仪有的已达2 GHz)；2) 丰富触发功能，加强分析能力。本文利用分相采样、扩展数据宽度的新技术提高数据采集速率，基于100 MHz基频，实现了800 MSa/s的数据采样率，并使数据窗口能在数据流中准确定位。

1 逻辑分析仪高速数据采集及数据窗口定位的基本原理

一种虚拟逻辑分析仪的基本结构如图1所示，基本数据采集部分通过触发识别及FIFO读写控制来控制数据的采集与存储，实现数据观察窗口的定位。逻辑分析仪有两种工作模式：状态分析和定时分析。在状态分析时，为使存储数据与被测数据流一致，应满足

$$\text{DATA}*/\text{FWEN}=\text{f}(\text{clk},\text{trword},\text{datac})*\text{data} \quad (1)$$

2001年10月11日收稿

* 总装备部预研基金资助项目

** 男 33岁 硕士

式中 DATA为逻辑分析仪FIFO存储的数据; /FWEN 为FIFO的写使能; sclk为状态(外部)时钟; trword为触发字; datac为数据控制; data为被测系统数据。由式(1)可知当/FWEN与sclk、trword、datac符合严格关系时, DATA=data。/FWEN与sclk、trword、datac的关系由逻辑分析仪的工作方式确定, 例如: 在工作方式为状态分析、起始触发、零延迟时, 若数据流中出现trword, 则/FWEN在trword出现后的第一个sclk上升沿有效, 开始以sclk为时钟采集并存储数据, 因此FIFO中的数据DATA就等于数据流中trword后长度等于FIFO深度的一段数据data。

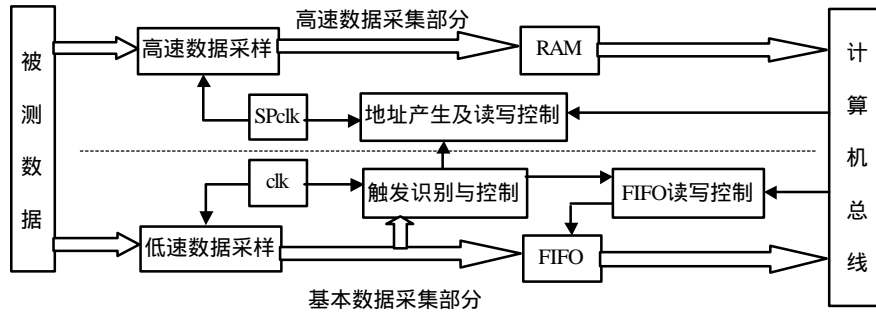


图1 一种虚拟逻辑分析仪的基本结构框图

在定时分析时, 应满足

$$DATA*/FWEN=f(trword,datac)*data \tag{2}$$

当/FWEN与trword符合相应的关系且采样频率为被测系统工作频率的5~10倍时, 可用存储的数据DATA得到足够的观察范围和满意的时间分辨率来观察被测系统数据流。但是当信号频率较高时, 无法使采样频率达到它的5~10倍, 所以设计了附加的高速数据采集部分。

图1中的高速数据采集部分由于只采用内时钟, 故只能作定时分析, 它也应该满足

$$SDATA*/SFWEN=f(trword, datac)*data \tag{3}$$

式中 SDATA为RAM存储的数据, /SFWEN为RAM的写使能, 当/SFWEN与trword、datac符合一定的要求时, 可用SDATA以极高的时间分辨率来观察被测系统数据流。/SFWEN与trword、datac的关系同样是由逻辑分析仪的工作方式确定的, 当trword有效后, 根据延迟等要求确定datac何时有效, 当两者都有效后/SFWEN进行相应操作。高速数据采样时钟SPclk是固定的, 一旦/SFWEN与trword关系确定, 则trword在数据窗口中的位置是确定的, 实现了高速数据观察窗口的准确定位。

2 高速数据采集技术

目前市场上的CPU工作频率越来越高, 系统时钟已达133 MHz甚至更高, 要适应这样的数字系统的测试要求, 必须提高逻辑分析仪的数据采样率。本文采用多路分相采样的方法, 在100 MHz时钟的基础上, 实现了800 MSa/s的采样率, 原理框图如图2所示。

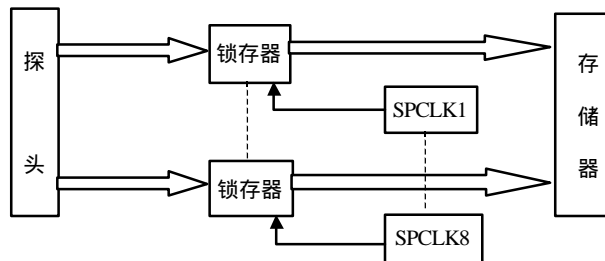


图2 多路分相采样原理框图

探头数据同时送至8路采样锁存器，每1路锁存器的时钟顺序延时。主时钟采用100 MHz，则相邻锁存器时钟上升沿间隔1.25 ns，1路数据变为8路。采样得到的数据送入RAM，以100 MHz的频率存储，就得到了800 MSa/s的数据采样率。

延时控制采用SYNERGY的SY100E195芯片，其延时控制精度可达30 ps。锁存器时钟产生电路原理框图如图3所示。

要在一个时钟周期内进行8次采样，则相邻时钟的相位差为45°。第1路时钟反相后，相差为180°，恰为第5路时钟。同理，第2、3、4路时钟反相后为第6、7、8路时钟。在100 MHz主时钟时，相邻两路时钟的延时为1.25 ns，调节延时器即可实现。

3 高速数据观察窗口在数据流中的定位

逻辑分析仪有别于一般数据采集器的是它具有丰富灵活的触发方式，其触发识别和控制功能可以使测试者在数据流中获取想要观察的数据。但是在800 MSa/s这样高的采样率下，受器件速度限制，无法直接进行触发识别，也就不能直接控制观察窗口在数据流中的位置，因而此功能受到限制。

分相采样后，一个通道数据扩展为8路。RAM的位宽度很大，考虑到成本因素，RAM的存储深度就不能太大。这样，在高速采样率的情况下，观察窗口就会很窄。例如FIFO深度为64 K，RAM

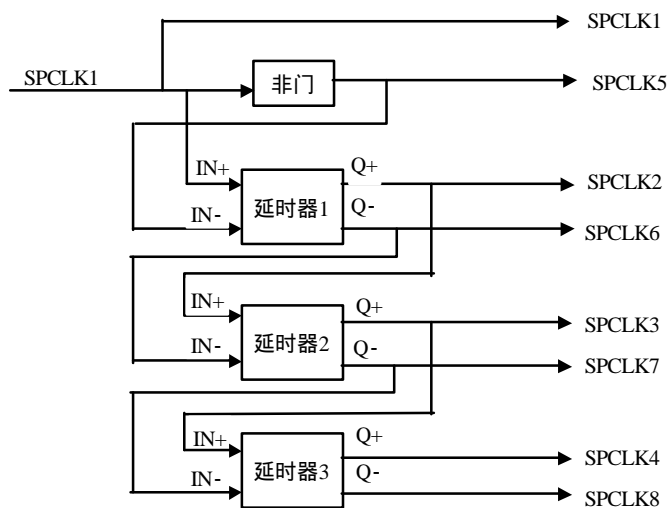


图3 时钟产生电路原理框图

深度为4 K，则在100 MHz采样时钟下的普通数据观察窗口宽度为

$$TW = \text{FIFOW} / \text{fclk} = 64 \times 1024 \times 10 \text{ ns} = 655.36 \mu\text{s} \quad (4)$$

式中 TW为数据观察窗口宽度；FIFOW为FIFO容量；fclk为采样时钟频率。而高速采样下的数据观察窗口宽度为

$$\text{STW} = \text{RAMW} / \text{sfclk} = 4 \times 1024 \times 1.25 \text{ ns} = 5.12 \mu\text{s} \quad (5)$$

式中 STW为高速数据观察窗口宽度；RAMW为RAM容量；sfclk为高速数据采样速率。

由此可见，高速数据观察窗口只有普通数据观察窗口的百分之一，需对其进行准确定位。如果不定位，则很难观察到我们想要观测的数据。本文采用低速数据采集电路中的触发识别和控制来控制高速数据采集窗口的定位，以捕获有用的数据，如图1所示。RAM的读写控制由一片CPLD来实现，其内部电路原理框图如图4所示。

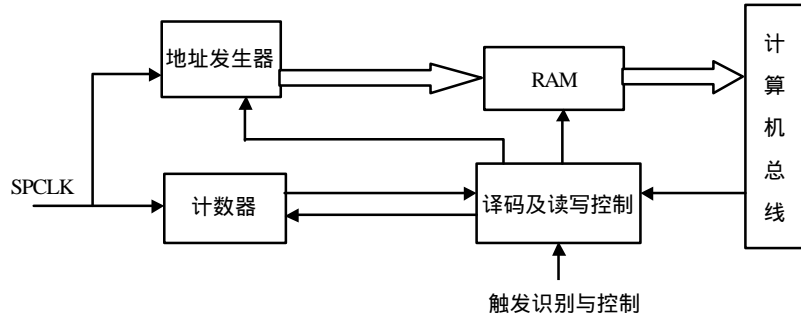


图4 RAM读写控制原理框图

启动后, RAM即开始存储数据。在写时钟SPCLK的作用下, 由地址发生器产生地址对RAM进行循环写, 这样RAM中随时保存最新的数据。一旦触发识别与控制电路送来的控制信号到达, 读写控制启动延迟计数器, 延迟一段时间后停止写RAM。这样, 高速数据采集器中采集的数据就是触发点附近的数据。利用图4中的延迟计数器来确定式(3)中/SFWEN与trword、datac的关系, 从而使观察窗口比较准确地定位在触发点上, 以便观察触发点附近的信号细节。当trword出现时即停止写RAM, 如果没有延迟计数器, 理想情况下控制信号没有延迟, 则trword位于SDATA的最后一个位置(RAM也采用先进先出的方式读写)。考虑到器件和线路的延迟(一般为20 ns左右, 该延迟是固定的), trword在SDATA中的位置会前移, 但仍然靠近尾部且位置始终不变。这里由延迟计数器通过datac来控制/SFWEN, 使得trword出现后延迟一段再停止写RAM, 这样通过设置延迟计数器的初值就可使trword在SDATA中的位置移动。因为计数器的计数时钟SPCLK为100 MHz, 则trword在SDATA中的位置每次最少移动8个, 所以能比较准确地确定trword在SDATA中的位置。

由于借助低速触发识别能使高速数据采集窗口定位, 所以可用较小的观察窗口观测所需数据, RAM的存储深度就可很小, 使得提高采样速率的同时仪器成本增加较小。

4 结 论

逻辑分析仪正向速度更快、触发更加灵活方便、通道更宽、存储深度更深的方向发展, 速度的提高除了靠器件自身速度提高外, 还可采用多种方法。一般逻辑分析仪要提高分辨率(即数据采样率)多采用分相存储的方法, 但存储器的数量大大增加, 使得提高数据采样率的代价太高, 而且在高采样率下的触发很难实现。根据以上技术设计逻辑分析仪, 在性能提高的同时, 成本增加不多, 还可实现更高速率的数据采集。由于普通数据采集电路采样时钟和高速数据采集电路的采样时钟完全隔离, 所以可在高速数据采集部分采用更快的器件, 使用更高的时钟频率。如, 在该部分采用200 MHz时钟就可使数据采样率达到1.6 GHz, 用较小的代价获得性能的快速提升。

参 考 文 献

- 1 师奕兵, 王厚军. 400 MHz/102通道逻辑分析仪控制电路的EPLD实现. 电子测量与仪器学报, 2000, 14(5): 397-400
- 2 陈光 禔, 张世 箕. 数据域测试及仪器(第3版). 成都: 电子科技大学出版社, 2001
- 3 Koleck K, Turnau A. Architecture of a high speed logic analyzer. MICRO' 90 Acta Press Anaheim USA, 1990