

SOC芯片的Top-Down设计方法*

余翔** 熊光泽

(电子科技大学计算机科学与工程学院 成都 610054)

【摘要】基于单芯片系统是电子技术发展的主流，可改变传统的系统软、硬件设计方法，介绍了单芯片系统的支撑技术——自顶向下设计方法的思想，讨论了其相关的信号处理系统设计自动化和软/硬件协同验证技术。结合GPRS终端数字基带处理器芯片设计，说明这一方法在单芯片设计中的应用。

关键词 单芯片系统；自顶向下设计方法；GPRS终端数字基带处理器；软/硬件协同验证
中图分类号 TN401；TN47

Top-Down Design Method for SOC Chips

Yu Xiang Xiong Guangze

(College of Computer Science and Engineering, UEST of China Chengdu 610054)

Abstract Current trends of electronic technologies suggest that embedded systems will be implemented on monolithic silicon chips. These constraints are forcing fundamental changes in the way we design software and hardware in SOCs. This article describes a novel top-down ASIC system design methodology and related technologies. Finally, we present our experience with using top-down approaches to design the digital base band chip of GPRS mobile phone.

Key words system on a chip; top-down design method; DBB chip of GPRS mobile phone; software/hardware co-verification

单芯片系统是集成整个系统的单个微电子芯片，也称为系统芯片或单片系统(SOC)。与板级系统(SOB)相比，SOC可大大提高系统的性能及可靠性，降低设备重量和体积，满足系统高速度、低功耗、低成本和多媒体、网络化、移动化的发展要求。

SOC的实现是以自顶向下设计(Top-Down Design)、超深亚微米VDSM(Very Deep Sub-Micron)工艺、可重用IP核(Reusable Intellectual Property Cores)、电子系统设计自动化ESDA(Electronic System Design Automation)、软/硬件协同仿真验证(Software/Hardware Co-Verification)等相关技术为支撑^[1]。在系统性能日益提高和相关技术发展的推动下，SOC技术成为21世纪国际超大规模集成电路发展的趋势。

Top-Down方法改变了传统的芯片系统设计方式，是SOC芯片设计的关键技术之一。以GPRS终端数字基带处理器(DBB)芯片系统设计为实例，介绍了该方法及其相关技术在SOC芯片系统设计中的应用情况。

1 Top-Down设计的基本思想

传统的专用集成电路(ASIC)设计采用从底向上(Down-Top)的方法较多，其基本思路是从系统需

2002年5月27日收稿

* 全国博士后管理委员会博士后基金资助项目

** 男 38岁 博士后 副教授

求出发,根据已存在的硬件基本单元划分设计树最末枝的单元模块。硬件基本单元是由EDA库提供,或外购及其他项目已开发出的单元。Down-Top设计是基于简单IC设计提出的方法,已不能满足复杂ASIC特别是SOC芯片的设计要求。

Top-Down方法整体考虑了SOC芯片软、硬件系统设计的要求。把系统需求、处理机制、芯片体系结构、各层次电路及器件、算法模型、软件结构、协同验证等紧密结合起来,从而用单个或极少几个芯片完成整个系统的功能^[2],其设计流程如图1所示,分为以下几个主要步骤:

- 1) 系统总体方案设计:芯片系统功能、指标定义、需求分析、产品市场定位,软/硬件划分、指标分解等整体方案论证;
- 2) 软、硬件方案设计:确定软、硬件体系结构,模块功能的详细描述及技术指标要求,时序及接口定义等工作;
- 3) 模块设计开发:完成硬件模块的开发,行为及时序仿真测试,底层硬件驱动程序编写,算法设计及仿真,协议和应用软件的设计与开发。对于复杂的功能模块,可进一步划分成子模块。在算法仿真时,根据系统指标的要求划分出信号处理硬件加速模块;
- 4) 软、硬件协同仿真测试^[3]:主要测试系统方案和软、硬件模块设计功能的正确性;
- 5) 样机平台的测试:主要是自建或专用的验证平台,测试整个设计的功能、性能指标是否达到要求。

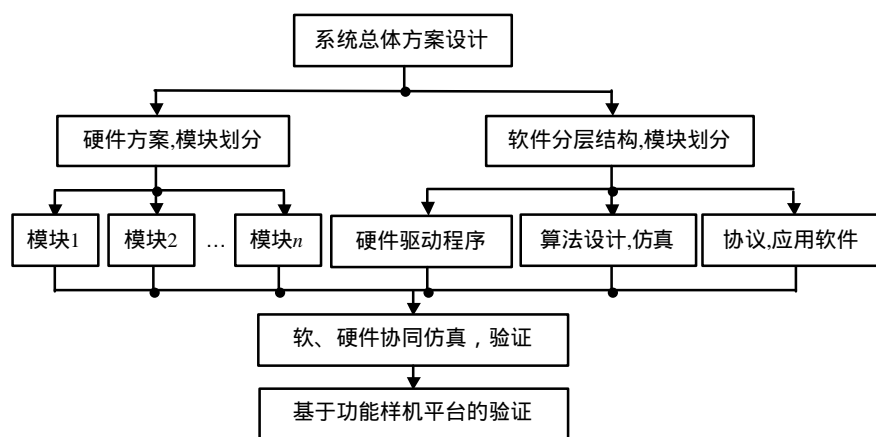


图1 Top-Down设计简化流程

Top-Down设计过程体现了层次化及目标化的系统设计思想。在SOC芯片设计时具有如下的优点:

- 1) 整体考虑了SOC芯片中软件及硬件设计。SOC芯片通常内嵌了MCU和DSP处理器,软件包含了硬件驱动、算法、协议、应用程序、实时操作系统等。在设计工作中软件占有相当大的比例,软件的难度和工作量随芯片复杂度的增加而进一步提高^[4,5];
- 2) 采用软、硬件协同设计,使软、硬件开发、测试工作并行进行;
- 3) 有利于知识产权核(IP Cores)的采用和可重用IP模块成果的产生;
- 4) 更加完善的测试、验证手段,由于ASIC的集成度、复杂度不断增加和投片费用较高,芯片功能和性能测试以及验证在SOC开发工作中起着越来越重要的作用;
- 5) 增加了对流片厂家选择的灵活性,符合当今芯片设计中,系统及前端设计与后端工作无关性的准则。

综上所述,采用Top-Down方法设计SOC芯片,可充分保证芯片功能和性能技术指标达到设计要求,有利于缩短开发周期,降低开发成本及产品的单片价格。

2 相关的设计技术

SOC芯片Top-Down设计方法的发展与完善很大程度上依赖于相关ESDA技术的进步。近年来为了适应SOC设计的需求,在电子设计自动化EDA(Electronic Design Automation)提升到ESDA方面取得了一定的进展,与系统设计有关的ESDA技术主要有:

1) 数字信号处理系统ESDA设计技术:这类ESDA工具已具备物理层数字信号处理系统的算法设计、仿真,软、硬件划分,自动硬件描述语言(HDL)及DSP程序代码生成,协同验证、调试等能力,如图2所示。对于前景好、产业规模大,如GSM/GPRS、CDMA、WCDMA、CDMA2000及数字电视图象处理等,提供了较完整的符合标准及规范的信号处理、信道模型单元及主流DSP和MCU模型。主要采用流驱动仿真技术,支持行为级建模、结构级建模和动态数据流、多速率设计。由于可采用标准模型单元和C++语言描述DSP系统^[6],从而极大地简化了物理层信号处理部分的设计工作。目前,在国内外大型系统及ASIC企业中应用最为广泛且比较成熟的主要有Cadence公司的SPW, Synopsys公司的Cocentric和Agilent公司的ADS。需要进一步完善的主要有浮点C转换到定点C所带来的量化误差的处理,定点C代码转换为HDL的效率及性能优化等方面的技术^[7]。

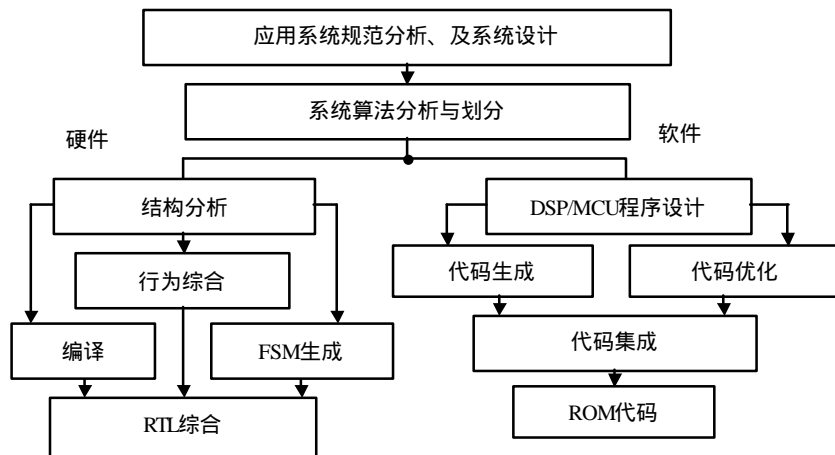


图2 DSP软、硬件ESDA设计技术

2) 软/硬件协同验证^[8]:目前ASIC和SOC芯片复杂度不断增加,且软件所占的比例和难度逐渐提高,几乎达到50%。在理想情况下,软、硬件的工作应同步进行,同时结束。但在实际情况下,软件开发因缺乏目标物理模型,通常只能进行一些与底层硬件无关的高层软件开发和验证。大量的软件调试、集成工作在硬件完成之前无法开展,只能在系统集成与测试阶段,前期设计的错误和缺陷等问题才会暴露出来。通常采用修改软件和降低产品总体性能指标的方法来完成目标产品的研发。在问题严重时,系统开发工作还得重新从头进行,难以满足芯片上市时间越来越短的要求。为此,出现了以Mentor公司的Seamless CVE和Synopsys公司的Eagle等为代表的软、硬件协同设计与验证ESDA工具。这些工具可在芯片开发初期为软件提供硬件仿真调试环境,在后期提供软、硬件协同验证平台。这类工具可以满足软硬件功能验证的要求,但对复杂系统的性能,特别是实时性等方面的验证还难以达到要求。

3 GPRS终端数字基带处理器芯片

经过国外大型公司近10年的积累和发展,目前GSM/GPRS终端数字基带处理器已集成了32位RISC MCU和16位定点DSP的复杂双核SOC芯片,其硬件结构如图3所示。片内分为MCU、DSP、时钟及工作状态控制、人机设备(MMI)及模拟、射频前端(AFE)接口几个主要部分^[9],包括uWIRE、

USB、I2C等约40个单元模块。

GPRS-DBB芯片承担了整个手机系统的数字信号处理、协议处理、工作状态及功耗控制、其他器件(人机接口、模拟基带、RF前端)的管理工作。其中,MCU作为主处理器承载了应用程序、协议栈、底层驱动、系统控制及调度软件^[10]。图4给出了手机软件的总体结构。参照欧洲电信标准协会(ETSI)的标准^[11],软件采用分层设计。Layer 3主要包括无线资源管理(GRR),移动和安全性管理(GMM),通信管理(CC)等。Layer 2实现GSM/GPRS数据链路接入协议(LAPDm)。Layer 1负责控制物理层硬件,通过与部件相关的驱动程序和信息交换原语为Layer 2、Layer 3及应用层(AL)协议提供服务。图4中嵌入式实时操作系统(RTOS)封装和Layer 1 Interface,使上层软件与底层软硬件及与具体RTOS的无关性。

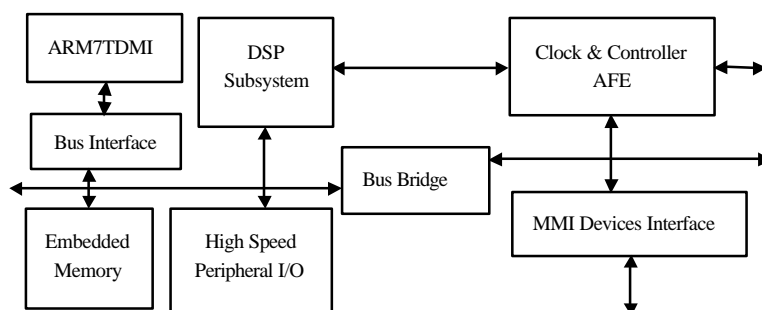


图3 GSM/GPRS数字基带处理器芯片(DBB)结构说明图

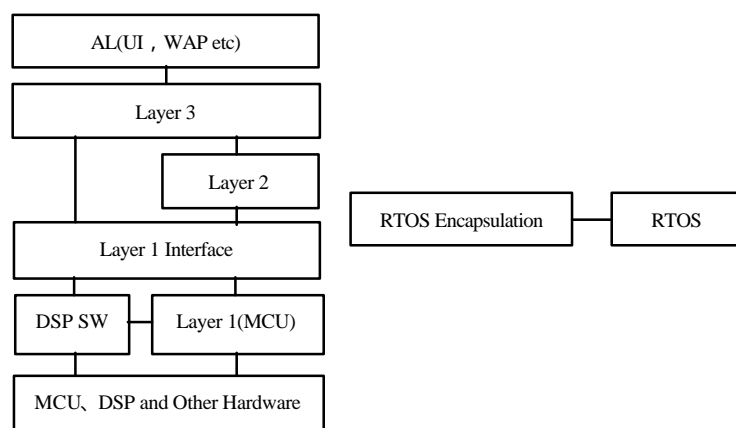


图4 GSM/GPRS终端软件体系结构示意图

DSP子系统完成空中接口基带信号的处理,主要包括13 Kb/s RPE-CELP GSM全速率和5.6 Kb/s VSELP GSM半速率语音压缩编、解码,信道分组及卷积纠错编、解码,交织,加、解密,GMSK调制与均衡解调等算法如图5所示。

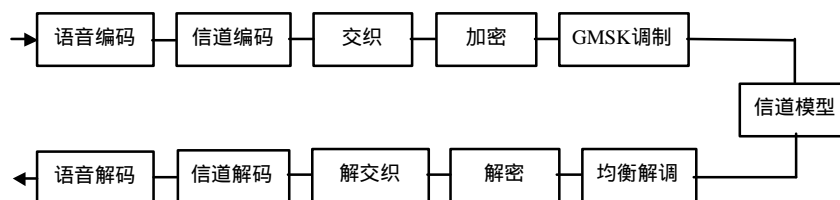


图5 GSM/GPRS终端物理层信号处理仿真整体结构图

由上可见,GSM/GPRS终端DBB是一块复杂的Core-Based SOC芯片。同时在体积、功耗、成本等方面有非常严格的要求,在系统设计、验证及IC实现上有较大难度,开发资金和人力成本很高,

目前只有少数几家国外公司开发出该芯片。通过与国外有经验公司(Alcatel、Synopsys、Mentor、TSMC等)的交流、合作,逐步了解、掌握了SOC芯片设计的整个流程及一些关键技术问题的解决方案。在GSM/GPRS DBB芯片设计中,采用了Top-Down设计流程和ESDA工具。算法设计时使用Cocentric,完成了算法的设计与仿真验证。在物理层软、硬件设计中采用了Seamless CVE协同验证方法,实现了基于由ARM920T、TI320C5416、FPGA及模拟和射频前端模块搭建的GSM/GPRS终端功能样机的基带通话。验证了系统方案及软硬件模块设计的正确性,产生了近30个通用IP模块。上述设计工作说明在复杂芯片研制时,Top-Down设计方法能够极大地提高效率,及时发现和纠正正在方案及模块设计中的问题。

4 结束语

在芯片功能和性能日益提高,集成度和复杂度迅速增加,产品上市时间不断缩短等情况下,传统芯片系统设计、验证方法面临巨大的挑战。研究适合VDSM工艺SOC设计的新技术和新方法受到业界的广泛重视,新的解决方案和成果不断涌现。

集成电路是我国在本世纪发展的重点产业,SOC是技术发展的必然趋势。从IC设计到加工这个产业链中,芯片系统设计工作起着越来越重要的作用。由于人才和技术积累,资金投入有限等原因,我国在SOC芯片系统设计方法学和技术方面与国外存在很大差距。本文通过GSM/GPRS终端数字基带处理器芯片的设计,对SOC芯片系统设计与验证方法作了初步、有益的探索。

参 考 文 献

- 1 Steve F. ARM System-on-Chip architecture. London: Pearson Education, 2000
- 2 Rolf C, Peter B, Andreas H, *et al.* Design methodology for a large communication chip. IEEE Design & Test of Computers, 2000, 17(3): 86-94
- 3 Sam S K. Simulation and implementation tools for signal processing and communication systems. IEEE Communication Magazine, 1994, 32(6): 36-40
- 4 Qi Bi, George I Z, Hank M. Wireless mobile communications at the start of the 21st century. IEEE Communication Magazine, 2001, 39(1): 110-116
- 5 David M. Consumer electronics: the last fifteen years. IEEE Circuits & Devices Magazine 1999, 15(3): 28-30
- 6 Rahul B, Giovanni D M, Daniel D G, *et al.* System-on-Chip specification and modeling using C++: challenges and opportunities. IEEE Design & Test of Computers, 2001, 18(3): 115-123
- 7 Luc S, Giovanni D M. Resolution, optimization, and encoding of pointer variables for the behavioral synthesis from C. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2001, 20(2): 213-233
- 8 Wayne H W. Hardware-software co-design of embedded systems. IEEE Proceedings, 1994, 82(7): 965-989
- 9 Prabir C M, Nicholas V B. An analog_digital interface for cellular telephony. IEEE Journal of Solid-State Circuit, 1995, 30(3): 201-209
- 10 David S. ARM architecture reference manual. Second Edition. London: Pearson Education, 2001
- 11 ETSI. GSM technical specification(Phase 2+) serial1-12 version 7.0.0 Release 1998