

VLSI测试中移相伪随机序列的设计

刘 勇*

(成都电子机械高等专科学校计算机工程系 成都 610031)

【摘要】为了用较少的硬件和测试时间开销获得对被测电路较高的故障覆盖，提出了一种数字集成电路测试中多扫描链的配置方法。该方法基于最大周期的线性反馈移位寄存器LFSR生成的 m 序列的移位可加性，可使较短长度的LFSR驱动多个扫描链；为了减小LFSR生成序列的互相关性，利用LFSR与其对偶LFSR间的关系，提出了基于逻辑仿真的移相器的快速设计方法，实验结果验证了该方法的有效性，对VLSI的内测试和外测试皆适用。

关键词 线性反馈移位寄存器；移相器； m 序列；移位可加性；伪随机测试
中图分类号 TP331

Design of Pseudorandom Sequences with Phase Shifts for VLSI Test

Liu Yong

(Dept. of Computer Engineering, Chengdu Electro-Mechanical College Chengdu 610031)

Abstract This paper aims at achieving higher fault coverage for circuits under test with less hardware overhead and time consumption. One Configuration approach of multiple scan chain is presented based on the shift-and-add property of m sequence generated by Linear Feedback Shift Register (LFSR) with maximum sequence length, it enables LFSR with shorter size to drive multiple scan chains. In order to alleviate correlation between the bit streams of LFSR, a fast design method is presented also based on logic stimulation. Experiment results prove the effectiveness of this approach, it can be used both to internal test and external test of VLSI.

Key words linear feedback shift register; phase shifter; m sequence; shift-and-add property; pseudorandom test

以少的时间开销和硬件代价获得高的故障覆盖率一直是各种数字集成电路或系统测试方案研究对象。在已有的测试方案中，随机测试技术由于无需确定性测试矢量生成器和适宜于内测试的特性，故获得广泛应用。在许多可测性方案中，为了减少测试时间开销常使用多扫描通道^[1]，通常采用具有最大周期的线性反馈移位寄存器(Linear Feedback Shift Register, LFSR)产生的 m 序列提供多扫描通道的并行输入，但因LFSR中存在通过对相邻单元的现态简单左移或右移来获得次态值的现象，必然造成LFSR中相邻位流间的互相关性^[2]，将这种位流用于被测电路(Circuits Under Test, CUT)多扫描通道的输入，对CUT而言，输入的并非伪随机数，用这种存在互相关性的序列进行测试，将使故障覆盖率不合要求或增大测试长度，改进这一缺陷的措施之一便是在LFSR的并行输出和多通道扫描输入间设计一个移相器(Phase Shifter, PS)，PS本质上为一个异或树状网络，其作用是将LFSR

2002年7月19日收稿

* 男 41岁 大学 讲师

的若干单元经异或运算后用来驱动扫描通道,PS设计的目的是决定由哪些LFSR单元的异或结果产生的序列来保证对另一参考通道具有给定的相移,如由长度为3的LFSR的某两个单元产生的两个移位等价序列 $S_1=(1011001)$, $S_2=(0011011)$,则 S_2 相对 S_1 的相移 $P(S_1,S_2)=4$ 。采用PS不仅能克服上述弊端,而且能使短长度的LFSR驱动多扫描通道,本文提出了基于逻辑仿真的移相器的快速设计方法。

1 PS的设计

PS的设计可归纳为:给定一特征多项式为 n 次本原多项式(1)的LFSR,寻求LFSR单元的线性组合(这里为模2),使这种组合后生成的序列相对一参考通道的序列产生一至少为预先指定的相移,以下的 m 序列的称位可加性定理将保证模2(异或)线性组合得到的序列仍为 m 序列,其证明见文献[3]。

定理 1 两个彼此移位等价的相异的 m 序列之模2和仍为 m 序列,并与原 m 序列移位等价, n 次本原多项式为

$$h(x) = h_n x^n + \dots + h_1 x + h_0 \quad (1)$$

以式(1)为特征多项式的LFSR,其转移矩阵 M 为

$$M = \begin{bmatrix} h_1 & 1 & 0 & \dots & 0 & 0 \\ h_2 & 0 & 1 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ h_{n-1} & 0 & 0 & \dots & 0 & 1 \\ 1 & 0 & 0 & \dots & 0 & 0 \end{bmatrix} \quad (2)$$

设 V_k 为一用来存储上述LFSR经 k 个时钟周期后的状态值的 n 维矢量, $V_k=(v_1,v_2,\dots,v_n)$, V_k 为

$$V_k = V_0 M^k \quad (3)$$

式中 V_0 为LFSR的初始状态,假设由LFSR的第 j 个单元产生的 m 序列 m_j 的第 k 位为 $b_{k,j}$,则

$$b_{k,j} = V_k S_j^T = V_0 M^k S_j^T \quad (4)$$

式中 S_j^T 为 S_j 的转置, S_j 为一个 $1 \times n$ 矩阵,它的第 k 列为1,其余列为0,将序列 m_j 相移 q 后的位 $b_{k+q,j}$ 为^[4]

$$b_{k+q,j} = \sum_{i=1}^n d_i b_{k,i} \bmod 2 = V_0 M^{k+q} S_j^T \quad (5)$$

式中 d_i 为权重因子,将式(4)代入式(5)得

$$M^q S_j^T = \sum_{i=1}^n d_i S_i^T \bmod 2 \quad (6)$$

由式(6),为获得相对LFSR第 j 个单元相移 q 的序列,应按式(6)右端模2组合LFSR中的若干单元的输出,为此要计算 M 的 q 次幂,再和 S_j^T 相乘,当参考通道为LFSR最左边一个单元时,即 $j=1$, $S_j=(1,0,0,\dots,0)$, M^q 的第一列中为1的位置对应要产生相对最左边单元相移 q 的序列应组合的LFSR单元的位置,当LFSR长度较长时, M^q 的计算太大,下面建立基于逻辑仿真的快速算法,该方法基于下述LFSR和其对偶LFSR间的关系。

图1所示的LFSR的对偶可以通过将除右端以外的所有反馈通道反转并将异或门移入原LFSR级联单元的内部通道得到,如图2所示,该对偶LFSR的转移矩阵 D 为

$$D = \begin{bmatrix} 0 & 1 & 0 & \dots & 0 & 0 \\ 0 & 0 & 1 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \vdots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 0 & 1 \\ 1 & h_1 & h_2 & \dots & h_{n-2} & h_{n-1} \end{bmatrix} \quad (7)$$

一个LFSR和其对偶LFSR间的关系为：若 M 和 D 分别为一长度为 n 的LFSR和其对偶LFSR的转移矩阵，若 $m=2^n-1-k$ ，则

$$[M^k]^T = D^m$$

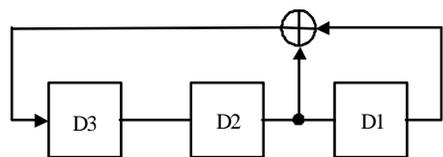


图1 以 $h_3(x)=x^3+x+1$ 为特征多项式的LFSR

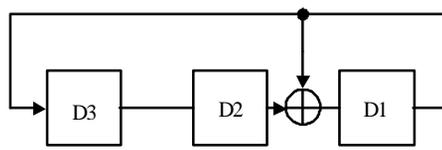


图2 图1所示LFSR的对偶LFSR

上述关系揭示了 M^k 的转置等于 D^m 的事实，它表明对式(6)中求 M^q 的幂的计算可以通过该LFSR的对偶LFSR获得，即 M^k 的第一列将等于 D^m 的第一行。 D^m 的第一行的元素可视为对偶LFSR在初态 $S_{d,1}=(1, 0, 0, \dots, 0)$ 下经 $m=2^n-1-k$ 个时钟周期后的状态，这样由式(6)寻找相移 k 的异或组合变成了将对偶LFSR进行 $m=2^n-1-k$ 次逻辑仿真，避免了 M^k 的计算，将对偶LFSR m 次仿真结果为1的单元仍然指明了为产生相移 k 时原LFSR应作异或组合的单元位置，便得到了下述的快速设计算法。

初始条件：给定一LFSR结构或其特征多项式；给定相对参考通道的相移 p 。

- 1) 由给定的LFSR生成其对偶LFSR；
- 2) 将对偶LFSR初态化为 $S_0=(1, 0, 0, \dots, 0)$ ；
- 3) 将对偶LFSR在 S_0 初态下进行 2^n-1-p 次逻辑仿真，得到对偶LFSR的状态 $S_m=(s_1, s_2, \dots, s_j, \dots, s_n)$ ；
- 4) S_m 中的1的分量即 $s_j=1(1 \leq j \leq n)$ 即指明了相对最左边单元产生 p 相移应组合入移相器PS的LFSR单元。

本文用以3次本原多项式 $h_3(x)=x^3+x+1$ 为特征多项式的LFSR为例说明上述算法的应用，仿真结果如表1所示， $h_3(x)$ 对应的LFSR和其对偶LFSR如图1和图2所示。

由表1，状态“110”出现在第6行，表明为了得到相移 $2=(2^3-1-5)$ 的 m 序列，需将 A_1 和 A_2 的输出模2运算，这里 A_1 和 A_2 为LFSR中的第1和第2个单元。

表1 $h_3(x)=x^3+x+1$ 的对偶LFSR仿真结果

仿真次数	相移	对偶LFSR状态	PS的结构	m 序列
0	0	100	A_1	1011100
1	6	010	A_2	0101110
2	5	001	A_3	0010111
3	4	101	A_1, A_3	1001011
4	3	111	A_1, A_2, A_3	1100101
5	2	110	A_1, A_2	1110010
6	1	011	A_2, A_3	0111001

2 实验验证

具有PS的LFSR中由于PS的引入将降低各 m 序列间的互相关性，可以预见，用这种带PS的LFSR作为随机测试中的伪随机数发生器(PRNG)，在给定的故障覆盖率下的测试长度将比不带PS的简单LFSR在同样的故障覆盖率下更短，为了验证上述结论，这里采用以 $h(x)=x^{64}+x^{53}+x^{29}+x^{12}+1$ 为特征多项式的长度为64的LFSR作为PRNG对ISCAS85 Benchmark电路中的6个标准电路作了仿真实验，其结果如表2所示。

表2 实验结果

电路名	主输入数	无PS的测试长度	有PS的测试长度
C432	36	2.21×10^3	1.81×10^3
C499	41	1.45×10^3	1.27×10^3
C880	60	2.74×10^3	2.23×10^3
C1355	41	2.21×10^6	1.98×10^6
C1908	33	5.63×10^6	4.98×10^6
C3540	50	1.03×10^6	0.82×10^6
C6288	32	1.21×10^3	0.83×10^3

表2中第3列为不带PS的LFSR在99.7%故障覆盖率下的测试长度,第4列为采用有PS的LFSR在同样故障覆盖率下的测试长度,相移不低于5 000,可以看出,测试长度的压缩是明显的。

3 结束语

综上所述,本文提出的基于逻辑仿真的LFSR移相器的快速设计方法避免了LFSR转移矩阵的高次幂的计算,这种方法直观,对LFSR的长度和相移无限制。另外,实用中的相移要求常为不低于一个确定的值,这为硬件代价的优化实现提供了选择。如表1第4列所示,若要求相移不低于3时,若采用相移3,要求组合 $A_1 A_2 A_3$,若以二输入异或门实现,这时需要两个这样的异或门,相移 $p=4, 5, 6$ 时的实现代价都将优于相移为3时,所以在实用中可在不低于给定相移的条件下选择硬件实现代价小的组合,这在BIST中尤为有益。

参 考 文 献

- 1 Tsai H C, Cheng K T. On improving test quality of scan-based BIST. IEEE Transaction on CAD of Circuits and Systems, 2000, 19(8): 928-938
- 2 Chen C L. Linear dependencies in linear feedback shift registers. IEEE Transaction on Computers, 1986, 35(12): 1 086-1 088
- 3 肖国镇, 梁传甲, 王育民. 伪随机序列及其应用. 北京: 国防工业出版社, 1985: 81-100
- 4 Ireland B, Marshall J E. Matrix method to determine shift-register connections for delayed pseudorandom binary sequences. Electronics Letters, 1968, 4(15): 309-310