

基于多相滤波的宽带数字化接收机技术*

吕幼新** 郑立岗 王丽华

(电子科技大学电子工程学院 成都 610054)

【摘要】提出了一种多相滤波的宽带数字化接收机的设计技术；讨论了多相滤波的基本原理、设计及FPGA实现，给出了多相滤波的中频数字化接收机的实现方案。计算机仿真结果和现场可编程门阵列仿真结果表明，多相滤波的中频数字化接收机设计方法是可行的，并还可灵活地实现现有专用芯片很难实现的宽带接收技术。

关键词 多相滤波；中频数字化接收机；现场可编程门阵列；现场可编程门阵列

中图分类号 TN911.25 文献标识码 A

A Technique to Design Wideband IF Digitized Receiver Based on Polyphase Filtering

Lu Youxin Zheng Ligang Wang Lihua

(School of Electronic Engineering, UEST of China Chengdu 610054)

Abstract This paper proposes a technique to design wideband digitized receiver based on polyphase filtering. The basic principle, design and FPGA implementation of polyphase filtering are discussed, and implementation project of wideband digitized receiver based on polyphase filtering is given. The results of computer simulation and FPGA simulation indicate that a technique to design wideband digitized receiver based on polyphase filtering is feasible, and can neatly implement wideband receiver which is difficult to be implemented by extant ASIC.

Key words polyphase filtering; IF digitized receiver; field programmable gate array selection

随着A/D(analog-to-digital)变换技术、DSP(digital signal processing)技术、FPGA(field programmable gate array)技术及ASIC(application specific integrated circuit)等技术的发展，宽带数字化接收机正逐渐成为现代雷达、遥测及通信系统中必不可少的重要组成部分。但不管什么类型的中频数字化接收机，其基本原理框图都可采用中频数字化接收机原理框图如图1所示。

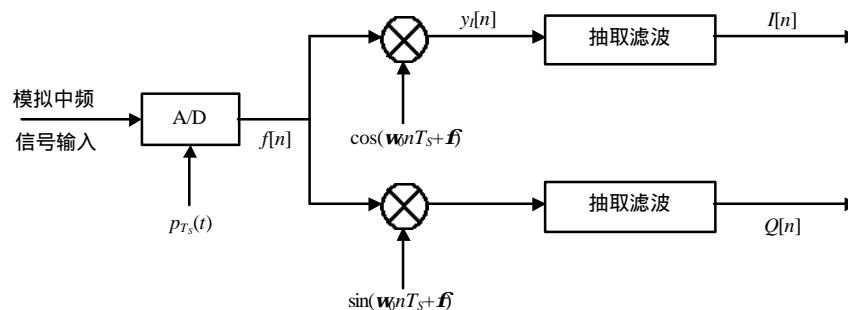


图1 中频数字化接收机基本原理框图

2002年10月30日收稿

* 国防科技重点实验室基金资助项目

** 男 39岁 副教授 主要从事数据采集、高速数字信号处理方面的研究

由图1可知,典型的宽带中频数字化接收机技术主要包括A/D变换器、数字正交混频及抽取滤波等模块。国外众多公司都相继推出了用于宽带中频数字化的A/D变换器,如AD公司的AD6640、AD6644等。而对于数字正交解调加抽取滤波模块国外也推出了一些成熟的产品,但这些产品往往是为通信领域的应用而设计的,所以通用性比较差。如Intersil公司的HSP50214B其能处理的带宽最大只有1 MHz左右,而AD公司的AD6620虽然最大能处理5 MHz左右的带宽,但并不能在任何中频频率和采样率情况下工作,如一种雷达中频数字接收机方案:中频频率15 MHz、中频带宽5 MHz、时宽20 μ s、采样率20 MHz、抽取因子4、信号形式为LFM。因无法设计出所需要的抽取滤波器,所以不能使用AD6620等专用芯片实现。而多相滤波则可以利用抽取因子实现高效滤波,但代价是需要快速的乘法运算。随着FPGA速度的不断提高和规模的不断扩大,实现高速乘法已经成为可能。因此,本文提出了一种基于多相滤波的宽带中频数字化接收机的设计技术并讨论了多相滤波的基本原理、结构及FPGA实现,最后给出了基于多相滤波的中频数字化接收方案及相应的计算机仿真。

1 多相滤波的基本原理、设计及FPGA实现

1.1 多相滤波的基本原理

设某一数字滤波器的脉冲响应为 $h(n)$, 则其 Z 变换 $H(z)$ 定义为

$$H(z) = \sum_{n=-\infty}^{+\infty} h(n)z^{-n} \quad (1)$$

若对式(1)展开并按一定方式重新组合^[1], 可得

$$H(z) = \sum_{k=0}^{M-1} z^{-k} \sum_{n=-\infty}^{+\infty} h(nM+k)(z^M)^{-n} \quad (2)$$

即

$$H(z) = \sum_{k=0}^{M-1} z^{-k} E_k(z^M) \quad (3)$$

式中 $E_k(z) = \sum_{n=-\infty}^{+\infty} e_k(n)z^{-n} = \sum_{n=-\infty}^{+\infty} h(nM+k)z^{-n}$ 。式(3)即为数字滤波器 $H(z)$ 的多相滤波表达式。若将应用于抽取因子为 M 的抽取器, 则经抽取器等效关系后可以得到如图2所示的抽取器顺时针开关结构^[2]。

从图2可以看到,数字滤波器 $E_k(z)$ 均位于抽取器之后,即滤波是在降速后进行的,这样就大大降低了对处理速度的要求,提高了实时处理能力。另外,假设数字滤波器的长度为 N , 则这种多相滤波结构的另一个好处是每一分支路滤波器的系数 $e_k(n)$ 由原来的 N 个减少为 N/M 个,可以减少滤波运算的累积误差,提高计算精度。

1.2 多相滤波的设计

由图2可知,假设 $h(n)$ 的长度为 N , 则可知多相滤波是由 M 组按一定方式抽取而成的通用FIR子滤波器组成。因此,设计抽取多相滤波器的步骤是首先依照抗混叠滤波器的参数要求,按一定的设计准则(如窗函数法、频率抽样法及切比雪夫一致逼近法等)设计一长度为 N 的FIR滤波器 $h(n)$; 然后据 $h_k(n) = h(nM+k)$ ($k=0,1,\dots,M-1$)抽取成 M 组FIR子滤波器;最后按照图2所示的开关结构或改进后的结构实现多相滤波。

1.3 多相滤波的FPGA实现

据图2可以看到,抽取因子为 M 的抽取多相滤波器中包含有 M 组不同系数的子滤波器。如果直接采用上述并行结构进行滤波,则会耗费很大的FPGA资源。事实上, M 组子滤波器除了系数不同外,结构上是完全相同的。因此完全可以通过对一子滤波器的 M 次时分复用来实现,从而可以大大节省资源消耗。为保证各组滤波器在时分复用过程中相对独立工作,传统的FIR滤波器横截II型结构需要对每一组每一级的计算结果进行存储,但为了减少资源消耗,可以根据级联结构的特点,将 M 组滤波器输出的累加转移到每一级处理单元中实现(处理单元数为子滤波器的长度 N/M)。设计的每个处理单元结构框图如图3所示(都在时钟上升沿判决)。图中 $h_{i,k}$ ($i=0,1,2,\dots,N/M-1, k=0,1,2,\dots,M-1$) 是 M 组系数中相同位置的系数。在这 M 种状态中,乘法单元进行 M 次不同的运算,而周期为 M 的累加和加法单元是将这 M 次运算结果和前一级处理单元的输出结果进行相加,并在0状态时输出。这样,整个系统就只需要一组滤波器的存储空间,从而进一步减少了资源

消耗，简化了系统结构。为了保证中间计算结果不发生溢出，可根据滤波器系数的绝对值和 $x(n)$ 最大输入的乘积来确定它的数据长度。从而可以优化成如图4所示的多相滤波FPGA实现结构。

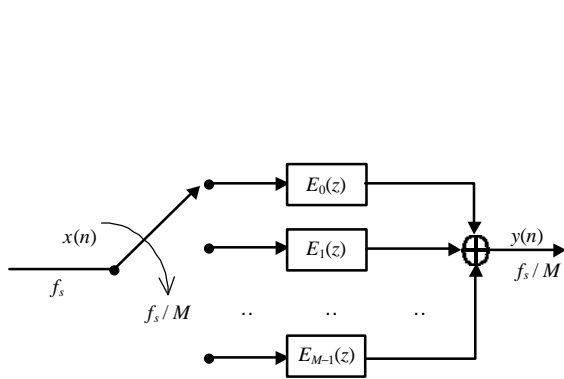


图2 抽取滤波器的顺时针开关结构

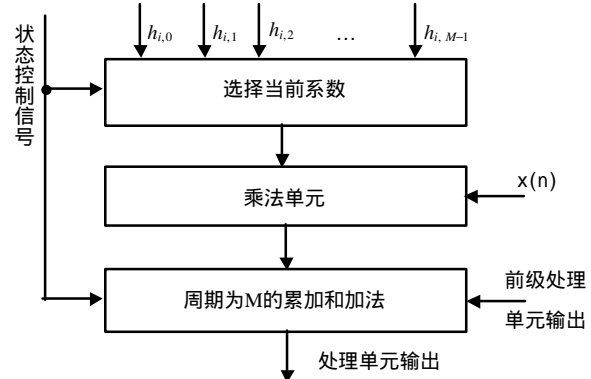


图3 处理单元结构框图

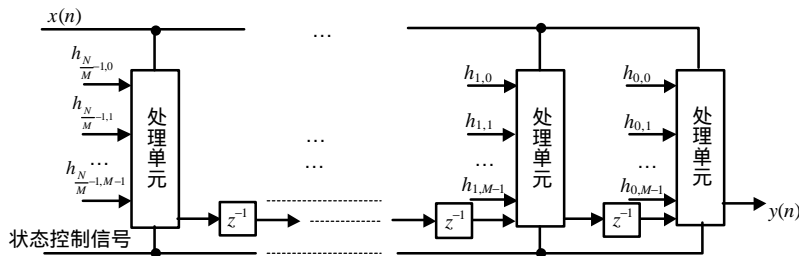


图4 改进后的多相滤波器FPGA实现结构

现选取 $N = 64$ ， $M = 4$ (N 为滤波器级数， M 为抽取因子)，滤波器系数以补码形式量化为16位，并根据 $h_k(n) = h(nM + k)$ ($k = 0, 1, \dots, M - 1$) 将这64个系数分成4组。然后采用XILINX公司的VIRTEX系列XCV300EPQ240芯片对多相滤波进行FPGA仿真，可得到如表1所示的资源消耗和相应参数状况。

表1 资源消耗和相应参数状况

项目	可使用最大数	被使用数目	资源占用率
SLICES	3 072	2 433	79
4 input LUTs	6 144	4 356	70
Slice flip flops	6 144	1 321	22
I/O PINS	158	28	18

注：系统最大工作频率为55 MHz；需要占用的门数为60 844。

2 多相滤波的中频数字化接收机方案及计算机仿真

根据对多相滤波分析及优化结果和图1所示的中频数字化接收机结构框图，可得到如图5所示的多相滤波的宽带中频数字化接收机系统框图。

图5中的高速A/D可以采用适于中频采样的高性能A/D变换器(如上面提到的AD公司的AD6640、AD6644等)；而正交解调器则可以采用国外公司的成熟产品(如Intersil公司的HSP45116等)，也可以通过FPGA实现；高速FPGA则是用来实现经优化后的抽取多相滤波；另外，控制逻辑等部分也可以通过一定容量的FPGA或CPLD实现。

若假设输入信号的中频频率：15 MHz，中频带宽：5 MHz，时宽：20 μ s，采样率：20 MHz，抽取因子：4，信号形式：LFM。则可得到如图6所示的计算机仿真结果。

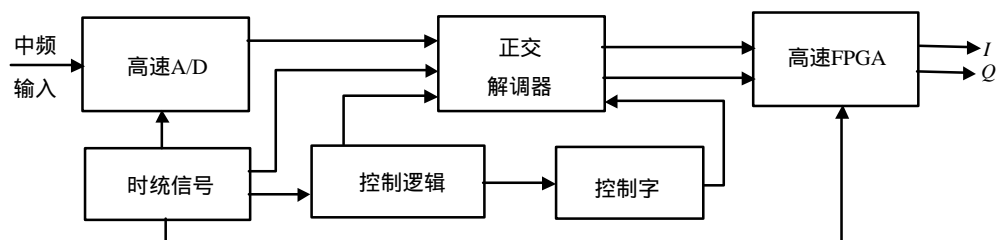


图5 多相滤波的系统结构框图

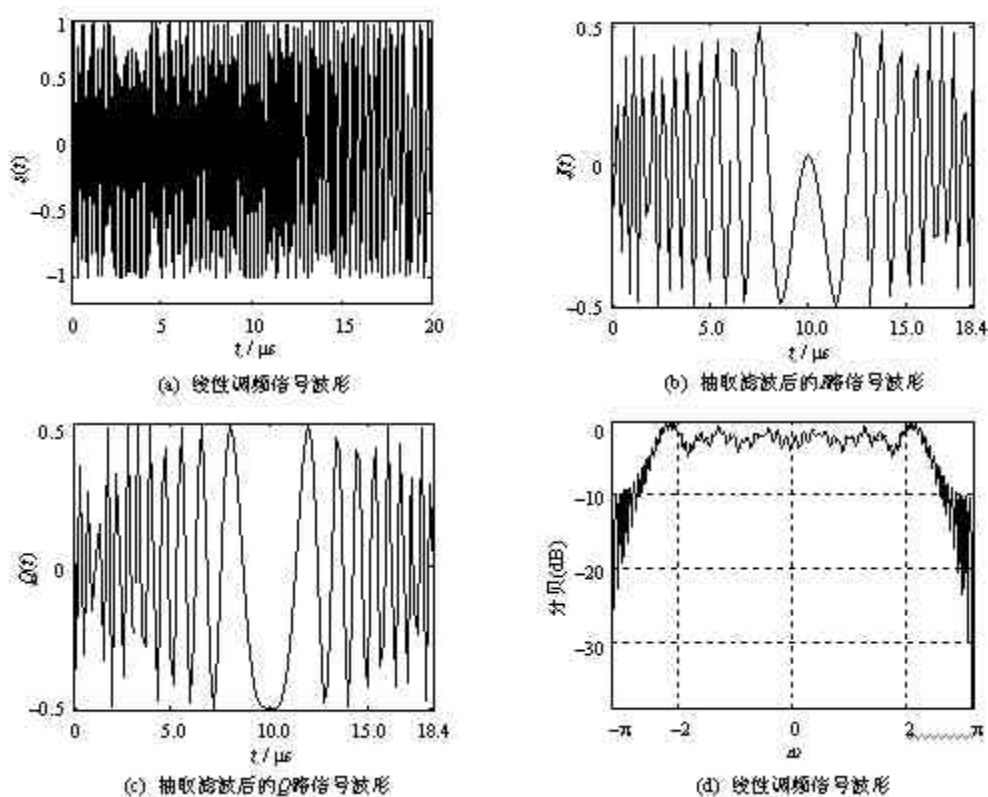


图6 计算机仿真结果

3 结 论

根据计算机仿真结果和FPGA仿真结果表明,本文提出的一种基于多相滤波的宽带中频数字化接收机的设计技术不但具有灵活、高效的特点,同时也是可行、高效的。该技术已用于某中频宽带雷达接收机的设计。

参 考 文 献

- [1] 杨小牛, 楼才义, 徐建良. 软件无线电原理与应用[M]. 北京: 电子工业出版社, 2001
- [2] R. E. 克劳切, L. R. 拉宾纳著. 多采样率数字信号处理[M]. 鄂广增译. 北京: 人民邮电出版社, 1988
- [3] 邹理和著. 数字信号处理[M], 北京: 国防工业出版社, 1985
- [4] Parks T W, McClellan J H. Chebyshev approximation for nonrecursive digital filters with linear phase[J]. IEEE Trans. Circuit Theory, 1972, CT-19(3): 189-194
- [5] Bellanger M G, Bonnerot G, Coudreuse M. digital Filtering by Polyphase networks: Application to Sample Rate Alteration and Filter banks[J]. IEEE Trans. Acoust. Speech Signal Process, ASSP-23, 1975, 10(5): 444-456

编辑 刘文珍