

用于1553总线控制器的存储管理单元设计

顾 骧* 周 东 田 忠

(电子科技大学 宽带光纤传输与通信系统技术国家重点实验室 成都 610054)

【摘要】从消息队列的数据存储结构定义、存储空间规划和控制过程设计三方面讨论了MIL-STD-1553/1773总线控制器的设计实现。在总线控制器的模块化设计方案中,这三个方面构成了总线控制器的核心模块——存储管理单元,应用该方案可实现具有多消息自动处理功能的总线控制器。

关键词 1553总线; 1773总线; 总线控制器; 存储管理

中图分类号 TN915.05; TN876.3; V243 文献标识码 A

Design of Memory Management Used in MIL-STD-1553 Bus Controllers

Gu Xiang Zhou Dong Tian Zhong

(State Key Laboratory of Broadband Optical Fiber Transmission and Communication Networks, UEST of China Chengdu 610054)

Abstract This paper discussed the implementation of MIL-STD-1553/1773 bus controller in three aspects: the definition of message list storage data structure, the organization of the shared memory space, and the designing of the control procedure. These three aspects can be summed up into the design of the memory management unit, a core block of the bus controller's blocking design. Bus controllers applying this design will be able to process multiple messages automatically.

Key words MIL-STD-1553B; MIL-STD-1773; bus controller; memory management

自MIL-STD-1553数据总线标准(全称为飞机内部时分制、命令/响应式多路传输数据总线)推出以来^[1],现已广泛应用于航空、航天及工业控制等领域。MIL-STD-1773是MIL-STD-1553的光纤翻版^[2],该标准采用光纤替代了1553的双绞屏蔽电缆作为传输媒质,而其协议部分与MIL-STD-1553B几乎一样。因此,MIL-STD-1553和MIL-STD-1773两种总线终端可采用相同的协议处理部分进行实现。

1 MIL-STD-1553/1773传输协议简介

1553/1773总线上有总线控制器(BC)、远程终端(RT)和总线监视器(BM)三种类型的终端,都连接到总线上形成广播信道。每个终端同时连接到多条总线上,并从中选择一条总线用作平时通信的主总线,而其他总线则作为空闲的冗余总线,一旦主总线发生故障所有终端就切换到冗余总线继续进行通信。所有终端在总线上以1 Mb/s速度传送信息,总线上最多能连接32个终端,1553/1773总线的标准结构如图1所示。

在1553/1773总线上传送的基本信息是命令字、数据字和状态字。1553/1773总线网络是集中控制式,即总线上所有终端之间的通信都由BC组织发起,并在BC的控制下进行。其传输过程如下:BC在总线上以广播的方式发送命令字,RT通过将命令字中的地址域与自身地址比较来决定是否接收该命令字。RT根据命令字中的内容完成相应的操作(接收数据字、发送数据字或重启、自检等),同时以状态字响应BC的命令。BC

2002年11月20日收稿

* 男 23岁 硕士生 主要从事机载数据总线协议芯片设计方面的研究

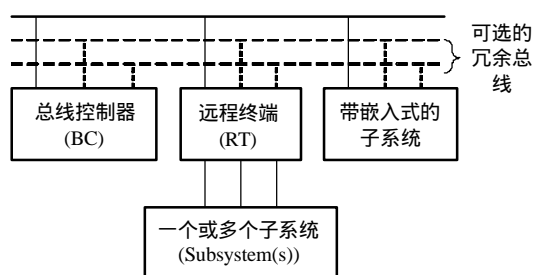


图1 标准总线拓扑结构

通过分析RT返回的状态字来判断RT是否完成指定的操作以及RT是否工作正常。1553/1773总线上的传输分为多种类型，包括BC-to-RT传输、RT-to-BC传输、RT-to-RT传输、模式命令等各种类型的点对点传输和广播传输。协议中每一种传输类型对应一种消息格式^[1,2]，采用不同的消息格式就能完成各种类型的传输。消息格式类似于一种帧格式，但消息中包括了BC发出的命令字和RT返回的状态字(其中广播消息RT不返回状态字)以及在BC和RT之间传输的数据字，因此消息格式实际上规定了一套命令/响应的协议规则。

2 存储管理

BC通常与一台称为主机(host)的计算机相连，该计算机用于控制BC进行1553/1773总线上的数据传输，同时也搜集总线上的数据用于分析。BC自身并不产生命令字、数据字，BC在1553/1773总线上发出的所有命令字和数据字都来自主机，主机将所有待发出的数据和控制命令按照协议规定的格式翻译成BC能够理解的数据字和命令字，并合成为消息交给BC，BC依次发送这些消息以实现1553/1773总线上其他终端的控制。由于BC在1553/1773总线上的数据传输速率与主机系统总线速率不一致，所以BC和主机之间应引入缓存，主机发往BC的数据应先保存在缓存中。根据BC自动完成传输能力的高低可将BC分为字处理控制器、消息处理控制器、帧(多消息)处理控制器三种类型^[3]。要实现具有多消息处理能力的BC，需要建立具有自动读写控制能力的逻辑，能够实时从缓存中读取或写入消息数据，以满足在1553/1773总线上消息传输的连续性要求^[1,2]。要实现在BC与主机之间有效传递数据及控制信息，还需要对存储空间进行规划，并制定关于数据及控制信息合理的数据结构，从而让主机和BC的硬件、软件共同遵守。上述内容主要属于存储管理的范畴，因此其设计均可归结为存储管理单元的设计。

3 存储管理单元的设计

存储管理单元的设计包括消息队列数据结构的设计、存储空间的规划和读写控制逻辑(控制过程)的设计三方面。另外，设计读写控制逻辑的过程中要考虑可编程的因素，可以通过设置控制字(或配置寄存器)的方式来允许主机对BC硬件逻辑的工作方式进行配置。

3.1 消息队列数据结构的设计

BC和主机必须事先约定好存储在缓存(共享存储器或共享RAM)中的格式，即数据结构，以便BC的硬件逻辑能够正确读取其中的信息。消息队列数据结构的定义包括单个消息块存储格式的定义和消息队列的存储格式两部分。可以将所有消息格式用一种统一的定长数据结构来表示或按照自然格式来存储各种格式的消息(这种数据结构是变长的)。由于采用定长数据结构容易造成存储空间的浪费，因此应采用后一种方法来表示消息。这种方法需要在消息块首位置设置控制字来标明消息类型。这样，虽然消息块存储格式随消息类型不同而不同，但BC硬件逻辑可根据块首的控制字以及命令字中的word count域来辨别该消息块的存储类型及大小，并选取响应的控制时序来读写该消息块，采用这种方法来存储消息块的代价是增强了控制逻辑的复杂性。随着大规模集成电路的发展，可集成几十万门的FPGA/CPLD芯片已经可供使用，完全能够满足复杂控制逻辑的要求，因此在设计中可以不考虑逻辑的复杂性，图2给出了几种典型消息的存储格式。

消息队列的编排方式主要有数组和消息链表。数组是将指向各个消息块的地址指针连同控制信息以栈的形式堆放在一起，占用一整块的存储空间，只需将数据块指针顺序移动就能依次访问各个消息块。消息链表是在消息块中放置一个指向下一个消息块的地址指针，BC只需知道消息链表的头节点即可访问“消息链”上的所有消息块。

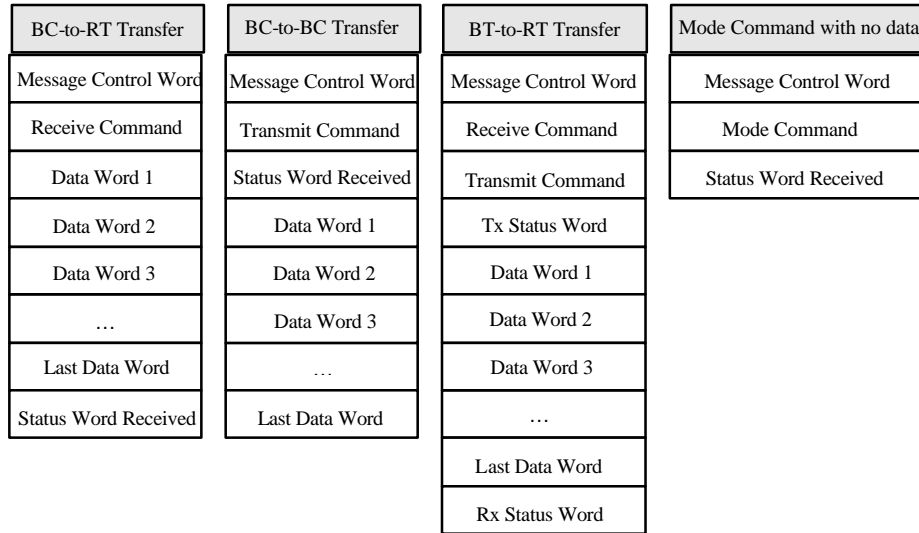


图2 BC消息块存储格式的几个例子

采用数组结构来组织消息块的优点是结构简单，便于BC和主机访问及重复处理一个消息序列，缺点是不易从栈中间插入异步消息。所谓异步消息就是非周期(同步)的突发消息，即来自操作台的命令或主机为解决总线传输中出现的错误或故障而临时安排给BC处理的消息，异步消息必须插入到BC的消息队列中间以获及时处理。在采用数组结构实现的消息队列中，要插入异步消息只能将待插入的消息放入另一个消息栈，让BC停止当前消息队列的处理，转而处理异步消息信息栈，等处理完异步消息以后，再回到原来停下的消息队列中继续处理，这种机制可以通过实现存储器的双缓冲或多缓冲访问机制来实现。

采用消息链表结构的优点是便于插入异步消息，只需修改消息块中的尾指针使其指向异步消息块，并将异步消息块的尾指针指向插入位置的下一消息块即可。消息链表结构的缺点是不利于实现在消息序列中的两个位置重复执行同一条消息，因为当两个消息块的尾指针指向同一个消息块时，该消息块的尾指针无法两次指向消息链上不同的下一个位置。解决的方法是将该消息块复制成两个，分别安放在消息链的不同位置，但导致了存储空间的浪费。消息链表结构的另一个缺点是各个消息块杂散地分布在存储空间的不同位置，即增大了系统出错的可能。出于系统稳定性及节省存储空间方面的考虑，采用数组方式与双缓冲机制相结合的方法来存储消息队列较为适宜，存储消息队列的示意图如图3所示。

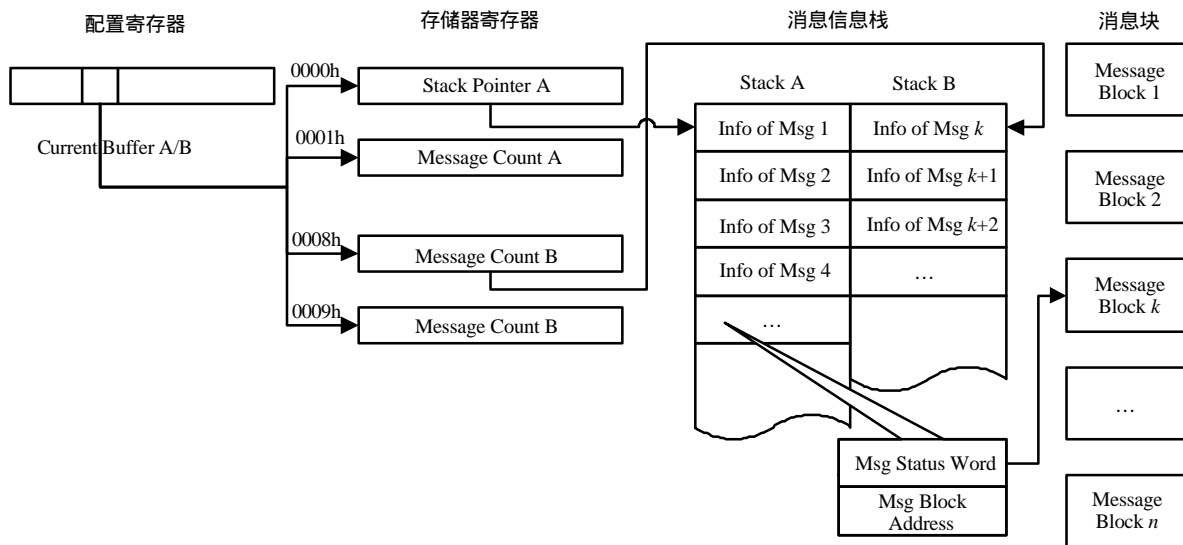


图3 存储管理单元结构

图3中的消息信息栈即用数组结构实现的消息队列，其中每个栈中除了包含一个指向消息块位置的指针

Message Block Address外,还包含一系列与该消息相关的控制信息和状态信息。每条消息处理结束时, Stack Pointer的值自动加2,即指向了下一条消息。Message Count为消息队列中消息的条数,即消息信息栈中的元素个数。

3.2 存储器的划分及双缓冲机制

消息数据的存储格式确定以后,还应约定好整个消息队列(包括消息块和消息信息栈)在共享RAM中的存储位置。这里采用的方法是规定共享RAM中的几个固定的存储地址用于存放消息信息栈的入口地址以及消息队列中的消息条数,即图3中的Stack Pointer和Message Count。BC启动之前,先由主机在共享RAM中写入消息队列。当主机完成消息队列的初始化后,就将消息队列的入口地址写入Stack Pointer,再将消息队列中包含的消息条数写入Message Count。由于存放Stack Pointer和Message Count的存储单元地址是固定的,所以当BC启动后,BC硬件逻辑就可以直接从这些地址单元读取Stack Pointer和Message Count并进一步访问消息队列。为了便于进行存储器扩展,这几个固定单元的位置应分配在共享RAM的低端地址。

为了保证在BC与主机共享RAM的过程中的数据完整性,可采用双缓冲机制访问共享RAM:将存储器分成两个缓冲区,一个缓冲区由主机访问,另一个由BC访问,BC和主机可同时访问共享RAM,但只能访问属于各自的缓冲区,当BC和主机之间需要数据交换时双方只需交换缓冲区即可,这样就能避免BC和主机同时访问同一块存储区从而破坏数据的完整性。另外,两个缓冲区的大小由放入的消息队列大小决定,并不要求一样大。图3反映了采用了双缓冲机制的消息队列结构。其中,配置寄存器的Current Buffer A/B位用于告知BC当前访问的缓冲区是A区还是B区,主机必须在初始化BC时通过写该寄存器来确定属于BC的缓冲区。双缓冲机制反映到存储器规划上应提供存储空间以容纳两套完整的且相互独立的消息队列数据结构(包括消息信息栈、Stack Pointer、Message Count以及本消息队列内的消息块等)。除了Stack Pointer和Message Count等地址是固定的,其余的如消息块和消息信息栈的地址都可以浮动,亦即由主机在初始化时确定。另外,属于两个缓冲区的消息信息栈必须分别占用连续的存储空间,而各个消息块则不必连续,由消息信息栈的特点决定。

3.3 控制过程的设计

存储管理单元的功能从共享RAM中逐条读取消息并发送,直至完成本缓冲区内消息队列中的全部消息的传送,而这一基本功能由控制过程(控制流程)实现。存储管理单元的控制流程按如下几个步骤执行:

1) 消息开始阶段。先从固定地址单元读取栈指针,从中获取消息信息栈的地址指针,以(Stack Pointer)+1为地址读取Message Block Address,获取消息块的存储位置首地址,接着分别以(Message Block Address)和(Message Block Address)+1为地址依次读取Message Control Word和Command Word(或RT-to-RT消息中的第一个命令字);最后以(Stack Pointer)为地址写入Message Status Word,完成了消息发送前的准备,紧接着开始消息传送阶段。

2) 消息传送阶段。首先将命令字送编码器发送,然后根据消息类型采取不同的操作,这些操作可由发送数据字、接收状态字、接收数据字、发送第二命令字四种基本操作组合而成。如BC-to-RT型的消息执行的基本操作组合为:发送数据字-接收状态字;RT-to-BC型的消息执行的基本操作组合为:接收状态字-接收数据字;RT-to-RT型的消息执行的基本操作组合为:发送第二命令字-接收状态字-接收数据字-接收状态字;广播型的消息不含接收状态字这一过程,其他消息类型与之类似,不再一一列举。其中读取/写入数据字和写入状态字都是以Message Block Address为基准地址,每读取/写入一个字,地址指针加1。在接收数据字和状态字过程中若有任何错误发生(包括状态字中相应位被置位),进入消息开始阶段开始重传,同时发出相应中断信号,消息传送完成后进入消息结束阶段。

3) 消息结束阶段。将(Stack Pointer)+2并存入前述地址,使其指向消息信息栈中的下一项,再读入Message Count,将其值减1后保存,最后判断Message Count是否为0,若为0则说明消息队列中的所有消息已全部执行完毕,故应停止执行,否则应转至步骤1)继续处理下一条消息。

根据上述控制流程执行步骤可以作出流程图,限于篇幅这里就不再给出。在控制流程图的基础上,可采用EDA软件进一步设计出具体的数字时序电路,通过综合得到网表文件,最后在FPGA上实现。

(下转第327页)

参 考 文 献

- [1] 曹志刚, 钱亚生. 现代通信原理[M]. 北京: 清华大学出版社, 1998
- [2] Rogers C. A VHDL modeling guide[M]. A Product of the Standard Hardware And Reliability Program (SHARP), Technology Independent Representation of Electronic Products (TIREP) Project, 1994
- [3] 侯伯亨, 顾 新. VHDL硬件描述语言与数字逻辑电路设计[M](修订版). 西安: 西电出版社, 1999
- [4] Doulos. The VHDL golden reference Guide[M]. A Handy Desktop Reference for VHDL Designers, 1995

编 辑 孙晓丹

(上接第320页)

4 结 束 语

本文通过分析MIL-STD-1553/1773总线的总线控制器(BC)的实现结构, 引出了存储管理单元的设计问题, 对存储管理单元设计中的三个重要方面进行了分析, 得出了存储管理单元的控制流程图。本文所描述的主要是一个系统的总体设计过程, 在此基础上可采用常规的数字系统设计方法完成具体的设计。

参 考 文 献

- [1] MIL-STD-1553B. Military standard aircraft internal time division command/response multiplex DATA BUS[S]. Department Of Defence, 1975
- [2] MIL-STD-1773. Military standard fiber optics mechanization of an aircraft internal time division command/response multiplex DATA BUS[S]. Department of Defence, 1988
- [3] MIL-HDBK-1553A. Military handbook multiplex applications handbook[S]. Department of Defence, 1988

编 辑 徐培红