

## 超高速跳频频率合成器的设计

刘晓晖\* 范勋 李少谦

(电子科技大学通信抗干扰技术国家级重点实验室 成都 610054)

**【摘要】**在对直接频率合成、锁相环频率合成和直接数字频率合成三种基本频率合成技术,以及目前常用跳频频率合成器技术方案进行简要分析和对比的基础上,提出了一种由直接数字频率合成和倍频链构成的适用于超高速跳频的频率合成器设计方案,较好地解决了在保证频率高速切换条件下达到超高速跳频频率合成器输出频谱纯度要求的技术难点,并给出了采用该方案的具体实验结果。

**关键词** 频率合成器; 直接频率合成; 锁相环; 直接数字频率合成; 杂散抑制

**中图分类号** TN92; TN919 **文献标识码** A

## A Design of Frequency Synthesizer in the Ultra-High-Speed Frequency-Hop System

Liu Xiaohui Fan Xun Li Shaoqian

(National Key Laboratory of Communication, UEST of China Chengdu 610054)

**Abstract** Base on the discussion of three kinds of basic technique of frequency synthesis such as direct frequency synthesis、phase-locked loop and direct digital synthesis, and several implementation technique of frequency synthesizer, a design of frequency synthesizer combining direct digital synthesis with a chain of frequency multiplier is given. This type of frequency synthesizer is especially suitable for ultra-high-speed frequency-hop system, and find a solution that the output frequency spectrum purity of frequency synthesizer is guaranteed on the condition of ultra high speed frequency hopping. Some experimental results are also presented in the end.

**Key words** frequency synthesizer; direct frequency synthesis; phase-locked loop; direct digital synthesis; spurious suppression

跳频通信系统是一种具有优良电子抗干扰性能的扩展频谱通信系统。因其具有极强的抗干扰、抗多径衰落和保密能力,在军事领域里得到了广泛应用。跳频频率合成器是构成跳频通信系统的核心部件之一。

跳频频率合成器是由一个或多个基准频率作为参考信号源,控制产生许多输出频率的一种信号发生器,是一种频率快速捷变、高质量、高精度的信号源。其输出频谱纯度、可选用的频率数、跳频速率、输出频谱带宽、跳频频率间隔、频率稳定时间和频率驻留时间等是频率合成器的主要技术指标。其中,跳频速率、跳频频点总数和跳频带宽是频率合成器关键指标,它们决定着整个跳频系统的抗干扰能力。如今的跳频系统正朝着超高速( $>10^5$ 跳/s,频率切换时间约 $1\mu\text{s}$ )、多频点(例如256个频点)和宽频带(若频点间隔200kHz,则带宽应 $>52\text{MHz}$ )的方向发展。因此,在满足一定的频谱纯度情况下,如何实现超高速、多频点和宽频带已成为设计超高速频率合成器的主要目标。

目前频率合成技术主要有直接频率综合(Direct Frequency Synthesis, DS)、锁相环频率综合(Phase-Locked Loop, PLL)、直接数字频率综合(Direct Digital Synthesis, DDS)技术,及其组合技术。它们都有各自的优缺

点,下面做简要介绍,并说明采用本文的设计方案在超高速频率合成器应用中的优越性。

## 1 常用的跳频频率合成器方案比较

### 1.1 直接频率综合

直接频率综合技术的典型工作原理是将高稳定度的晶体振荡器输出的频标信号通过谐波发生器产生梳状频谱信号,并用滤波器取出所需要的频率成分,再将它们进行组合混频滤波,经电子开关切换得到最终的跳频信号。其优点是频率转换时间短;相位噪声低;输出信号频率较高。缺点是频谱杂散较难抑制,随着跳频点数增加,硬件的复杂度呈指数关系增长,相应的体积和重量也较大。

### 1.2 锁相环频率综合

与直接频率综合技术不同,采用锁相环频率综合技术的频率合成器可以输出较多的频率点数,频谱杂散分量较少,相位噪声也较低,硬件比较简单。它的工作原理是将压控振荡器产生的射频信号和晶体振荡器输出的参考信号分别进行分频,得到两个频率近似相同的信号,并送到鉴相器比较出误差信号,误差信号经过滤波后,控制压控振荡器,使压控振荡器输出的射频信号保持稳定。它也易于得到较高频率的信号,但是,采用锁相环频率合成技术的频率合成器应用于高速跳频系统最大的弱点是其频率转换时间长,从数十微秒到几百毫秒之间,这对于某些超高速跳频系统而言,已经不能满足频率驻留时间的要求。

### 1.3 直接数字频率综合

直接数字频率综合技术,是一项基于大规模数字集成电路的技术。它是在外部控制命令下,直接由查表得出当前所需要的频率和相位码,经数模转换输出相应的模拟信号。它主要的特点是频率转换快,频率点数多,而且频率分辨率很高。但是,由于数字集成电路速度和奈奎斯特原理的限制,其输出信号频率不高,输出信号频谱杂散也较大,在较宽的工作范围时,不能达到实用要求。

三种频率合成技术的技术特性如表1所示。从表中可以看出,采用单一的频率合成技术,目前都难以达到所需超高速频率合成器的要求。因此必须采用它们的组合形式,取长补短。组合方法常用的主要有DDS+PLL频率合成和DDS+DS频率合成方法,下面分别介绍。

表1 三种频率合成技术的技术特性

	转换时间/s	频率点数	杂散	频率范围/kHz	相噪
直接频率综合	$10^{-9}$ ~ $10^{-6}$	较少	多	$10^3$ ~ $10^6$	低
锁相环	$10^{-5}$ ~ $10^{-3}$	多	较少	$10$ ~ $10^6$	较低
DDS	$10^{-9}$ ~ $10^{-6}$	多	多	DC~ $10^4$	低

## 1.4 基于DDS的组合式跳频频率合成器

### 1.4.1 DDS+PLL频率合成方法

#### 1) DDS激励PLL的间接频率合成方法<sup>[1,2]</sup>

将PLL设计成 $N$ 倍频环,DDS输出通过带通滤波器BPF直接作为PLL的参考信号。

DDS和PLL结合后,通过合理地选择频率控制字 $K$ 、系统时钟 $f_c$ 以及可变分频比 $N$ ,可以将DDS输出频率倍频到合成器工作频段。加入带通滤波器可以有效地抑制DDS的宽带频率杂散。系统原理如图1所示。

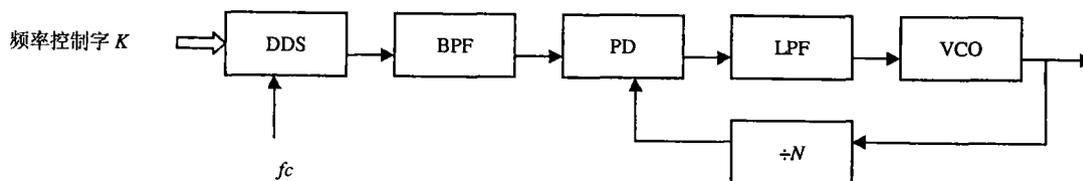


图1 DDS激励PLL系统方案原理框图

#### 2) PLL内插DDS系统方法<sup>[1]</sup>

DDS激励PLL的间接频率合成方法,DDS输出的带内杂散经过倍频后,存在着频谱纯度恶化的缺点。为充分发挥PLL频谱纯度高的优势,避免DDS杂散多的弱点,利用高精度的晶体振荡器作为PLL参考频率

源。系统原理如图2所示, 图中PLL作为系统核心, 输出合成的频率, DDS插入到锁相环内, 与VCO输出混频后反馈至PD。

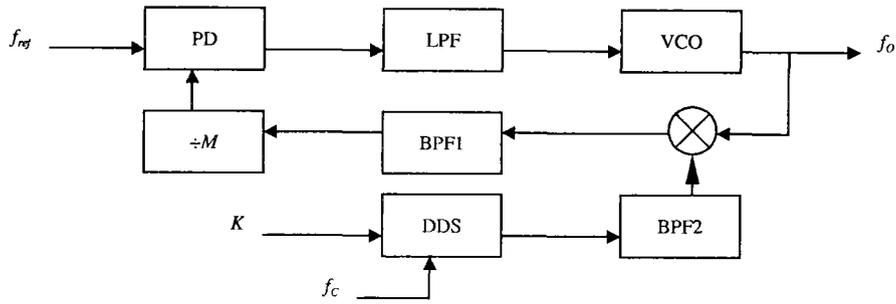


图2 PLL内插DDS系统原理框图

虽然该方案避免了DDS输出的带内杂散倍频后频谱纯度恶化的问题, 频谱纯度优于DDS激励PLL方案。但是, 在反馈支路内引入混频器和带通滤波器, 增加了电路复杂度和调试难度。

由于DDS+PLL频率合成方法都是基于锁相环系统, 它是一个惰性环节, 锁定时间较长, 频率合成器的频率转换时间一般要长达几十微秒以上, 因此DDS+PLL的实现方法的系统输出频率捷变速率不高, 不适合超高速跳频频率合成器的技术要求

### 1.4.2 DDS+DS频率合成方法

DDS与DS相结合, 利用模拟倍频器替代PLL, 克服了DDS+PLL频率合成器的频率转换时间长的弱点。在该方案里, 用DDS作为频率合成器核心部件, 产生足够多离散频点, 然后利用多个倍频器和滤波器组成的倍频链提高DDS输出频率, 同时拓展了DDS输出带宽。系统方案原理如图3所示。图中插入带通滤波器抑制带外的杂散, 提高了频谱纯度。

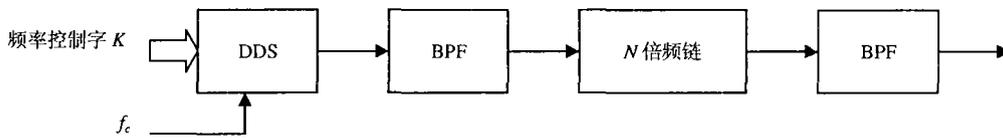


图3 DDS+DS系统方案原理框图

尽管本方案带通滤波器只能滤掉带外杂散, 带内杂散经过倍频后造成频率纯度有所恶化, 但是DDS+DS方法在频率转换速率比DDS+PLL方法更具有优势, 有利于超高速跳频频率合成器的实现。然而, 在保证频率高速切换前提下, 如何提高频率合成器的频谱纯度是本方案实现的难点。

## 2 超高速频率合成器方案的设计与实现

综合考虑各个方案的优缺点, 采用了一种DDS加倍频链的合成方法, 研制了 $10^5$ 跳/s的宽带超高速频率合成器。输出频率272.7~324.0 MHz, 输出带宽51.3 MHz, 可用频点256个。它选用DDS作为频率合成器核心器件, 系统时钟高达300 MHz, 频率分辨率1  $\mu$ Hz, 100 M并口编程速率以及较高杂散抑制制度。DDS的优良性能使超高速频率合成器研制成为可能。具体电路框图如图4所示。

该频率合成器由晶体振荡器、DDS、放大器、三倍频器、带通滤波器和控制电路等组成。根据设计要求, 在方案中合理选择DDS输出频率和倍频滤波次数相当重要。选择正确的DDS输出频率, 可以使DDS本身输出信号杂散最小。合理的倍频次数可以降低对滤波器的要求, 将有利于减小输出信号杂散。因此在设计中采用了DDS输出频率为30.3~36.0  $\mu$ Hz, 在这个频段上, 其输出信号杂散相对较小。然后分2次倍频, 每个倍频器倍频次数为3次。图4中放大器的作用是增加DDS输出信号幅度, 提高倍频器的效率。控制电路对DDS并口进行编程控制, 向DDS频率调节字寄存器写入频率调节字K来更新输出频率。在实际电路中, 使用三个五阶带通滤波器来抑制带外杂散。频率合成器输出信号为

$$f_o = 9f_{\text{DDS}} = (9 \times 280 \times K) / 2^{48}$$

式中  $f_{\text{DDS}} = (k/2^N) f_C^{[3-5]}$ 。

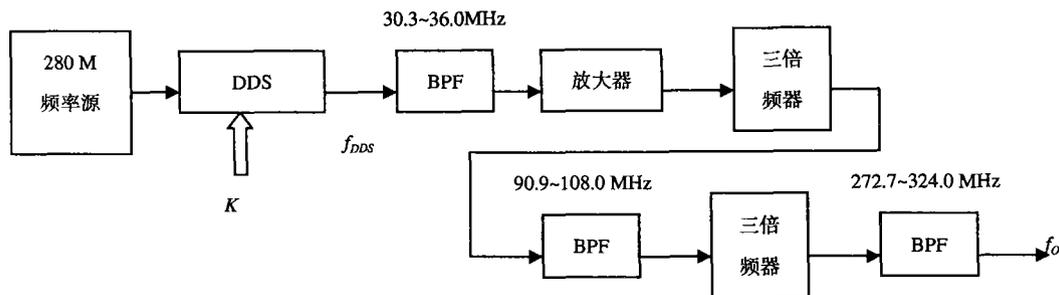


图4 超高速跳频频率合成器电路框图

## 2.1 DDS编程控制与频率转换

频率合成器的跳频速率是 $10^5$ 跳/s，平均每一跳的时长 $T$ 为 $10 \mu\text{s}$ ，它由频率稳定时间 $T_1$ 和频率驻留时间 $T_2$ 两部分时间组成。在 $T_1$ 时间内完成本次频率的跳变，在 $T_2$ 时间内完成下一跳的频率调节字寄存器的数据的写入。频率跳变示意图如图5所示。

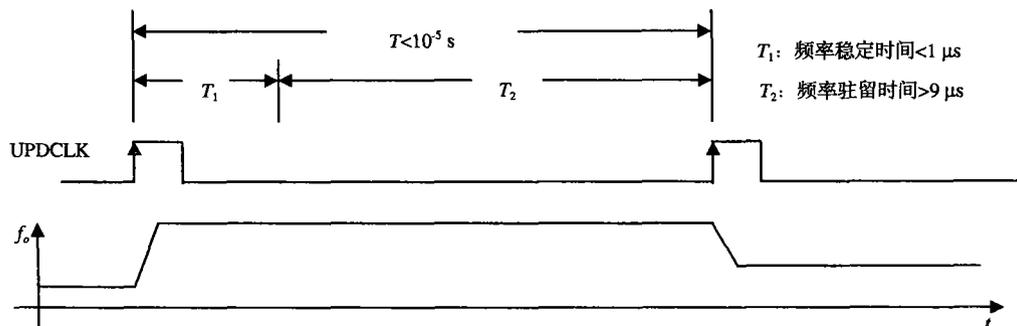


图5 频率跳变示意图

控制电路用ADSP-2188N对DDS并行编程控制，完成频率调节字的一个字节写入时长为 $12.5 \text{ ns}$ 。在上一个频率驻留时间 $T_2$ 内，对DDS进行六个字节的频率调节字的写入( $75 \text{ ns}$ )。在 $T_1$ 时间内，向DDS送频率更新脉冲。在频率更新脉冲上升沿触发，DDS根据控制寄存器和频率调节寄存器的设置更新输出。经实验测试得到频率切换在大约 $600 \text{ ns}$ 内完成。

## 2.2 DDS输出杂波分析

为了保证频率合成器输出频谱纯度，该方案实现的难点在于DDS的输出频带选择和倍频方式的选择。经过反复实验，最终选择DDS的输出频率为 $30.3\sim 36.0 \text{ MHz}$ ，其频带内杂散抑制制度接近 $80 \text{ dBc}$ 。如图6所示，经过九倍频后，虽然输出信号杂散电平有所恶化，但在频率合成器的 $50 \text{ MHz}$ 频带内，杂散抑制制度仍然大于 $60 \text{ dBc}$ 。在频带外，由倍频产生的谐波，其抑制制度也大于 $50 \text{ dBc}$ 。

## 2.3 相噪分析

DDS输出的相位噪声主要取决于系统时钟 $f_c$ 和DDS器件固有的相位噪声。由于提供系统时钟的信号源的相位噪声低于DDS的相位噪声，因此DDS输出的相位噪声主要取决于DDS器件固有的相位噪声。DDS输出经过 $N$ 次倍频后，相位噪声恶化了 $20\log N \text{ dB}$ 。

DDS的固有相位噪声在偏离载波 $1 \text{ kHz}$ 处为 $-140 \text{ dBc/Hz}$ ，经过9次倍频后相位噪声恶化 $19 \text{ dB}$ ，因此理论上频率合成器输出信号的相位噪声在 $1 \text{ kHz}$ 处可达 $-121 \text{ dBc/Hz}$ 。

## 2.4 实现指标

超高速跳频频率合成器实物图如图7所示。该频率合成器达到的指标如下：

- 1) 输出频率：  $272.7\sim 324.0 \text{ MHz}$ ；
- 2) 输出带宽：  $51.3 \text{ MHz}$ ；
- 3) 频率切换时间： 约 $600 \text{ ns}$ ；

- 4) 跳频间隔: 200 kHz;
- 5) 带内杂波抑制: >60 dBc;
- 6) 带外杂波抑制: >50 dBc;
- 7) 输出功率: -5 dBm;
- 8) 相位噪声(偏离载波1 kHz): -110 dBc/Hz。

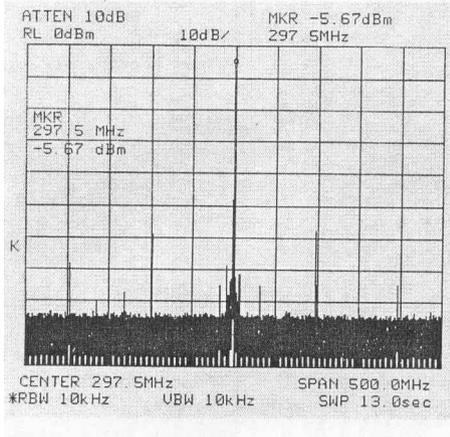


图6 频率合成器输出频谱图

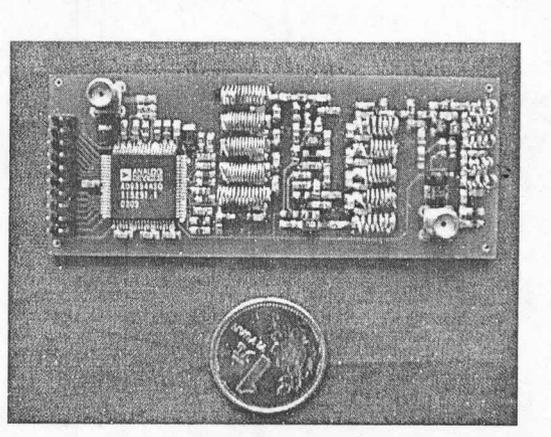


图7 超高速跳频频率合成器实物图

### 3 结束语

目前频率合成技术主要有直接频率综合、锁相环频率综合、直接数字频率综合三种形式。由于PLL方式的频率合成器的频率跳变速率依赖于PLL的窄带跟踪时间(至少几十微秒),速度太慢。而DDS方式的输出带宽又有限,因此在设计高速跳频频率合成器时,这两种方式均不能满足技术要求。但是,采用DDS+DS方式,可以满足超高速、多频点和宽频带的需要,其实现的难点是如何提高合成器输出频谱纯度。在实际电路板制作中,DDS的良好接地和合理布线非常有助于系统设计的实现。

#### 参 考 文 献

- [1] 金数波, 邓贤进. S波段DDS/PLL频率合成技术研究[J]. 电讯技术, 2002, 42, (1): 13-16
- [2] 高泽溪, 王诞燕. DDS+PLL技术与应用[J]. 航空电子技术, 1997, (2): 22-28
- [3] 张玉兴, 彭清泉. DDS的背景杂散信号分析[J]. 电子科技大学学报, 1997, 26(4): 362-365
- [4] 赵正敏. 相位截尾对DDS输出频谱影响的分析与计算[J]. 东南大学学报, 2000, 30(1): 140-145
- [5] 高泽溪, 高 成. 直接数字频率合成器(DDS)及其性能分析[J]. 北京航空航天大学学报, 1998, 24(5): 615-618

编辑 漆 蓉

· 科研成果介绍 ·

### 微波频带识别系统

主研人员: 王文祥 孙嘉鸿 张兆镗 赵国庆 余国芬 宫玉彬 周 鹏

微波频带识别系统是工程中关键部件之一,是工程发射机中的前级系统,担负着识别输入信号频带的功能。该系统采用双重金属外壳密封,电磁兼容性好,抗干扰能力强。

· 渠 涌 ·