

一种新的Iddq故障定位算法研究

张 兰, 徐红兵

(电子科技大学自动化工程学院 成都 610054)

【摘要】提出了一种新的基于静态电流检测的故障定位算法,该算法依据输入向量序列的响应和电路的结构特征,通过对DUT电路正常情况下的模拟,可直接计算出可能的故障点,并能够完成多故障的定位。实验结果表明该算法能对桥接故障、漏电流故障等进行有效的定位。

关键词 静态电流检测; 故障定位; 多故障检测; 桥接故障

中图分类号 TN407 文献标识码 A

A Novel Method for Fault Location Using Iddq

Zhang Lan, Xu Hongbing

(School of Automation Engineering, UEST of China Chengdu 610054)

Abstract A novel algorithm for fault location using Iddq has been presented in this paper. This algorithm is based on the information of the response of input vectors and the structure of the circuit. It could effectively locate the fault by simulating the DUT circuit under normal circumstance. A significant advantage of this method is that it could effectively locate multiple defects in a circuit. Experiment used to illuminate this algorithm is discussed in details.

Key words Iddq testing; fault location; multiple faults; bridge fault

电路的故障诊断包含故障检测和定位。电路的故障诊断在大规模集成电路生产过程中具有重要意义,它有助于修复芯片模板上的各种缺陷,重新配置故障冗余系统;有助于生产工艺的改进,分析故障检测方法的效果等,最终提高芯片的产量和质量。采用静态电流检测(Iddq)进行故障诊断还处在研究阶段,正得到不断地发展。文献[1]使用简化的BF模型,给出了单独使用Iddq进行故障诊断的仿真结果,是一种空间有效性较好的诊断算法。文献[2]提出了简化的故障字典方法,使传统的电压诊断方法大为简化。这些研究结果表明Iddq在故障诊断中能起到良好的作用。鉴于此本文讨论了一种新的基于静态电流检测的故障定位算法。

1 静态电流Iddq检测故障模型

对一个测试集的所有输入向量下的静态电流(Iddq)大小的测量,已成为检测CMOS集成电路故障必要而灵敏的方法。Iddq定义为在CMOS电路的所有逻辑状态处于稳定状态下电路馈电线中所形成的一种漏电流。与静态电流相对,逻辑电平瞬变时,CMOS电路中形成的馈电线电流称为动态电流。动态电流是在电路状态改变时,同时存在的寄生电容充电放电电流与流过pn-沟道晶体管电流的组合。通常在5 V操作电压下,Iddq只有几十纳安的数量级,而动态电流的峰值可能会达到几百毫安的数量级。静态电流检测已经是较为成熟的集成电路检测技术。目前的集成电路生产商普遍采用静态电流检测作为芯片功能检测后的一个重要补充。相对于功能检测来说,静态电流检测能检测出电路中的桥接故障和漏电流故障,且静态电流在激活故障时并不用将故障信号传到输出端,而仅需激活该故障,就能够在馈电线上观察到。这使测试生成简单化,一些在电压检测时属于冗余不可测故障能够被静态电流检测到。

收稿日期:2003-08-27

作者简介:张 兰(1980-),男,硕士生,主要从事电路故障诊断方面的研究;徐红兵(1966-),男,博士,教授,主要从事复杂系统故障诊断、智能信息处理方面的研究。

静态电流检测的故障模型主要是桥接故障模型(bridge fault)、晶体管漏电流故障模型(leakage fault),当电路中两个或两个以上的节点由于各种物理原因连接在一起形成了桥接故障。在CMOS技术的电路中,BF模型的故障占有所有物理故障的40%~50%^[3]。任一CMOS管都有四个节点:Gate(G)、Source(S)、Drain(D)和n-bulk(N)。这样对于任一CMOS管都存在六种漏电流故障:GS、GD、GN、SD、SN、DN,即漏电流故障模型。本文的研究中采用的就是晶体管漏电流、桥接故障模型。

2 故障诊断算法

由于CMOS电路中的N管和P管总是成对出现,在正常情况下仅有一个管子是导通的,所以CMOS电路正常情况的馈电线静态电流接近0。当电路中存在短路故障,若短路节点对两端的电压相异时,电路中会形成电流通路导致电路的静态电流升高,如图1中所示。图中电路的输入向量为 $A=0, B=1$ 时, V_o 和1点正常电位分别为+, -。正常情况下由于晶体管截止时的漏电流很小,电路的静态电流接近0。但电路中若 V_o 和1之间存在短路,则电路 V_d 和GND之间就形成了电流通路使电路的静态电流升高。

算法的主要思路:对待测电路(DUT)进行 I_{ddq} 检测。按能否产生高 I_{ddq} 电流将输入向量集合分成两个集合。对产生高 I_{ddq} 电流的输入向量,进行正常电路模拟。计算各个候选故障节点对的电压值,若候选故障节点对两个节点之间的电压值相异,则这个节点对就是可能的候选故障。对未产生高电流的输入向量进行正常电路模拟,计算各个候选故障节点对的电压值,若候选故障节点对两个节点之间的电压值相异,则这个节点对必不是候选故障。

符号说明: A :通过测试生成获得的输入向量集合; B :候选的故障点对集合; C :电路出现高静态电流的输入向量集合, $C \subset A$; D :电路静态电流正常的输入向量集合, $D \subset A, C \cap D = \emptyset$; t_i :电路中的节点, $i \in \{1, 2, \dots, N\}$, N 为电路中节点的个数; $\langle t_i, t_j \rangle$:节点 i, j 之间存在候选故障点, $\langle t_i, t_j \rangle \in B$; T_i :在输入向量 $V_i \in C$ 下被激活的节点对集合, $T_i \subset B, i \in \{1, 2, \dots, M\}$; M :集合 C 中元素的个数。

具体算法:

- 1) 选择一组输入向量集合 A ,初始化 C, D ,使得 $C = \emptyset, D = \emptyset$ 。
- 2) 运用故障选择算法选择故障点对,记为集合 B 。
- 3) 对 A 中每一个元素,加到DUT电路上,检测电路的静态电流,将产生正常 I_{ddq} 电流的输入向量添加到集合 C 中,将产生高 I_{ddq} 电流的输入向量添加到集合 D 中。
- 4) 对 D 中的每一个输入向量进行正常电路模拟,模拟并记录DUT电路正常情况下, B 中所有点的电位。例如:对于 B 中元素 $\langle t_1, t_2 \rangle$,模拟将输入向量 V_i 加在正常电路上,节点 t_1, t_2 的电位。若 t_1 为+, t_2 为-,则记 $\langle t_1, t_2 \rangle$ 的值为 $\langle 1, 0 \rangle$,当节点对的模拟值为 $\langle 1, 0 \rangle$ 或 $\langle 0, 1 \rangle$ 时,将该节点对从 B 中消去。
- 5) 对 C 中的每一个输入向量进行正常电路模拟,模拟并记录DUT电路正常情况下, B 中所有点的电位。若节点对 $\langle t_1, t_2 \rangle$ 在输入 V_i 下的值为 $\langle 1, 0 \rangle$ 或 $\langle 0, 1 \rangle$,则将节点对 $\langle t_1, t_2 \rangle$ 记录于集合 T_i 中。
- 6) 对于任一 i, T_i 中必存在一个故障。电路的故障是各个 T_i 对应故障的并。

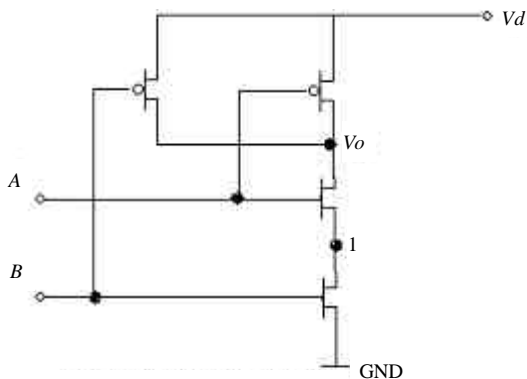


图1 CMOS管与非门电路图

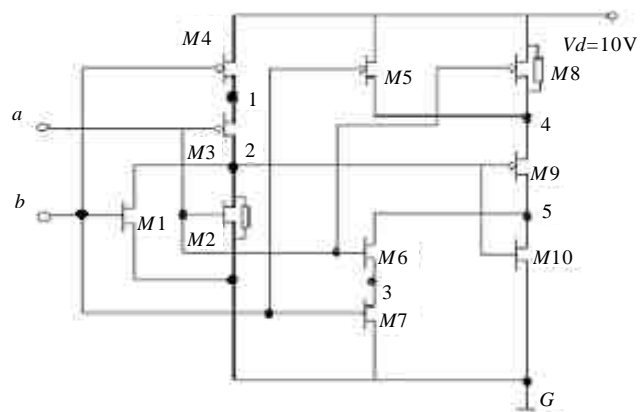


图2 CMOS管异或电路图

3 实验结果

图2所示为一个CMOS管异或门电路图。图中M2管和M8的栅极和源极间各有一个阻值为10 Ω的短路电阻(<G,2>和<Vd,4>)。电路有两个输入端口,则输入向量只有四种可能:00,01,10,11。由电路故障选择策略,写出电路中候选故障点对集合为{<a,2>,<b,2>,<Vd,4>,<4,5>,<5,2>,<a,5>,<G,5>,<1,2>,<G,2>}。输入向量加到输入端a,b上,检测到输入向量为11,00时电路静态电流为高,输入向量为01,10时电路的静态电流正常,则C=[10,01],D=[11,00]。分别对输入向量集C,D进行电路模拟,记录电路中各节点的电位如表1所示。表2记录了电路中各候故障选节点对的电位值。

表1 电路节点在各种输入向量下的模拟值

节点	1	2	3	4	5	Vd	a	b	G	节点	1	2	3	4	5	Vd	a	b	G
C	X	0	0	0	0	1	1	1	0	D	0	0	0	1	1	1	0	1	0
	1	1	X	1	0	1	0	0	0		1	0	1	1	1	1	1	0	0

由算法4)可得候选集合B减少为{<Vd,4>,<4,5>,<G,2>}，此时C中的元素为{11,00}。由算法5)知T1为{<Vd,4>}，T2为{<4,5>,<G,2>}，集合T1只有一个故障，T2中有两个故障。由算法6)可知，DUT电路的故障为<Vd,4>，以及(<4,5>,<G,2>)，这与电路中的实际故障情况是吻合的。(<4,5>,<G,2>)中必然至少存在一个故障，但具体是哪种故障(单个<4,5>或<G,2>，或者<4,5>，<G,2>同时存在)，从表中不能得出结论。进一步实验发现电路出现单一<G,2>或<4,5>故障，仿真得到的波形图在静态时是相同的。而电路中同时出现<G,2>和<4,5>故障时，电路静态电流幅值却是单个故障的两倍，如图3所示。这是由于当电路有两个故障时，在输入向量[0,0]下，两个故障同时被激活。从Vd到GND之间存在两条电流通路并联，通路电阻较单个故障时小而导致静态电流升高，如图4中所示。图中的输入是两个频率不相同的正弦信号，使电路能快速遍历所有的状态。从图中可以看出<G,2>或<4,5>单独出现时，静态电流波形完全一样。这说明并不能从静态电流提供的信息中判断是<G,2>还是<4,5>出现故障。(而图中的动态电流的波形存在差异，这说明动态电流中包含有更精确的故障定位信息。)

表2 候选节点对在各种输入向量下的模拟值

	<a,2>	<b,2>	<Vd,4>	<4,5>	<5,2>	<a,5>	<G,5>	<1,2>	<G,2>
C	1	0	1	0	1	0	0	0	0
	0	1	0	1	1	1	0	0	1
D	0	0	1	0	1	1	1	1	0
	1	0	0	0	1	1	1	1	0

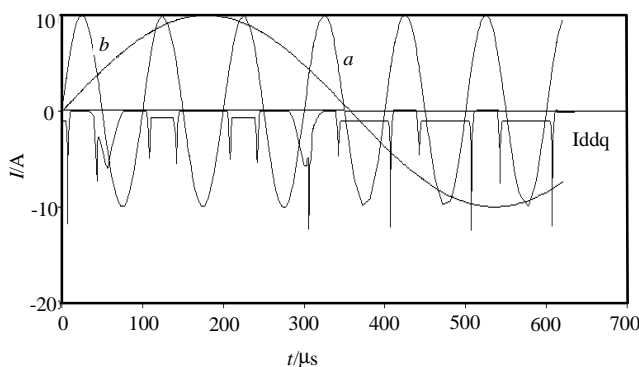


图 3 CMOS 异或电路的 Iddq 波形

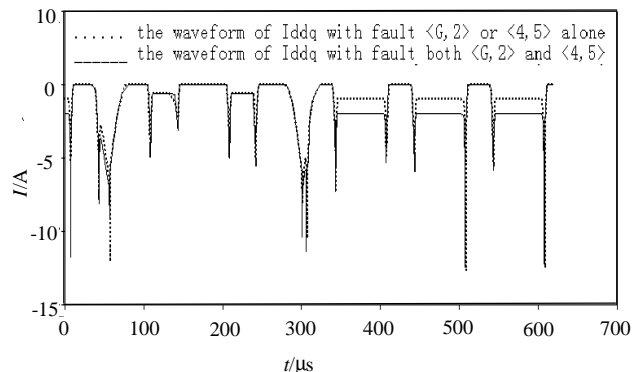


图 4 CMOS 异或电路在<G,2>(<4,5>)和<G,2>∪<4,5>故障下的波形比较

4 结论

本文针对集成电路常见的桥接、漏电流故障模型提出了一种新的故障定位算法。它能有效的对多故障电路故障进行定位。实验结果表明该算法能充分利用静态电流中的故障信息对故障进行定位,其有效性受测试向量诊断能力的影响,今后研究的重点应是如何为这种故障诊断算法提供有效的测试生成向量。

参 考 文 献

- [1] Lee T, Chuang W, Hajj I, *et al.* Circuit-level dictionaries of CMOS bridging faults[C]. In 12th IEEE VLSI Test Symp, Cherry Hill, NJ, 1994. 386-389
- [2] Henry C, Janusz R. A method of fault analysis for test generation and fault diagnosis[J]. IEEE TRANSACTION on Computer-Aided Design, 1988, 7(7): 813-833
- [3] Thadikaran P, Chakravarty S. Fast algorithms for computing Iddq tests for combinational circuits[C]. In 9th International Conference on VLSI Design, Bangalore, India, 1996. 103-106
- [4] NIGH P, MALY W. Test generation for current testing[J]. IEEE Design and Test of Computer, 1990, 7(1): 26-38
- [5] Chakravarty S, Zachariah S T. STBM: a fast algorithm to simulate Iddq tests for leakage faults[J]. IEEE TRANSACTIONS ON Computer-aided Design of Integrated and Sustems, 2000, 19(5): 568-576
- [6] Chakravarty S, Liu M. Algorithms for Iddq measurement based diagnosis of bridging faults[J]. Journal of Electronic Testing: Theory and Applications, 1992, 3(4): 377-386
- [7] Anne E G, Maly W. Crrrent signtures: application[C]. In International Test Conference, Washington D. C., 1997. 156-164
- [8] Chakravarty S, Liu Minsheng. Algorithms for current monitor based diagnosis of bridging and leakage faults[C]. In 29th ACM/IEEE DESIGN Automation Conference, Dallas Texas, 1992. 353-356
- [9] Aitken R C. A Comparison of defect models for fault location with Iddq measuremetns[C]. In International Test Conference, Baltimore, MD, USA, 1993. 1 051-1 059
- [10] Isern E, Figueras J. Iddq test and diagnosis of CMOS circuits[J]. IEEE Design and Test of Computer, 1995, 12(4): 60-67
- [11] Rajsuman R. Iddq testing for CMOS VLSI[J]. PROCEEDINGS of IEEE, 2000, 88(4): 544-566
- [12] Aitken R C. Fault location with current monitoring[C]. In International Test Conference, Nashville, TN, USA, 1991. 623-632
- [13] Nigh P, Forlenza D, Motika F. Application and analysis of Iddq diagnostic software[C]. In International Test Conference, Washington D. C., 1997. 319-327

编辑 漆 蓉