

## DDS阵列频率源技术研究

刘光辉, 唐小宏

(电子科技大学电子工程学院 成都 610054)

**【摘要】** 杂散抑制差和输出频率低是DDS的两大缺点, 并且随着输出带宽的增加杂散性能更加恶化。传统的解决方法是采用更好的算法和改进DDS芯片本身的结构。该文在分析了DDS杂散性能和输出带宽相互制约的DDS阵列方法基础上, 尝试了一种新的解决办法——DDS阵列方法。同时还分析了这种方法的性能, 并通过实验验证了其可行性。

**关键词** 频率合成; DDS阵列; 杂散; 输出带宽

中图分类号 TN74 文献标识码 A

## Research of Frequency Synthesizers Technology Based on DDS Array

Liu Guanghui, Tang Xiaohong

(School of Electronic Engineering, UEST of China Chengdu 610054)

**Abstract** Spectral purity and frequency capacity are performance barriers of Direct Digital Frequency Synthesizers (DDS) that designers are striving to break. Traditionally, spurious signals are reduced by ways of better algorithms and improvements on DDS structure. In this paper a novel spur reduction method, DDS array method, is proposed and its performance is analyzed. And an experiment on the technology is operated to verify its feasibility.

**Key words** frequency synthesis; DDS array; spur reduction; bandwidth

频率合成器是现代众多电子系统的关键部件之一, 是现代电子系统的“心脏”。随着电子技术的发展, 各类电子系统对频率合成器的要求越来越高, 需要同时满足低相噪、低杂散、快捷变频、宽带、小体积、低功耗等指标。直接频率合成技术体积和功耗大、锁相环(PLL)频率合成技术变频速度较慢都无法满足要求。直接数字频率合成(Direct Digital frequency Synthesizer, DDS)技术出现于20世纪70年代, 其优势在于具有极高的频率分辨率, 极快的变频速度(ns级), 变频相位连续, 相噪低, 易于功能扩展和全数字化便于集成, 因此在短短的二十多年里得到了飞速的发展和广泛的应用<sup>[1]</sup>。但DDS由于采用全数字化结构, 使其输出频谱质量较差, 输出频率也较低。所以, DDS技术应用于微波频段时常常需要频带扩展。扩展的方法除了选择GaAs工艺的DDS芯片外, 还有直接倍频、上变频、DDS与PLL相结合等<sup>[2]</sup>。GaAs工艺的DDS芯片可以工作在1 GHz以上, 但杂散指标只能达到-30 ~ -40 dBc<sup>[3]</sup>。直接倍频和上变频方法的杂散性能不理想, 系统较为复杂, 调试也困难。DDS+PLL虽然可以取得较好的杂散指标, 但由于PLL锁相鉴定时间较长, 特别是在PLL环路带宽较窄时, 所需时间更长。所以, DDS+PLL技术很难应用于变频时间要求在纳秒级的场合。但不管采用哪一

收稿日期: 2003-03-10

基金项目: 国家自然科学基金资助项目(69982006; 60132040)

作者简介: 刘光辉(1976-), 男, 博士生, 主要从事微波通信, 数字信号处理等方面的研究。

种方法,都是基于现有的DDS水平,根据DDS杂散分布的特点和工程中的具体要求来选择适当的方法。本文根据工程需要提出了DDS阵列。

## 1 DDS的杂散分析

DDS输出谱杂散分量较大的原因在于相位截断误差、查询表ROM量化误差以及数模转换器DAC转化误差的存在。目前,人们对相位截断误差和ROM量化误差的研究已经相当完善<sup>[2]</sup>,由此发展起来的杂散抑制技术已广泛应用于现在的DDS产品中。由ROM量化误差引入的杂散体现为背景噪声,当相位截断的位数一定时,噪声的功率就一定(与信号相比非常低),设计时一般不予考虑。由相位截断误差引入的最大杂散分量,其幅度 $SPUR$ 与ROM的寻址位数 $P$ 的关系为<sup>[4]</sup>

$$SPUR = -6.02P \quad (1)$$

式中 当 $P \geq 15$ 时,相位截断误差引入的杂散在工程中可不予考虑。

对DAC转化误差的认识尚处在定性阶段,DAC的数学模型难以建立,所以目前还不能彻底解决DAC对杂散的影响问题。随着DDS工作频率的提高,DAC对DDS性能的影响也越来越显著。特别是当DAC非线性作用产生的低次谐波杂散落入输出频带内时,杂散抑制急剧恶化到 $-40 \sim -50$  dBc。所以,DAC的性能就成了制约DDS输出信号谱质的决定因素。因此,对DAC的研究仍然是DDS领域研究的热点<sup>[1]</sup>。

由于DAC非线性作用的存在<sup>[5]</sup>,使查表所得的幅度序列从DAC的输入到输出要经过一个非线性过程,会产生输出信号频率为 $f_0$ 的谐波分量。又因为DDS是采样系统,所以这些谐波会以时钟频率 $f_c$ 为周期搬移,即

$$f = uf_c \pm vf_0 \quad (2)$$

式中  $u, v$ 为任意整数。它们落到Nyquist带宽内就形成了有害的杂散频率,频率的位置可以确定,但幅度难以确定。一般说来,谐波次数越低,幅度就越大。所以在工程设计时,要充分考虑输出频带,避免低次谐波杂散分量落入其中,以此来获得较好的杂散指标。

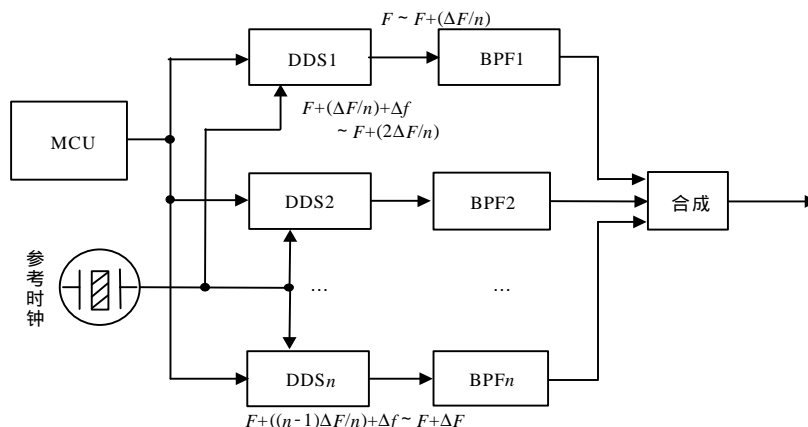
## 2 DDS阵列方法的性能分析

杂散抑制是DDS系统设计考虑的主要问题,特别在要求输出带宽较宽时,杂散就会更加恶化。本文在设计时,考虑以下两方面<sup>[6]</sup>: 1) 输出带宽不能跨越 $(1/n)f_c$ 频点(其中 $n=3,4,5,6,7$ ); 2) 不能有DAC非线性作用产生的低次谐波杂散落入输出频带内。另外,输出频带越窄,各种杂散混入其中的几率一般就越小,故杂散性能通常会越好。如,AD9852是美国AD公司的DDS芯片, $\pm 10$  MHz输出时杂散指标只优于 $-50$  dBc,而输出 $\pm 1$  MHz时杂散指标优于 $-80$  dBc,这说明DDS的杂散性能和输出带宽是两个相互制约的因素<sup>[7]</sup>。

根据上面的讨论,当采用一个DDS用于宽带输出时,有可能出现带内某些输出频点的低次谐波落入要求的频带,使系统性能下降。如要求DDS输出频带 $32 \sim 38$  MHz,时钟频率采用 $120$  MHz,据式(2)可以计算: $-120+38 \times 4=32$  MHz。可见,即使采用PLL滤波,也很难滤去此谐波分量。如果采用两路DDS并行输出,一路输出 $32 \sim 35$  MHz,另一路输出 $35 \sim 38$  MHz,然后分别带通滤波,最后再合成要求的频段,可以利用第二路的滤波器滤去谐波分量,这样可以用两个DDS并行输出的方法获得高速、高纯的宽带输出。本文把多个DDS的组合称为DDS阵列,并用其来扩展频带和提高整体杂散性能。

DDS阵列的组成如图1所示。系统要求合成的带宽为 $\Delta F$ ,若 $\Delta F$ 较大,则用一个DDS来合成时杂散性能由于低次谐波杂散的混入一般很差。分析图1所示的方案,用 $n$ 个DDS组成的DDS阵列的并行输出来直接合成所需的频带 $\Delta F$ 。由图可知, $n$ 个DDS在统一的参考时钟和单片机MCU的控制下协调工作,使每个DDS输出系统分配的频带。为了讨论方便,假设阵列中每个DDS输出的带宽相等,即 $\Delta F/n$ 。通过输出频带的细分,使得原来(用一个DDS合成时)在输出频带内的低次谐波杂散分布在该路DDS输出频带以外,并用该路的带通滤波器将其抑制到系统可以接受的程度,这样使单个DDS输出信号的频谱较为纯净,而最终合成的宽带信号的杂散性能与单个支路DDS差不多。可见,采用DDS阵列的方法可以获得比用单个DDS输出相同频带更好的杂散指标,而频率切换速度却保持不变。这些优越的性能是通过增加系统的复杂性换来的。

DDS阵列方法实现的关键在于充分考虑输出频带内所有频点的谐波杂散分布,当其落入输出带宽内对系统杂散指标造成较大影响时,要通过频带的细分,用滤波的方法将其滤去,所以滤波器的设计非常重要。设计中要把频带的分配和滤波器的抑制能力结合起来考虑,各路DDS输出带宽可以不等分,滤波器最好采用过渡带很窄的椭圆型滤波器。另外,在DDS数目较大及系统对同步要求很高时,完成输出频段分配和多路同步的MCU控制则很复杂。故控制方便的DDS芯片和MCU的选择以及时序控制都应根据系统需要仔细考虑。一般参考时钟由同一晶振提供,这是为了同步控制的方便,且不存在多路晶振的相位同步问题。对于最终信号的多路合成,由于DDS输出的频率很低,所以隔离显得不重要,合成起来也相对简单。



$F$ 为输出的起点频率  $\Delta F$ 为输出总带宽  $\Delta f$ 为频率步进

图1 DDS阵列方法原理框图

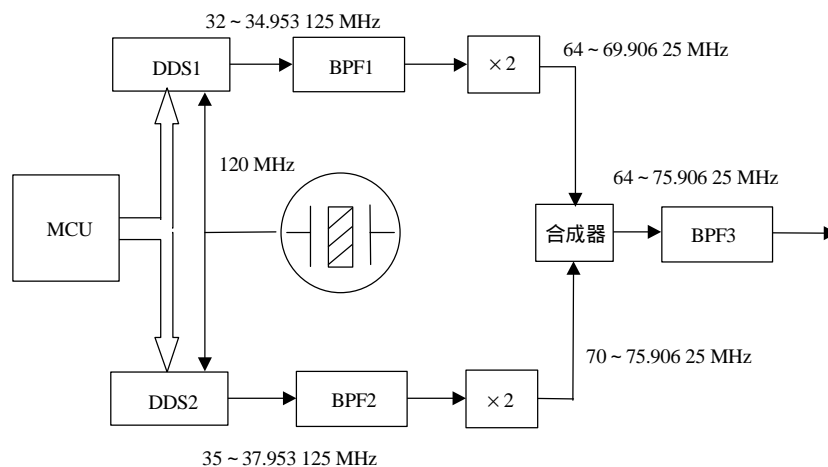


图2 采用双路DDS组成的阵列技术实验框图

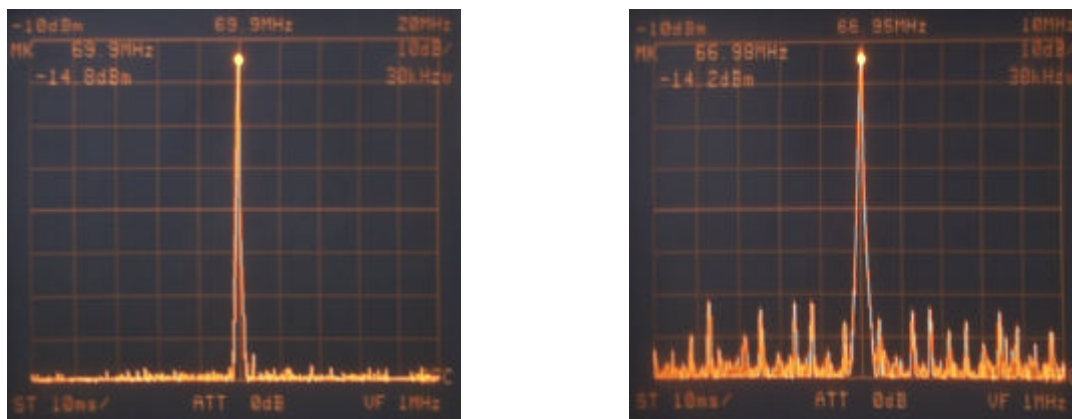
### 3 DDS阵列频率源的实验研究

为了验证DDS阵列方法的可实现性,本文就最基本的双路DDS阵列进行了实验研究。频率源要求输出频率范围是64 ~ 75.906 25 MHz,杂散抑制优于-60 dBc,提供120 MHz晶振参考频率。DDS采用性价比较高的AD9852 AST,参考时钟可达200 MHz,寻址位数 $P=17$ ,可以实现任意扫频模式和点频模式输出,3 MHz带宽输出时杂散优于-75 dBc<sup>[7]</sup>。DDS参考频率选120 MHz,最直接的方案是用一个DDS输出32 ~ 37.953 125 MHz,然后再二倍频到要求的频率范围。但是,还应该考察带内某些频点的低次谐波是否会影响到输出频谱质量。据式(2)可知: $-120+37.953\ 125\times 4=31.812\ 5\ \text{MHz}$ ,靠近低端频率32 MHz,很难滤去,不能达到杂散抑制指标。为解决该问题,本文采用两个DDS组成的DDS阵列并行输出来实现,具体的方案如图2所示。方

案中关键之处就是通过输出频段的细分,用BPF2滤去高端频率的低次谐波杂散,使两个DDS分别输出纯净的频谱,最终合成满足杂散要求的输出谱。

MCU采用PIC16F874,完成两个DDS输出频段分配和同步控制。BPF1和BPF2的设计很关键,方案采用过渡带较窄的椭圆滤波器,并用HPADS软件进行电路仿真。BPF3采用切比雪夫滤波器滤去倍频后的谐波和交调分量。倍频器用三极管3DG9018,合成器提供两路信号的合成通道和隔离<sup>[6]</sup>。

双路DDS阵列频率源的测试结果如图3所示。典型的杂散值优于 $-70$  dBc。有少数频点杂散较差,杂散分量对称地分布在输出频点的两边,杂散抑制达到了 $-60$  dBc,满足了系统的要求。少数频点杂散性能较差的原因是:频率源系统要求线性调频输出,DDS频率控制字是一个不断累加的过程,输出频点不可能都是杂散最优,通过累加可能使某些频点杂散抑制较差,这是不可避免的。



(a) 典型杂散水平的频点

(b) 杂散最差的频点

图3 双路DDS阵列频率源的输出频谱

## 4 结 论

实验证明,本文提出的DDS阵列方法通过输出频段的细分能有效地解决DDS输出带宽和杂散相互制约的问题,使DDS能应用在对带宽和杂散要求都较高的系统中。但高性能是用系统的复杂性换来的,所以在选择方案时,要综合考虑各种因素,争取最佳的整体性能。虽然本文只进行了两个DDS并行输出的实验,但可以分析,多个DDS并行输出时除了控制复杂一些以外,不会带来其他问题。DDS的个数也不是越多越好,而是根据所需要的频段和杂散分布来选择。在满足要求的情况下,个数越少越好,这样控制更简单,成本也更低。

## 参 考 文 献

- [1] Essenwanger K A, Reinhardt V S. Sine output DDSs a survey of the state of the art[C]. IEEE Proc. AFCS, 1998. 370-378
- [2] 安建平. DDS/PLL频率合成技术的研究: [学位论文][D]. 北京: 北京理工大学, 1998
- [3] 李衍忠, 蔡英杰. DDS谱质分析及其杂散抑制研究综述[J]. 现代雷达, 2000, 22(4): 33-38
- [4] Analog Device Inc. A technical tutorial on digital signal synthesis[Z]. 1997
- [5] Buchanan D. Choose DACs for DDS system applications[J]. M&RF, 1992, 31(8): 89-98
- [6] 刘光辉. 并行DDS频率源技术研究: [学位论文][D]. 成都: 电子科技大学, 2002
- [7] Analog Device Inc. AD9852-CMOS, 300 MHz complete DDS synthesizer[Z]. Technical Data Sheet, 2000

编辑 漆 蓉