

基于FPGA的高速图像预处理系统设计

王宇舟¹, 金声震²

(1. 中国科学院国家天文台 北京 100012; 2. 中国科学院研究生院 北京 100012)

【摘要】介绍了一种用单片FPGA实现的实时、多任务、高速图像处理系统。该系统承担着提高信噪比、压缩数据量、Stokes参数观测和仪器及观测模式控制等任务。针对一个星载系统,采用了核心逻辑片内冗余、设计了相应的冗余管理线路等可靠性设计技术,采用了放置片内测试和校验模块等可测性设计技术,使系统工作时钟达40 MHz,图像处理速率达100 Mbps。

关键词 预处理; 检错和纠错; 现场可编程门阵列; 状态机

中图分类号 TP.223 文献标识码 A

A FPGA-Base High-Speed Image Pre-Processing System Design

WANG Yu-zhou¹ JIN Sheng-zhen²

(1.The National Astronomical Observatories of the Chinese Academy of Sciences Beijing 100012;

2.Graduate School of the Chinese Academy of Sciences Beijing 100012)

Abstract A single-chip Field Programmable Gate Array(FPGA) Image pre-processing system is introduced. This system is used to complete a series of real-time, multi-task and high-speed image processing tasks, including improving image signal-to-noise ratios, compressing data volume, stokes parameters observation, instrument control and observation mode control, etc. As an on-board system, the reliability of the system is very important, so the core logic modules are redundant. Moreover, Built-in Testing(BIT) module and EDAC(Error Detection And Correction) module are also placed in FPGA. System clock was 40 MHz, and its images processing ratio attained to 100 MHz.

Key words pre-processing; error detection and correction; field programmable gate array; state machine

图像处理一般都是用数字信号处理器(Digital Signal Processor, DSP)来完成。但采用多DSP或DSP阵列的方法使系统在成本、重量、功耗等方面都会快速升高。近年来采用现场可编程门阵列(Field Programmable Gate Array,FPGA)或可编程器件(Complex Programmable Logic Device, CPLD)设计逻辑电路已成为了一种趋势^[1,2],其原因:1) 集成电路由于集成度IC(Integrated Circuit)的大大提高,可编程器件给用户提供了丰富的可编程资源;2) 可编程器件开发系统和仿真手段日臻完美;本文介绍的预处理系统是中科院国家天文台即将立项的国家重大工程项目——空间太阳望远镜(Space Solar Telescope, SST)科学数据处理单元(Science Data Processing Unit, SDPU)的一个子系统^[3,4]。SDPU的功能是对由观测仪器采集到的科学数据进行一系列复杂的图像处理任务,以满足天文学家对太阳的分析要求。预处理系统是一个单片的FPGA系统,由于本系统是一个星载系统,除了功能设计外,还采用了可测性设计技术,设计出了一个高可靠性的系统。

收稿日期: 2003-07-15

基金项目: 国家863计划资助项目

作者简介: 王宇舟(1971-),男,博士生,主要从事卫星有效载荷计算机系统设计和空间光电测试等方面的研究。

1 SDPU的数据处理任务和系统结构

SDPU的功能是对科学数据进行一系列复杂的处理,它担负着巨大数据量的高速采集、压缩、编码、存储任务,并具有高可靠度的容错技术^[3,4]。SDPU的结构如图1所示,它主要由电荷耦合器件(Charge Coupled Device, CCD)阵列、预处理(Pre-Processing, PP)阵列、中央(Central Processing Unit, CPU)、海量存储器(Mass Memory, MM)、压缩单元DSP1和DSP2、下传子系统(Down Link System, DLS)等构成的。SDPU的任务按顺序包括如下过程:数据采集、积分、相关运算、CCD图像标定、Stockes参数计算、小波图像压缩、通信格式化和下传等。数据采集由SST的5个观测仪器共17个通道构成的CCD(探测器)阵列来完成;积分的工作是在预处理完成的;CCD修正和Stockes计算、小波压缩是由两个DSP模块(DSP1、DSP2)来完成;通信格式化和下传任务是由下传子系统(DLS)完成;各单元处理的数据都是由海量存储器(MM)暂存;系统总体调度和管理由CPU来进行。

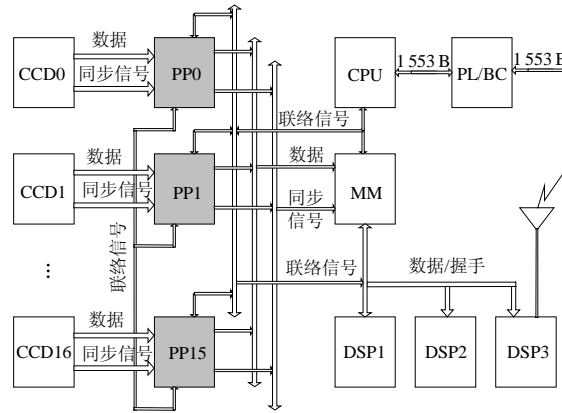


图1 SDPU结构

2 预处理的数据处理任务及设计方案选择

2.1 预处理的数据处理任务

从图1可见,预处理系统共有17个处理模块构成,每个模块的基本功能是一致的。预处理(PP)的任务是进行积分运算,它具有如下的处理任务:1) 提高信噪比。SDPU各个仪器的信噪比要求是不相同的,但都是通过累加多帧连续的极化图像来改善图像的质量,各仪器在不同的模式下,积分的帧数是各不相同的,预处理要正确识别和处理;2) 压缩数据量。预处理每日的输入数据是2 506 GB,而输出数据是50 GB,因此在预处理要进行平均60倍的压缩。3) Stockes参数测量。太阳望远镜的主光路中插入了一个偏振分析器,该分析器具有3个可控的元件,通过控制元件状态可以组合成进行Stockes参数6个分量的图像测量。4) 观测模式。其仪器有:爆发模式、活动区模式、宁静态模式3种。根据不同的观测模式预处理有不同的积分行为。

2.2 预处理的逻辑功能

预处理的功能,总体上可以分为:1) 数据接收和积分:如图2所示,数据高位清零工作是解决多帧积分的位扩展空间的清零问题;数据积分是基于像素点来进行的;不同模式有不同的积分帧数;图像的就绪标志是标志某存储块或地址段的数据已积分完成,可以被送出。当数据正在积分和数据已被送走以后,这个标志是无效的;2) 数据传送通道控制:是一个总线仲裁机构,用于仲裁17个通道的哪一个通道有权使用所有通道共享的数据总线来进行数据传送操作。它采用顺序轮询的方式,被询问的通道若数据就绪便进入数据传送状态,否则继续向后查询。3) 数据传送:它主要负责数据传送,以腾空数据缓冲区;它所操作的数据存储空间段和积分使用的缓存空间段是应分开的,以免冲突发生;它和积分在时间上是重叠的,因此必须设计成并行逻辑。4) 仪器观测模式和工作状态监测:从CPU的送来了仪器观测模式和状态压缩码,预处理需解码出来,分别送到相关的部分进行预处理各部分工作模式的控制,因此要设计相应的逻辑。

2.3 预处理设计方案选择

预处理系统的实现方法有2种方式: 1) 采用DSP软件的实现方法; 2) 采用FPGA/CPLD的硬件实现方法。

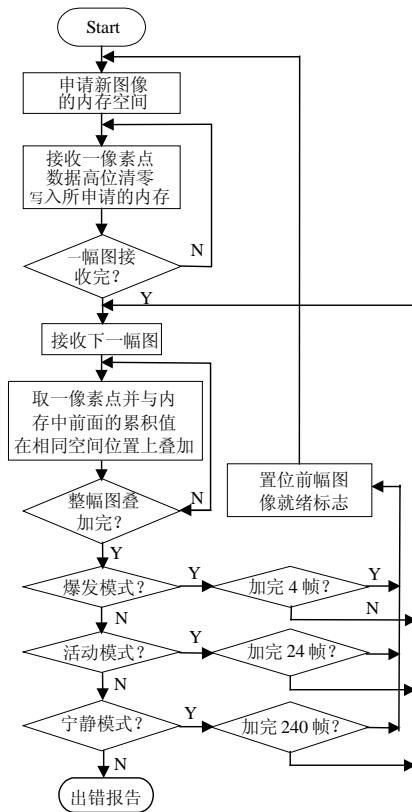


图2 数据接收和积分流程

根据本系统的特点本文采用了硬件的实现方法。其理由如下:

1) 从负荷度上来考虑。数据接收和积分操作对DSP具有全时间域的占有性, 但处理的速度并不要求太高, 处于轻载运行状态, 但又无法插入其他工作任务, 这样至少需要两个DSP来构造系统; 而采用FPGA设计可以将其二维阵列结构的可编程资源进行合理利用, 设计出高效并行结构, 达到系统功能要求; 2) 从价格上。由图1得知, 17个通道加上冗余块, DSP的使用数量是极为惊人; 而FPGA不仅在价格上远远低于航空级DSP, 更重要的是它可把冗逻辑设计到一块芯片的里边去, 也不需要板极冗余结构 (Printed Circuit Board, PCB); 3) 在硬件的设计方面。用FPGA设计PCB可设计得非常简单, 不象DSP设计那样, 还要设计许多的粘附逻辑, 这样的FPGA系统的重量轻、功耗小。4) 在系统的开发和测试及可靠性设计方面。电子设计自动化 (Electronic Design Automation, EDA) 开发和仿真软件的成熟性和FPGA设计的开放性使设计和验证变得更容易, 设计周期变短; 还可以直接在寄存器传输电平(Register Transmission Level, RTL)级描述上进行测试产生; 也可以在FPGA系统的设计过程中即引入可靠性的概念, 以设计出高可靠性的系统。而DSP的内部一般是保密的, 不便于测试, 一般只能进行功能测试。总之, 在合理利用资源、性价比、功耗、重量和可靠性等方面对空间系统而言, FPGA设计的预处理系统都是优于DSP设计的系统。这也是单片系统的优点。

3 预处理的系统结构设计和实现

3.1 预处理的结构设计

根据以上的讨论, 本文采用单片FPGA设计出来的预处理模块如图3所示, 整个预处理系统由17个这样大致相同的模块构成。主要模块有: 积分器、地址发生器、通路选择逻辑、状态机、IO接口和用于保证系统可靠性的逻辑块, 如冗余控制、测试模块、检错与纠错(Error Detection And Correction, EDAC)等, 整个系统的核心逻辑都进行了冗余。图中除了存储器和电平转换器外, 其他逻辑都在FPGA中进行设计, 如图中的虚线框部分。整个系统具有PCB板简单、元件少的优点和重量轻等优点。

积分器的两个操作数一个来自CCD, 另一个来自存储器中上一次的累加结果, 积分器还要负责扩展位的清零问题; 数据传送和积分操作在时间上是并行进行的, 因此把存储器设计成两个体(Bank)的结构; 数据和地址选通逻辑是用于控制积分和数据传送所工作的内存体号; 状态机是总线仲裁机构, 它轮询17个通道, 授予和回收17个通道到海量存储器的共享总线的使用权。

星载电子系统的可靠性是关键性的指标。本文的设计采用可测性设计的原则^[5, 6], 在系统设计之初就将系统可测问题同系统功设计一同考虑, 同时把可靠性的概念应用于系统的设计功能之中, 而不像传统设计过程那样, 在满足系统的性能指标之后, 才考虑系统的可测性和可靠性。本文在系统结构中设计了如下模块: 测试逻辑、EDAC、核心逻辑的冗余结构和冗余控制线路^[6, 7]。测试逻辑用于地面同自动测试设备接口和在星上进行故障检测, 故障检测是为冗余控制线路提供控制判剧; EDAC只对数据和地址总线进行监督校验。对于选通控制信号和其他关键的控制信号, 还设计了表决器, 以增强信号的正确性, 避免误操作。由于所

有逻辑是在FPGA片内实现, 各种冗余备份和可测性逻辑结构的加入不至于在体积、重量、功耗和价格上损失太大。

图3中还可得知, FPGA内部的线路结构相当复杂, 逻辑模块多。逻辑间有严格的同步或时序关系, 这一点在实现阶段远比模块建模本身难度大。因为要保证系统完全正确、鲁棒的完成系统功能, 必须考虑时延问题和信号的收敛性等问题。

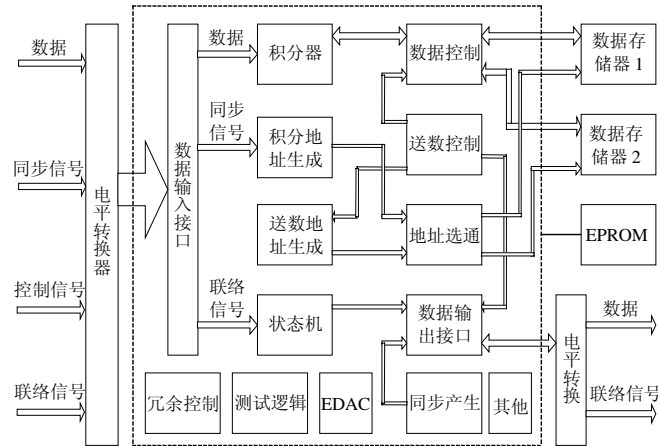


图3 预处理系统的结构

3.2 预处理的实现

图3中的逻辑都用VHDL来进行硬件建模实现的。VHDL是标准化的硬件描述语言, 利用该语言进行硬件建模, 系统描述的抽象级别比较高, 而且受到几乎所有商用成熟开发平台和仿真工具的支持, 既可缩短设计周期, 又可减小了投资风险。在建模的过程中尽量采用较好的算法和优化的代码, 选择多种综合工具(如FPGA Express、XST、Synplify等)进行综合, 选择相对优化的结果, 作为设计实现的输入。目标芯片采用的是Xilinx公司10万门的SpartanII器件。设计输入、调试、综合、仿真、最终实现和器件编程等设计的整个过程都是在Xilinx公司的ISE4.1平台上进行的。

4 结束语

预处理地面样机系统经联调和运行性能测试证明, 达到了预定的功能和目标, 并满足系统可测和高可靠度的要求。预处理系统的成功设计大大减轻了卫星上科学数据对存储容量要求; 避免了前端数据处理的瓶颈效应; 同时保证了数据的质量。单片FPGA设计, 使系统具有体积小、重量轻、功耗小等优点。该优点一直是航空航天电子系统所追求的目标。本文介绍的设计技术对其他应用系统的设计具有借鉴性。

参 考 文 献

- [1] Sjöholm S, Lindh L. VHDL for designers[M]. Europe: Prentice Hall, 1997
- [2] 李广军, 孟宪元. 可编程ASIC设计及应用[M]. 成都: 电子科技大学出版社, 2000
- [3] 中科院国家天文台SST研究组, 德国马普高层大气研究所. SSTA相报告第二版[R]. 北京: 国家天文台, 1997
- [4] 中科院国家天文台SST研究组, 德国航空宇航研究所. SST评估研究报告[R]. 北京: 国家天文台, 1997
- [5] 杨士元. 数字系统的故障诊断与可靠性设计[M]. 北京: 清华大学出版社, 2000
- [6] 胡 谋. 计算机容错技术[M]. 北京: 中国铁道出版社, 1995