

# 高速数字存储示波器产品化设计的关键技术

叶 芑, 陈世杰, 张沁川

(电子科技大学自动化工程学院 成都 610054)

**【摘要】**论述了“100 MHz高速数字存储示波器”的关键技术,着重阐述了系统设计的概念和原理、基于低速器件的高速数据采集技术、基于随机取样技术的等效采样技术的实现。其中,随机等效采样的实现采用高分辨力测时扩展器,使等效采样率达到5 GSPS,时间测量分辨率达到200 ps,实现100 MHz(-3 dB)可重复信号的波形重现,并给出了实际应用中重建的波形图。

**关键词** 数字存储示波器; 随机取样; 时间分辨率; 时间扩展器

**中图分类号** TP274 **文献标识码** A

## Techniques in Product Design of High-Speed Digital Storage Oscilloscope

YE Peng, CHEN Shi-jie, ZHANG Qin-chuan

(School of Automation Engineering, UEST of China Chengdu 610054)

**Abstract** The key techniques in the development of digital storage oscilloscope (DSO), a product type project taken by the authors, are discussed, of which the concept and the theory of the system design, the high-speed data acquisition technique based on the devices with lower operation speed, the equivalent sampling technique based on Random sampling are expatiated. The 200 ps time resolution and 5 GSPS equivalent sampling rate are gotten by using large-scale time expander, so the DSO can observe 100 MHz (-3 dB) seasonal signal. The results of experiment and application are presented in the end.

**Key words** digital storage oscilloscope; random sampling; time resolution; time expander

基于随机取样技术的数据采集系统具有很高的等效采样率和时间分辨率,与相同速率的实时采样系统相比,尽管它的单带带宽指标低,但其实现成本也很低。因此,基于随机取样技术的数据采集系统对低端数字存储示波器的产品化和产业化具有很大的吸引力。目前国内的数字存储示波器的研制和生产尚处于起步阶段,基于随机取样技术的数字存储示波器在一段时期内仍将成为低端数字存储示波器的主流产品。

### 1 系统设计方案

数字存储示波器的一个显著特点是能够对采集数据进行幅度、频率等各种时域参数实时运算,并且,采集的波形数据在液晶(Liquid Crystal Display, LCD)上显示刷新速率越高,波形再现的实时性就越好。采用一般的微处理器对波形数据进行处理、显示,很难达到理想的波形刷新速率。所以,采用(Digital Signal Processor, DSP)与现场可编程门阵列(Field Programmable Gate Anray)DSP+FPGA结构能充分利用DSP强大数据处理能力以及FPGA电路设计灵活、硬件资源丰富的特点,使总体结构简洁、高效和可靠。

系统总体方框如图1所示,图中,系统采用两片FPGA加一片DSP芯片结构<sup>[1,2]</sup>。其中的一片FPGA实现数据采集控制,另一片实现LCD的显示控制和数据同步等功能。DSP读取、处理采集的数据后,将处理结果存

入SRAM3中。两片存储器SRAM1和SRAM2则在显示控制电路的协调下轮流读取SRAM3中显示的数据,并来回切换,将显示数据送LCD显示。FLASH用于存储DSP的程序代码、字库和需要保存的波形数据等。为了提高键盘响应速度,单独采用一片8位MCU进行键语分析,并将对应的键码通过串口传送至DSP,由DSP完成相应的处理。

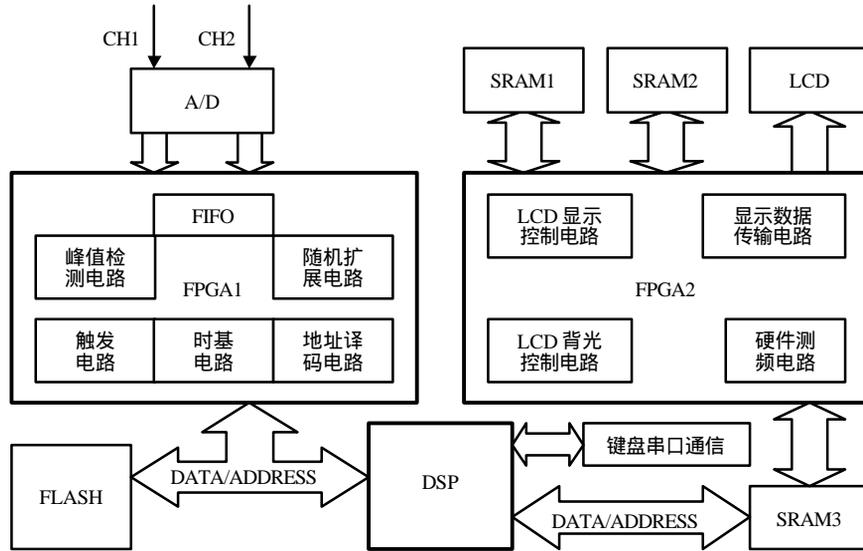


图1 高速数字存储示波器原理框图

### 2 基于低速器件的高速数据采集

系统采用双路100 MSPS分相采集、存储合成一路200 MSPS高速采样的实现方案,使系统的实时带宽达到40 MHz,在不增加任何硬件成本的前提下将单次带宽指标提高一倍<sup>[3]</sup>。同时,采用较低速度的器件实现高速数据采集,不仅减小电路实现难度,还提高系统工作的可靠性。其具体实现是将100 MHz采样时钟通过低抖动比较器,比较器的正、反相输出分别作为两路ADC的采样时钟,此时两路ADC的模拟输入为同一信号。将采集的数据分别存入两个FIFO中,FIFO的写时钟就是对应的采样时钟,通过软件处理可以方便地完成两路数据的拼接,实现一路200 MSPS实时采样。

### 3 基于随机取样技术的等效采样

系统的随机取样实现5 GSPS等效采样率,时间分辨率为200 ps。随机取样技术的关键是准确地测算出触发脉冲前沿和触发后第一个采样脉冲前沿之间的时间间隔,根据测算出的时间间隔确定一组样品点在时间轴上的相对位置。

由于实时采样率为100 MSPS,且触发脉冲和采样脉冲的出现在时间轴上具有随机性,因此,两者间的时间间隔 $\Delta t$ 很小( $0 < \Delta t < 10$  ns),且为0~10 ns区间的任意值,难于对其进行直接的测量和处理。间接测量的方法有多种,本文采用的模拟扩展电路是恒流源双积分时间扩展电路,它将时间间隔 $\Delta t$ 线性放大数百倍,形成计数时间闸门,在闸门时间内对标准时钟源 $T_0$ ( $T_0=10$  ns)计数。然后根据计数结果确定 $\Delta t$ 的值。该功能单元的原理框图如图2所示。图中 $\Delta t_i$ 表示每次采样中触发脉冲前沿与触发后第一个采样脉冲前沿之间的时间间隔。

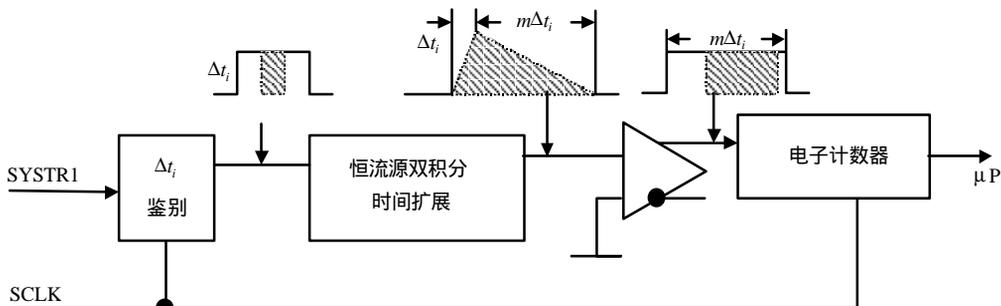


图2 恒流源双积分时间扩展电路框图

### 3.1 电路实现原理

系统采用的恒流源双斜率时间扩展电路是利用两个恒流源对一个电容的快放慢充电来实现对时间的展宽：在触发脉冲下降沿到来时进行放电，当第一个采样脉冲上升沿到来时进行充电，且放电电流远大于充电电流，就可以实现时间的展宽。图3所示为双斜率电容充电电路时间展宽工作原理示意图。

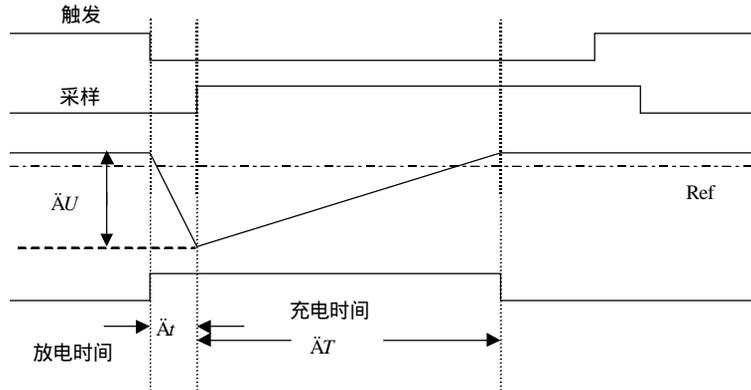


图3 双斜率电容充放电积分曲线

由图可知： $\Delta U_{充} = \Delta Q_{充} / C = I_{充} \Delta T$ ； $\Delta U_{放} = \Delta Q_{放} / C \approx I_{放} \Delta t$ ； $\Delta T / \Delta t \approx I_{放} / I_{充}$ 。而实际电路的充放电电流具有非线性，尤其对很小的时间间隔，非线性的影响就非常明显。另外充放电电路输出的锯齿波，还要送到比较器以产生所需的计数时间闸门，所以实际的放大倍数小于理论计算出的放大倍数。

若DSO的最小时间分辨率  $dT = 200 \text{ ps}$ ，计数脉冲为  $T_0 = 10 \text{ ns}$ ，则时间内插倍数是  $K$ ， $K = T_0 / dT = 10 \text{ ns} / 200 \text{ ps} = 50$ ，因此双斜率积分时间展宽电路的实际放大倍数必须大于50倍。

### 3.2 双斜率积分时间扩展电路

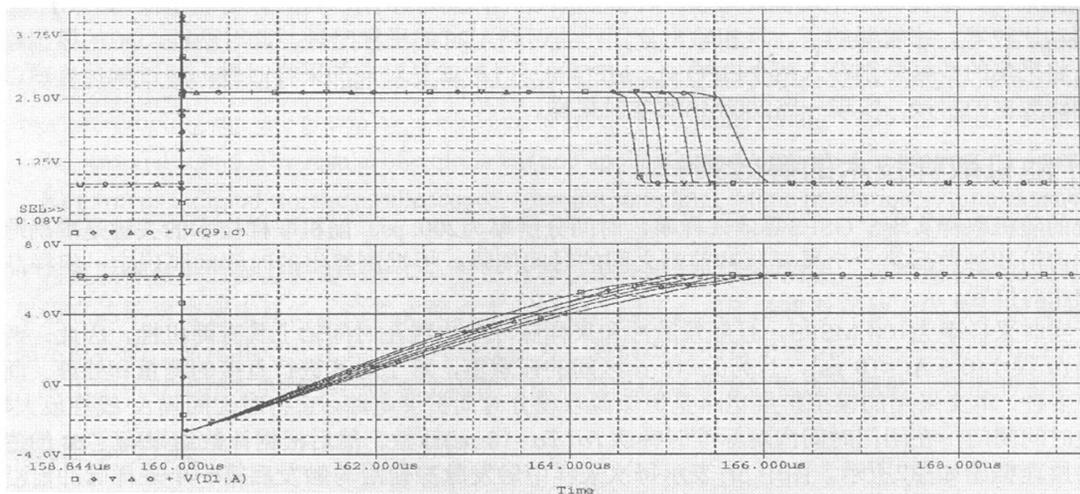


图4 双斜率积分电路工作波形图

电路设计充电电流为  $40 \mu\text{A}$ ，放电电流为  $20 \text{ mA}$ 。由此可计算出最大充电、放电时间比为  $20000/40=500$ 。另外，为了实现对展宽倍数的调节，电路通过DAC输出电压控制充电电流的大小，随着DAC的电压的提高，充电电流减小，在放电电流恒定的情况下，展宽倍数增大。最后采用低抖动比较器，通过调节比较器输入比较电压的大小，实现对输出脉宽的调整。在实际电路中，比较输入电压必须限制在一定范围内，保证电路工作在线性区域内。工作波形如图4所示，它是在DAC的输出电压在  $0 \sim 5 \text{ V}$  的范围内，以  $1 \text{ V}$  步进递增时，输出的脉冲信号和电容C上电压线性变化的波形图。

(下转第284页)

## 5 结束语

ACA算法因其良好的移植性,现在已经应用到了多个领域并有较好表现。多目标优化问题因其子目标组合的情况复杂而且分量较多,使得问题的求解较为困难。本文讨论了改进的ACA算法思想以及在多目标组合优化问题的最优求解中的应用,该算法通过随机搜索同概率搜索结合,多个Ant并行求解,具有快速并能得到多个全局最优解的优点,现阶段特别针对加权后的总目标优化求解。计算示例的效果也较好。作为进一步的工作,可以考虑权重的自我学习和动态调整,从而减少用户的领域知识,并在并行环境上实现该算法。

## 参 考 文 献

- [1] Dorigo M, Maniezzo V, Colomi A. The Ant System: Optimization by a colony of cooperating agents[J]. IEEE Transactions on Systems, Man, and Cybernetics-Part B, 1996, 26(1): 1-13
- [2] Dorigo M, Gambardella, L.M. Ant colony system: A cooperative learning approach to the traveling salesman problem[J]. IEEE Transactions on Evolutionary Computation, 1997, 1(1): 53-66
- [3] Tamaki H, Kita H, Kobayashi S. Multi-objective optimization by genetic algorithms: a review[C]. Proceedings of IEEE International Conference on Evolutionary Computation, NY, USA, NJ, USA, 1996: 517-522
- [4] Li Mingqiang, Kou Jisong, Dai Lin. GA-based multi-objective optimization[C]. Proceedings of the 3rd World Congress on Intelligent Control and Automation, HeFei, China, Hefei, China, 2000, 1: 637-640
- [5] 王 凌, 郑大钟. 多目标优化的一类模拟退火算法[J]. 计算机工程与应用, 2002, 38(8): 4-5

编辑 徐安玉

(上接第250页)

### 3.3 电路的校正

为了消除  $K$  值的变化、比较电平的漂移带来的误差,引入校正技术:通过三次测量,即先测  $T_0$  和  $2T_0$  的值,再测  $t+T_0$  值进行计算处理,得到:  $t_x = T_0(N_x - N_s)/(N_r - N_s)$ 。式中,  $N_s$ 、 $N_r$ 、 $N_x$  分别为对电路对  $T_0$ 、 $2T_0$  和  $t+T_0$  得到的计数值,可见,通过对扩展器校正,完全消除了恒流源和比较电平的变化对测量结果影响。电路可以方便地在FPGA中实现<sup>[4,5]</sup>。

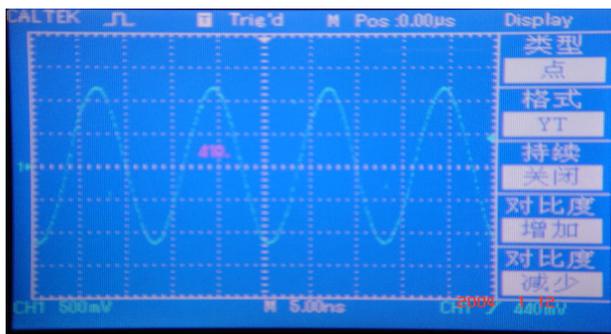


图5 用本方案实现的80 MHz正弦波形

## 4 实验及结论

该方案已应用到实际项目中,图5所示是其对80 MHz正弦波形的重建。实践证明,本设计高效、可靠地实现高频周期信号波形的重现,完全满足5 GSPS等效采样的指标要求。

## 参 考 文 献

- [1] Analog Devices Inc. A technical tutorial on digital signal synthesis[S]. One Technology Way, Norwood, Colorado, USA, 1999
- [2] Altera Inc. Altera Digital Library 2000[R]. San Jose, Golifornia, USA, 2000
- [3] 宋万杰, 罗 丰, 吴顺君. CPLD技术及其应用[M]. 西安: 西安电子科技大学出版社, 1998
- [4] 卢 毅. VHDL与数字电路设计[M]. 北京: 科学出版社, 2001
- [5] 古 军, 习友宝. 高分辨力测时扩展器的校准技术的研究[J]. 仪器仪表技学报, 2002, (5增刊): 66-69

编辑 漆 蓉