

MIMO实验系统中的数据缓冲应用研究

杨 芳, 何子述

(电子科技大学电子工程学院 成都 610054)

【摘要】研究了基于FPGA控制的SDRAM Module在移动通信的MIMO技术实验系统中的应用,主要介绍了MIMO实验系统硬件平台、SDRAM的特点及其控制器软核的VHDL设计,以及USB2.0方式的数据传输。通过对页面读写、突发读写、集总和定时刷新等工作方式的灵活运用,很好地解决了MIMO无线通信中的海量数据高速缓冲问题。经MIMO实验系统验证表明,SDRAM控制器的数据缓冲方案高效可行,适用性突出。

关键词 MIMO实验系统; 缓冲; 同步动态随机存储器; 通用串行总线

中图分类号 TN919.72

文献标识码 A

Research on the Application Solution for Data Buffer in MIMO Experimental Systems

YANG Fang, HE Zi-shu

(School of Electronic Engineering, UEST of China Chengdu 610054)

Abstract The wireless communication system is up against various engineering challenges. For both the transmitted and the received data processing, fast-access memories with large capacity are required in experimentation systems with Multiple-Input & Multiple-Output technique. SDRAM is a kind of random access memory with large-capacity and high-speed, but many Microprogrammed Control Units or normal Digital Signal Processors cannot directly interface with SDRAM due to the differences between control signals. Based on FPGA(field programmable gate array), a design method of SDRAM controller with USB interface to computer is proposed. Large-capacity data access is implemented at high speed by the controller circuit, which is working effectively in our MIMO experimentation system.

Key words MIMO experimentation system; buffer; synchronous DRAM; universal serial bus

作为无线通信发展的关键技术,多输入多出(Multiple-Input & Multiple-Output, MIMO)系统不仅仅意味着发射端和接收端多根天线的使用,而且是发射通道和接收通道数目的增加。不同于纯粹的理论 and 软件仿真, MIMO平台的硬件实现所面对的海量数据高速处理的压力是显而易见的。相对于SRAM、EPROM、FLASH、DDR等存储介质, SDRAM所具有大容量、高速度、低成本以及控制时序相对较为简单等突出优点,决定了其在未来的无线通信收发机及嵌入式应用等场合会有愈来愈为广阔的应用前景。

1 MIMO实验系统硬件平台

新一代移动通信(beyond 3G/4G)将可以提供的数据传输速率高达100 Mb/s,甚至更高。提供从语音到多

收稿日期: 2005-01-07

基金项目: 国家863计划资助项目(2002AA123032)

作者简介: 杨 芳(1978-),男,硕士生,主要从事新一代无线通信技术以及信号与信息处理方面的研究。

媒体业务,包括实时的流媒体业务。新一代移动通信的另一个特点是低成本。多入多出的智能天线技术(MIMO)为第四代移动通信的重要研究课题,MIMO技术充分开发空间资源,利用多个天线实现多发多收,在不增加频谱资源和天线发射功率的情况下,可以成倍地提高信道容量。完成一套MIMO实验系统,包括相关的软硬件及仿真平台,通过对收发数据的分析研究,获得第一手资料,是MIMO技术研究的基础,对于MIMO技术中的空时编解码、信道模型等关键问题的分析解决,都有至关重要的意义。

MIMO技术带来高带宽、高性能的同时,也为通信工程实际带来了挑战。以4路接收通道为例,在各信道5 MHz带宽(WCDMA标准)的情况下,I/Q后,若基带4倍过采,量化精度为8位,则数据带宽即为 $4 \times 2 \times 20 = 160$ MB/s,海量接收数据的实时并发联合处理,对缓存技术、DSP技术及通信算法都提出了切实的挑战。

基于MIMO实验系统的前期条件及后续实时处理的考虑,本MIMO实验系统采用了8发4收的体系结构。发射和接收互为逆过程,除上、下变频根据实际情况作数字或模拟方法的取舍外,其硬件具体实现思路相仿。经PC机作无线通信算法处理后的基带数据由PCI卡或USB(通用串行接口)方式导出,经由可编程逻辑控制在大容量SDRAM模组,即通用内存条中作数据缓冲,然后分发8路完成无线空中接口。在接收端的SDRAM模组中缓冲4路通信数据,MIMO实验前期经由通用USB 2.0导入计算机,用Matlab、VC等工具作空时编解码、MIMO信道模型及DSP并行算法的分析研究。在各方面条件成熟以后,即采用PCI Hammer等专用DSP处理板,进入MIMO技术实时通信实验阶段。其接收端硬件结构如图1所示。图中 f_0 取1.76 GHz, f_c 取380 MHz,A/D芯片为双通道结构。

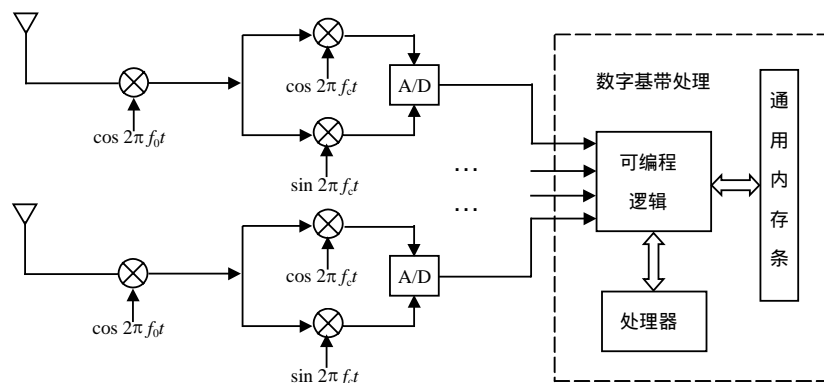


图1 4信道接收机系统框架结构

2 SDRAM及其VHDL控制实现

随着半导体工业的飞速发展,存储器的容量和速度已经成为其工业水平的重要标志。SDRAM具有大容量、高速度的特点,目前其存取速度可以达到200 MHz,甚至更高,单片的容量可以达到512 Mb或更高。但SDRAM的控制逻辑较为复杂,其接口不能直接与目前广泛应用的普通微处理器(例如MCS51、96系列)连接,限制了其应用的广泛性。硬件描述语言VHDL(Verilog High Speed IC Hardware Description Language)是一种应用于电路设计领域的高层次描述语言,SDRAM控制器对时序的要求很严格,采用VHDL实现SDRAM控制器较为直观且占用资源较少。在设计出SDRAM的工作状态转移图后,可以直接产生VHDL程序,在功能仿真正确后,即可以进行综合、FPGA布局布线和后仿真。

2.1 SDRAM简介

SDRAM具有多种工作模式,内部操作实一个较为复杂的状态机。SDRAM的管脚分为以下3类^[1]:

- 1) 控制信号 包括片选、时钟、时钟有效、行/列地址选择,读写有效,数据有效。
- 2) 地址信号 时分复用管脚,根据行/列地址选择管脚控制输入地址为行地址或列地址。
- 3) 数据信号 双向管脚,受数据有效控制。

根据控制信号和地址输入,SDRAM包括了多种输入命令:(1)模式寄存器设置命令;(2)激活命令;(3)预充命令;(4)读命令;(5)写命令;(6)自动刷新命令;(7)自我刷新命令;(8)突发停止命令;(9)空操作命令。

根据输入命令,SDRAM在内部工作状态间进行转移。内部状态包括有:(1) 模式寄存器设置状态;(2) 激活状态;(3) 预充状态;(4) 写状态;(5) 读状态;(6) 自动刷新状态;(7) 自我刷新状态;(8) 节电状态。

2.2 SDRAM控制器计思路

根据系统要求,本文采用Hynix PC133 SDRAM Unbuffered DIMM (HYM72V6436B(L)T8 Series)。若采用64位数据总线,使用工作频率为100 MHz,其带宽可高达800 MB/s,完全满足系统对接收数据缓冲的要求。在接收端,我们对SDRAM的操作进行了以下简化:

- 1) 不考虑随机存取模式,数据写入采用页面写入模式,数据读出采用突发模式,固定突发长度为8 B ;
- 2) 数据写入期间采用集总式手动刷新模式,数据读出期间采用定时自动刷新模式;
- 3) SDRAM的读写地址采用递增模式,连续变化;
- 4) SDRAM上电伊始和数据写满之后各进行一次模式寄存器设置操作。

简化后的SDRAM状态转移图如图2、图3所示。

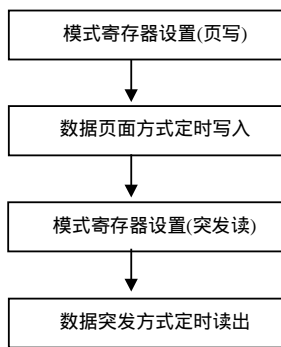


图2 时序状态主流程

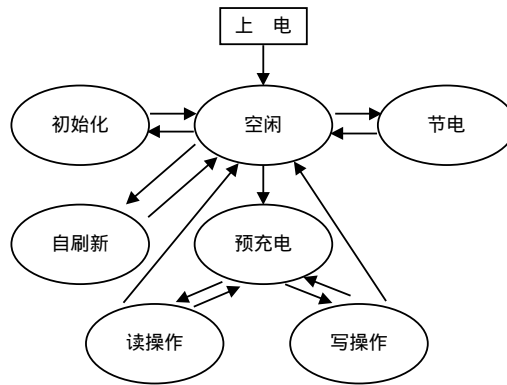


图3 SDRAM接口状态转移图

2.3 SDRAM控制器的结构组成

本文设计的MIMO前期系统中的SDRAM控制器是基于VHDL语言编写程序,采用模块化设计方法。共分为状态命令总机模块、页面读数据缓冲控制模块、突发读写数据缓冲模块、USB通信模块、命令接口及命令译码模块,各模块之间通过接口函数连接。读写数据缓冲模块即为一异步双口RAM,是对无线信道的基带发射(或采样)数据进行SDRAM Module页面或突发方式读写所进行的必要速度与时序适配。其中命令接口及命令译码模块是与SDRAM Module直接接口的模块,其时序逻辑的严密性与系统功能的正确执行紧密相关。为了缩短开发周期,节约开发成本,可考虑采用了Altera公司的独立知识产权(IP)核^[2]。该IP核是免费的,在专业的网站上可以下载得到,其内部结构如图4所示。

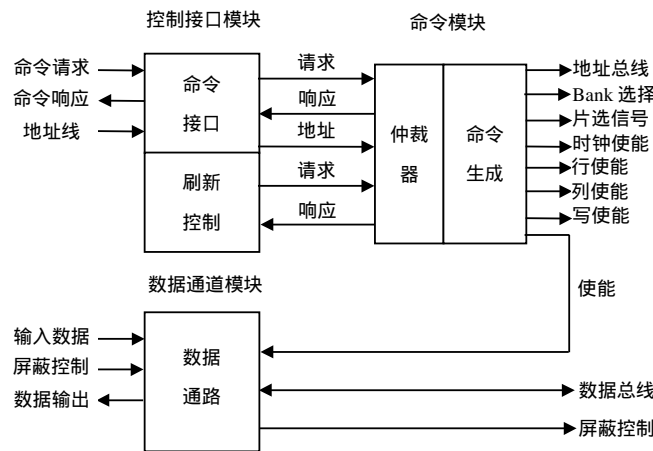


图4 SDRAM命令接口及译码模块结构图

2.4 SDRAM数据经由USB2.0方式导入计算机^[3]

USB是外围设备与计算机进行数据传输的新型接口,其中USB2.0版本的最高传输速率可达480 Mb/s。Cypress公司的EZ-USB FX2系列芯片(如CY7C68013)是世界上第一个集成USB2.0协议的微处理器,拥有专利的固件软加载特性。结合MIMO实验系统的特点,可采用SlaveFIFO同步(或异步)bulk传输模式。由于SDRAM和PC机端口数据读取的突发性,适当容量的FIFO应用在FPGA与CY7C68013的接口设计中是必不可少的。8051内核的固件编写的可以采用Keil C51; Windows2000下USB驱动程序的开发可以考虑使用微软公司的Driver Development Kits(或WinDriver);关于其控制实现及PC机的C语言或VC编程,各方面的资料都比较完备。在实际开发中我们发现PC机的IDE硬盘是数据传输的真正瓶颈。

3 SDRAM控制器设计在FPGA上的实现^[4-5]

本文设计的系统控制器硬件实现平台为Altera公司极具性价比的Cyclone系列FPGA芯片EP1C6Q240C8,它具有近6 000个逻辑单元、185个可用引脚及近10万的RAM bit,所采用的开发软件为Quartus 3.0,采用Synplify软件进行综合优化。系统程序下载到FPGA后,运行性能稳定,很好地完成了硬件平台的功能要求。图5为Quartus 的时序仿真结果。

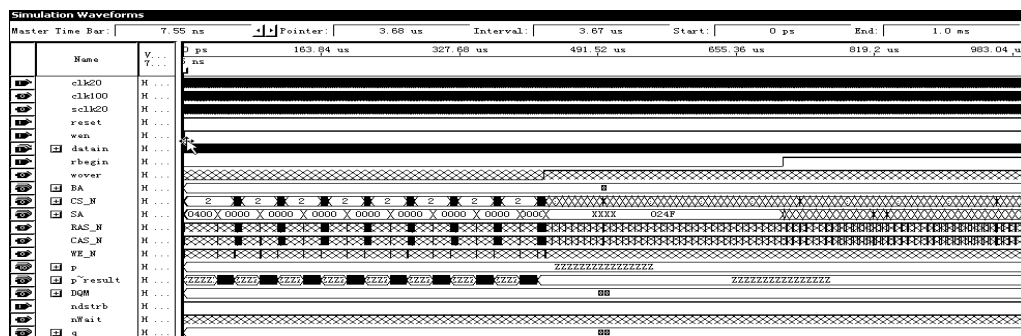


图5 SDRAM Controller 在Quartus 上的时序仿真波形

4 MIMO接收系统实验结果

在MIMO实验系统前期平台的体系结构、性能指标,及论证、仿真等工作完成之后,课题组投入到了热烈而紧张的开发任务之中。目前整个系统的开发测试工作已经完成,平台整体性能指标合于要求,工作稳定可靠,已投入算法验证阶段。实用中我们采用QPSK制式进行信号的调制发射,接收信号经I/Q解调和A/D采样后,在Matlab中进行波形恢复,以及用VC编程进行空时解码、星座图和原始符号的恢复,实测数据传输效果理想。目前课题组正在进行PCI Hammer的移植开发,进一步向MIMO实时处理迈进。

参 考 文 献

- [1] 沙燕萍, 曾烈光. SDRAM接口的VHDL设计[J]. 电子技术应用2000, (6): 23-24
- [2] Altera Inc. SDR SDRAM Controller White Paper ver. 1. 1. [Z]. Altera Inc, 2002
- [3] 王成儒, 李英伟. 可编程USB2.0原理与工程开发[M]. 北京: 国防工业出版社, 2004
- [4] 宋一鸣, 谢 焯, 李春茂. 基于FPGA的SDRA控制器设计[J]. 电子工程师, 2003, (9): 10-13
- [5] 李广军, 孟宪元. 可编程ASIC设计及应用[M]. 成都: 电子科技大学出版社, 2002

编辑 徐安玉