

并行ADC采集系统的时间误差测量与校正

刘进军, 吕幼新, 王洪

(电子科技大学电子工程学院 成都 610054)

【摘要】并行时间交替采样是提高采样率的一种有效方法,但并行通道间的失配将使拼接后的信号成为非均匀采样,严重降低了整个系统的性能。该文在分析并行时间交替采样信号频谱的基础上,给出了时间误差的测量方法,并采用FARROW结构的全通滤波器实现时间误差校正。仿真结果表明该方法能有效提高信号频谱质量,实现了对非均匀采样信号的时间误差校正。

关键词 时间交替采样; 时间误差; FARROW结构; 校正

中图分类号 TN957.52 文献标识码 A

Measure and Calibration of Time Error in Parallel ADC

LIU Jin-jun, LU You-xin, WANG Hong

(School of Electronic Engineering, UEST of China Chengdu 610054)

Abstract The parallel time-interleaved ADC is an effective method to improve sample-rate. However, channel mismatches lead to nonuniform sampling and degrades the performance of the whole ADC system. After analyzing the signal spectrums, this paper proposed a method to measure and verify the time-skew errors. The experiment results show that the method can calibrate the spectrums effectively.

Key words time-interleaved; time-skew errors; FARROW structure; calibration

高速数据采集系统在雷达、通信、遥感遥测等领域得到了广泛的应用,它们对采集系统的速度和精度提出了越来越高的要求。由于器件本身的限制,单片ADC很难达到高速高精度的要求,目前常用的方法是采用多片ADC并行时间交替采样来实现高速采样^[1]。即利用 M 片采样速率为 f_s/M 的ADC进行前端并行逐次采样,后端拼接的技术使整个采集系统的等效采样率达到 f_s 。该技术从理论上解决了高速采样的问题,但在实际的工程应用上,由于ADC及电路制造工艺不能完全一样,会引入通道失配误差,其中主要是时间延迟不一致引起的时间误差^[2-3]。这种误差如果不加以校正将会严重影响整个ADC系统的性能。本文在分析时间交替采集系统的信号频谱的基础上,提出一种新型的校正时间误差方法。

1 信号频谱

在理想的情况下,假设每片ADC的性能完全一致,即没有任何误差,这样的采样称为均匀采样,其采样波形如图1。在实际应用中,由于ADC的性能不可能完全一致和采样时钟存在抖动,使得采样过程变为非均匀采样,其采样波形如图2所示。

假设输入信号为 $x(t)$,采样间隔 T_s ,通道数目为 M ,在图2中,每路采样时钟波动为 Δt_k ,

收稿日期:2004-12-06

基金项目:国防科技预研资助项目

作者简介:刘进军(1976-),男,硕士生,主要从事高速高精度数据采集技术方面的研究。

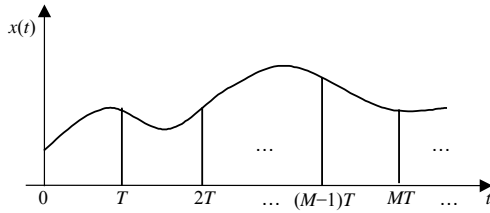


图1 均匀采样

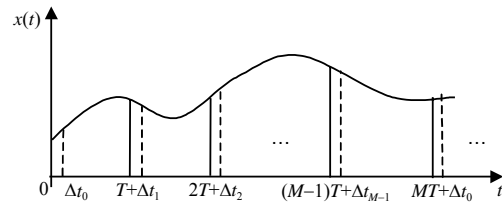


图2 非均匀采样

($k = 0, 1, 2, \dots, M - 1$)。设 $\Delta t_k = r_k T$, $|r_k| < 1$, 由图1可以得到均匀采样数字序列:

$$x_{dk}(n) = x(nMT + kT) \tag{1}$$

相应地, 由图2可以得到非均匀采样的数字序列:

$$x_k(n) = x(nMT + kT + \Delta t_k) \tag{2}$$

若式(1)对应的频谱为: $X_{dk}(\omega)$, 则式(2)对应的频谱为:

$$X_k(\omega) = X_{dk}(\omega)e^{j\omega r_k} \tag{3}$$

从式(3)可知, 要恢复均匀采样信号的频谱, 每路数据需通过各自对应的全通滤波器 $H_{dk}(\omega) = e^{-j\omega r_k}$ 。只要得到各通道的时间误差 Δt_k , 就可以设计出相应的全通滤波器, 从而实现误差信号的校正。

构造如图2中的非均匀采样脉冲序列为:

$$P_d(t) = \sum_{k=0}^{M-1} \sum_{m=-\infty}^{+\infty} \delta(t - mT_s - kT - \Delta t_k) \tag{4}$$

式中 Δt_k 为时间误差, $k = 0, 1, \dots, M - 1$, 相互间是不均等的, 但均以 $T_s = MT$ 为周期; 设 $t_k = kT + \Delta t_k$, 得到非均匀采样脉冲序列的傅里叶变换结果为:

$$P_d(\omega) = \frac{2\pi}{MT} \sum_{l=-\infty}^{+\infty} \sum_{k=0}^{M-1} \delta(\omega - l \frac{2\pi}{MT}) e^{-jl \frac{2\pi}{MT} t_k} \tag{5}$$

假设输入信号 $x(t)$ 的频谱为 $X(\omega)$, 非均匀采样后的信号 $x(n)$ 的频谱为 $\hat{X}(\omega)$, 则关系式

$$\hat{X}(\omega) = \frac{1}{2\pi} X(\omega) P_d(\omega) = \frac{1}{T} \sum_{l=-\infty}^{+\infty} [\frac{1}{M} \sum_{k=0}^{M-1} e^{-jl \frac{2\pi k}{M}} e^{-jl \frac{2\pi}{MT} \Delta t_k}] X(\omega - l \frac{2\pi}{MT}) \tag{6}$$

即为时间非均匀采样信号频谱的表达式。作为特例, 如果 $t_k = kT$, $\Delta t_k = 0$, 根据关系式:

$$\begin{cases} \frac{1}{M} \sum_{k=0}^{M-1} e^{-jl \frac{2\pi k}{M}} = 1 & l = 0, \pm M, \pm 2M, \dots \\ \frac{1}{M} \sum_{k=0}^{M-1} e^{-jl \frac{2\pi k}{M}} = 0 & \text{其他} l \end{cases} \tag{7}$$

则式(6)可改写为:

$$\hat{X}(\omega) = \frac{1}{T} \sum_{l=-\infty}^{+\infty} X(\omega - l' \frac{2\pi}{T}) \tag{8}$$

此式即为均匀采样信号频谱表达式。

2 时间误差的测量和校正

令

$$A(l) = \frac{1}{M} \sum_{k=0}^{M-1} e^{-jl \frac{2\pi k}{M}} e^{-jl \frac{2\pi}{MT} \Delta t_k} = \sum_{k=0}^{M-1} (\frac{1}{M} e^{-j \frac{2\pi}{M} l k}) e^{-j \frac{2\pi}{M} k l} \tag{9}$$

因此, $A(l)$ 和 $e^{-j l r_k 2\pi / M} / M$ 正好构成一对DFT, 即只需对 $A(l)$ 做IDFT, 通过相角就可得到 Δt_k 。得到这个误差参数后, 就能设计出全通滤波器对采样后的信号进行校正。现在的问题是如何获取 $A(l)$ 。假设输入信号为频率 f_0 的单频信号 $e^{j\omega_0 t}$ (其中 $\omega_0 = 2\pi f_0$), 其傅里叶变换为:

$$X(\omega) = 2\pi \delta(\omega - \omega_0) \tag{10}$$

将上式代入(6)式:

$$\hat{X}(\omega) = \frac{2\pi}{T} \sum_{l=-\infty}^{+\infty} A(l) \delta(\omega - \omega_0 - l \frac{2\pi}{MT}) \quad (11)$$

单频信号经过ADC系统采样后,在一个周期内的频谱构成,信号的频谱位置在 ω_0 处,时间误差引起的谐波位置在 $l\omega_s/M \pm \omega_0$, $l=1,2,\dots,M-1$ 。因此,获取 Δt_k 的步骤为:

- (1) 选择合适频率 f_0 的正弦信号, $f_0 = (1 \sim 1/4M)f_s$, 且使得采样点数为 $N = 2^n$, 对采样序列做 N 点FFT;
- (2) 在频谱中取对应的 $A(l)$, $l \in [0, M-1]$, 并分别做 M 点IFFT;
- (3) 然后对 M 点IFFT结果做模和相角处理得到 Δt_k , $k \in [0, M-1]$ 。

3 全通滤波器设计及仿真结果

得到各通道的时间误差后,就可以设计出相应的全通滤波器, Farrow 结构是近年来比较新颖的多项式逼近滤波器设计方法^[4-5]。假设用 N 阶FIR滤波器逼近 $h_{dk}(n)$, 即传输函数为:

$$H_{dk}(z) = \sum_{n=0}^{N-1} h_{dk}(n) z^{-n} \quad (12)$$

若每个滤波器的系数用 p 阶多项式逼近, 则:

$$h_{dk}(n) \approx \sum_{m=0}^p c_m(n) r_k^m, \quad n=0,1,2,\dots,N-1; \quad k=0,1,\dots,M-1 \quad (13)$$

上式可改写为:

$$H_{dk}(z) \approx \sum_{n=0}^{N-1} \sum_{m=0}^p c_m(n) r_k^m z^{-n} = \sum_{m=0}^p \left[\sum_{n=0}^{N-1} c_m(n) z^{-n} \right] r_k^m = \sum_{m=0}^p C_m(z) r_k^m \quad (14)$$

上式相当于 z^{-r_k} 按泰勒级数展开取的前 P 项, 一般取 $P=3 \sim 5$, 即可满足要求。因此可以得到如图3所示的全通滤波器结构。其中 $C_m(z)$ 的结构如图4所示。用正弦信号作仿真, 取 $f = 50 \text{ MHz}$, $f_s = 400 \text{ MHz}$, $M = 2$, $\Delta t_0 = 0$, $\Delta t_1 = 0.01T_s$ 。两路ADC采样后直接拼接后的频谱和校正后的频谱如图5所示。

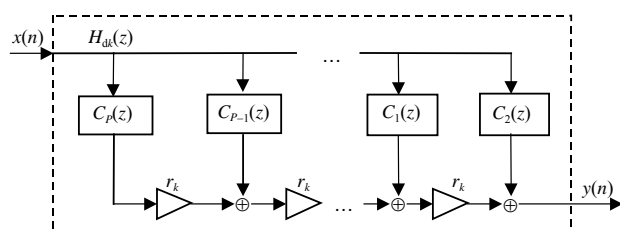


图3 多项式逼近的全通滤波器结构框图

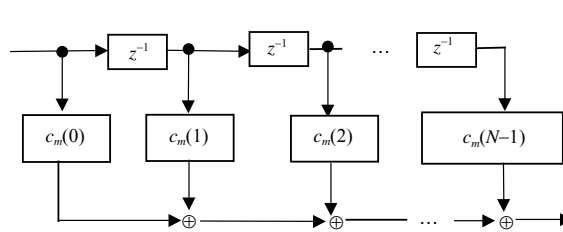


图4 $C_m(z)$ 的内部结构框图

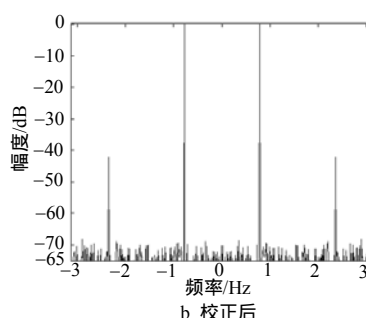
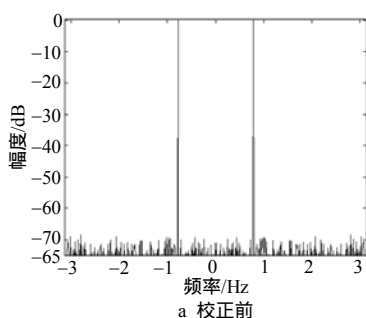


图5 校正前后的频谱

从图5的仿真结果可以看出,信号的频谱无杂散动态范围从42 dB提高到70 dB。时间误差在频谱上反应在谐波位置 $(l\omega_s/M) \pm \omega_0$ 处,经过校正后可以予以消除。另一方面,校正算法采用点数较少的FFT、IFFT运算,补偿时间仅做阶数很少的滤波运算,这些都有利于工程上的实现。

(下转第758页)

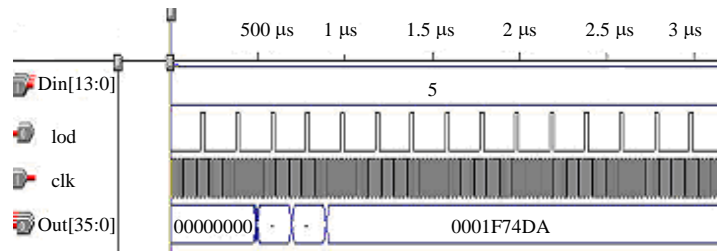


图3 抽取滤波器仿真结果

在实时性方面,由于该抽取滤波结构只用到加法器和移位寄存器,所以处理速度远远快于采用乘法器的结构,并且该结构只是具有长度为15个输入数据时钟周期的流水线延迟,可对连续不断进入系统的数据进行正确处理而不会对系统的正常工作产生任何影响。所以,该结构具有很好的实时处理特性。

5 结 论

本文提出了一种充分利用FPGA的基本查找表结构,高效、实时地实现抽取滤波器的改进分布式算法结构。实验证明,该方法完全可行,并且以该方法为核心的数字下变频及处理系统已稳定工作。

参 考 文 献

- [1] Uwe M B 著. 数字信号处理的FPGA实现[M]. 刘凌, 胡永生 译. 北京: 清华大学出版社, 2003
- [2] 赵雅兴. FPGA原理、设计与应用[M]. 天津: 天津大学出版社, 1999

编 辑 刘文珍

(上接第738页)

4 结 论

多片ADC拼接提高系统采样速率是目前采集技术的研究热点之一,在工程实现中通道不匹配是影响系统性能的关键因素,这也是并行系统中不均衡问题的具体体现。本文讨论了ADC交替采样中出现的时间误差,详细分析了非均匀采样的频谱和误差校正方法,仿真结果表明用FARROW结构的全通滤波器能有效校正时间误差,提高系统的性能。

参 考 文 献

- [1] Jenq Y C. Digital spectra of nonuniformly sampled signals : fundamentals and high-speed waveform digitizers[J]. IEEE Transactions on Instrumentation and Measurement, 1988, 37(2): 245-251
- [2] Jenq Y C. Perfect reconstruction of digital spectrum from nonuniformly sampled signals[J]. IEEE Instrumentation and Measurement Technology Conference Ottawa, 1997, 46(3): 649-652
- [3] Black W C, Hodges D A. Time interleaved converter arrays[J]. IEEE J. Solid-State Circuits, 1980, 15(6): 1 022-1 029
- [4] Farrow C W. A continuously variable digital delay element[J]. In: Proc IEEE Int.Symp.Circuits Syst, 1998, 3: 2 641-2 645
- [5] Carson K S, Wu Y C. On the design and efficient implementation of the Farrow structure[J]. IEEE Signal Processing Letters, 2003, 10(7): 189-192

编 辑 徐安玉