

· 自动化技术 ·

一种可控高速脉冲产生技术的研究

付在明, 师奕兵, 王志刚

(电子科技大学自动化工程学院 成都 610054)

【摘要】提出了一种将高速脉冲信号产生转换为可控直流电平产生、脉冲频率信息产生及脉冲合成输出的设计思想。可控直流电平控制脉冲的高低电平值；脉冲所需的频率信息通过可编程数字信号产生，该数字信号控制脉冲的波形包括脉宽和延迟；而脉冲的上升/下降时间则通过调整脉冲合成电路的充放电电流来控制。产生脉冲最小脉宽5 ns，最大幅度7 V，电平精度0.1 V，最小上升/下降时间2 ns。

关键词 高速脉冲；频率信息；可编程数字信号；合成
中图分类号 TM930.2；TM930.111 文献标识码 A

A Methodology for Generating Controllable High-Speed Pulses

FU Zai-ming, SHI Yi-bing, WANG Zhi-gang

(School of Automation Engineering, Univ. of Electro. Sci. & Tech. of China Chengdu 610054)

Abstract A methodology for generating high-speed pulses is discussed in this paper. In this scheme, the generation of high-speed pulses is transformed into the generation of controllable DC voltage and frequency information of pulses and into the pulse composition. The controllable DC level controls the level of high and low levels of pulses. The frequency information of pulses is generated by programmable data sequence which controls the pulse width and delay. The rising- and falling-times of pulses are adjusted through changing the charging and discharging currents of the synthesizing pulse circuit. The generated pulse is specified by the minimum pulse width: 5 ns, the maximum swing: 7 V, the accuracy of pulse level: 0.1 V, and the rising or falling transition time: 2 ns.

Key words high-speed pulse; frequency information; programmable data sequence; merge

现代测试技术提出了电平可控、脉宽可控、边沿及延迟可控等多样化脉冲信号源的设计要求。在传统方法中，高速脉冲的放大是一个难点，利用传统的放大电路无法兼顾高频率和高电平，也难以实现脉冲边沿的调整，而且存在脉冲抖动较大和抗干扰能力差等问题^[1-2]。本文论述一种新的可控高速脉冲产生的原理、方法及实现技术。

1 基本原理

高速脉冲可通过先产生与脉冲相关的可控制直流电平和可编程数字信号，再进行电容充放电合成的技术产生，具有脉冲参数精度高、控制方便和电路抗干扰能力强等优点^[3-4]。其原理如图1所示，它主要由电平控制电路、频率信息发生电路、电平与频率信息合成电路组成。频率信息发生电路产生携带脉冲频率信息(包括脉宽、脉冲间隔等信息)的可编程数字信号，控制恒流源开关断，使得恒流源输出电流快速的对电容进行充电或放电，使电容电平快速升高或降低；电平控制电路产生的两路电平值分别等于脉冲高/低电平值，它们通过钳位器来控制电容输出稳定高电平和低电平；然后通过匹配电路输出脉冲。由于充放电电容值要求比较精确，为了使

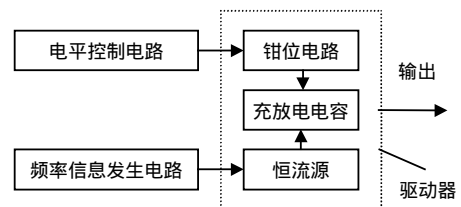


图1 利用电容充放电产生脉冲信号

收稿日期：2005-05-12

作者简介：付在明(1977-),男,硕士,主要从事自动化测试设备方面的研究。

电路分布参数的负面影响降到最低, 钳位器、充放电电容、恒流源和匹配等脉冲合成电路都集成为一个芯片(图1中的驱动器)。脉冲合成电路输出脉冲信号的高低电平由电平控制电路控制, 脉冲脉宽、脉冲间隔、脉冲延迟的控制由频率信息发生电路产生的数字信号的编辑来实现, 而脉冲的上升/下降时间则由脉冲合成电路的输入电流控制。

2 实现方法

基于电容充放电原理, 可控高速脉冲发生器的结构框图如图2所示。它由脉冲电平控制电路、时钟和计算机等四部分组成。计算机根据用户对脉冲各项参数(脉冲电平、时钟频率、脉冲波形等)的设置进行解读, 然后通过工业标准结构(Industry Standard Architecture, ISA)接口发送各个控制数据。脉冲电平控制数据(包括高、低电平值)被发送给D/A转换器, 输出模拟电平在经过固定放大后(根据设计要求中脉冲的电平范围计算得到该放大倍数), 提供给脉冲合成电路作为输出脉冲的电平控制依据; 当时钟频率控制数据到达时钟电路时, 控制产生相应频率的时钟信号, 在存储时钟的控制下将用户编辑或设置的脉冲波形数据被分相存储到静态存储器中, 在读取时钟信号的作用下顺序读取波形数据, 在并-串转换后得到高速数字信号。脉冲合成电路则是采用SEMTECH公司的集成芯片Edge710, 合理配置芯片的外围电路主要是设置控制脉冲上升/下降时间的两路输入电流和输出匹配阻抗, 这样就能很好的实现脉冲合成输出。

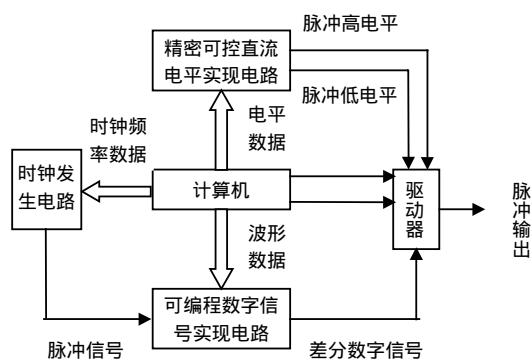


图2 可控高速脉冲信号发生电路组成

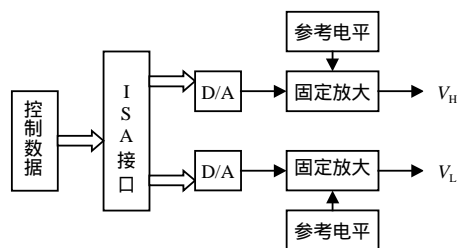


图3 脉冲电平控制原理

3 电路设计

3.1 脉冲电平控制设计

脉冲电平控制电路的主要功能, 是产生脉冲输出所需的两路精密可控的直流电平, 一路控制脉冲高电平, 一路控制脉冲低电平。传统方法中, 实现对高速脉冲的电平控制多采用高摆率的运算放大器来实现。当需要产生频率高达100 MHz, 幅度高达7 V的脉冲输出时, 由于受运算放大器摆率的限制, 传统方法在目前几乎是不可行的。电容充放电脉冲合成技术则避开了这一难题, 利用常规的运算放大器就可以满足了, 其电路原理如图3所示。图中“参考电平”用以设置偏压, 本文设定为2.5 V, 再适当选择放大电路的放大倍数, 放大电路的输出方程设置为:

$$V_H = 5.5V_1 - 4.5 \quad (1)$$

$$V_L = 5.5V_2 - 4.5 \quad (2)$$

式中 V_1 和 V_2 分别表示两个数模转换器的输出电平, 其范围均为0~2.5 V。得到输出电压 V_H 和 V_L 的范围为-4.50~9.75 V, 覆盖了设计要求的脉冲电平范围。脉冲电平的控制精度主要由数模转换器的分辨率决定。

3.2 时钟与可编程数字信号发生电路设计

时钟电路的主要功能, 是产生高分辨率时钟信号, 为系统的数字信号发生电路提供所需的时钟源。时钟电路组成框图如图4所示。

由于时钟电路设计具有宽覆盖、高精度的特点, 单一的频率合成方法难以满足要求。所以在设计中采用分频段和直接数字合成(Direct Digital Synthesis, DDS)结合锁相环路(Phase Locked Loop, PLL)的设计: 在低频段(0.1 Hz ~ 100 MHz)采用DDS的直接输出; 在高频段(100 ~ 240 MHz), 以DDS的输出作为锁相环路的

参考信号源, 锁相输出作为时钟信号输出。该方案综合了DDS和PPL的优点, 输出时钟具有频率分辨率高、换频时间短和噪声低的特点, 而且频率范围宽、控制灵活。时钟电路输出最高时钟信号频率200 MHz。

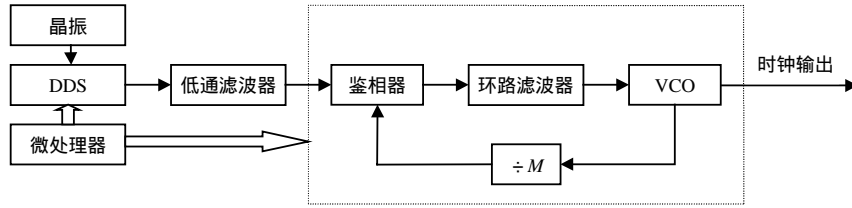


图4 时钟信号发生原理

数字信号的发生是设计的关键。数字信号直接控制脉冲的波形, 数字信号为1则输出脉冲信号为高, 数字信号为0则输出脉冲信号为低。数字信号的存储深度决定了脉冲的可编辑程度, 存储深度越深输出不重复的脉冲序列就越长。另外, 通过在数字信号前加0(加0后数据总长度不超过存储深度)可以方便的控制多路脉冲之间的延迟, 一个0代表增加一个时钟周期的延迟; 通过设置数字信号中连续1的个数来实现调整脉冲的宽度, 一个1代表增加一个时钟周期的宽度。可编程数字信号发生原理如图5所示。

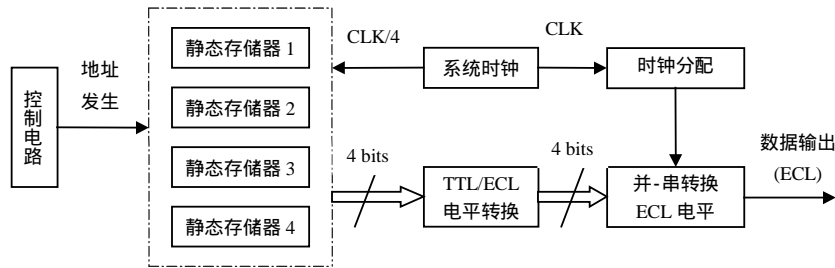


图5 数字信号产生原理

由于从存储器读取单相存储的通道数据形成数据码, 很难达到200 Mbps。所以设计中, 采波形数据分相存储同相读取, 然后通过并串转换输出的方式来获得高速数字信号。如图5所示, 系统将编辑产生的波形数据, 分四相存入静态存储器, 然后将这些数据按系统提供的数据流频率的四分频速度读取通道的四相数据, 四相数据的地址产生用数据流的四分频时钟作计数控制, 经过晶体管-晶体管逻辑(Transistor-Transistor Logic, TTL)转发射极耦合逻辑(Emitter-Coupled Logic, ECL)电路获得ECL电平(ECL电平的高速并转串更容易); 再用ECL电平进行并转串处理, 获得高速ECL电平数据码。

3.4 脉冲合成电路设计

脉冲合成电路是系统的关键部分, 其主要功能是完成脉冲电平信息与频率信息的合成, 输出脉冲信号。另外, 合成电路还完成脉冲信号的上升/下降沿的调整。脉冲合成电路是基于双恒流源对电容充放电原理实现, 基本原理如图6所示。

恒流源在数字信号的控制下对电容进行充电或放电到钳位电平(V_H 或者 V_L), 然后通过输出电路的电阻匹配, 电容电平输出即为所需的脉冲输出。脉冲信号根据输入数字信号的0/1变化产生高/低电平之间的转换。设计中通过调整恒流源电流和充放电电容的值来控制脉冲信号的上升/下降时间, 实现脉冲边沿的可调。上升时间(下降时间):

$$\Delta T = (C\Delta U) / I \tag{3}$$

式中 ΔT 为上生/下降时间; ΔU 输出脉冲幅度的80%(脉冲上升时间是从脉冲幅度的10%上升到90%所经历的时间, 下降时间是从幅度的90%下降到10%所经历的时间); C 为充放电电容; I 为恒流源电流值。如图6

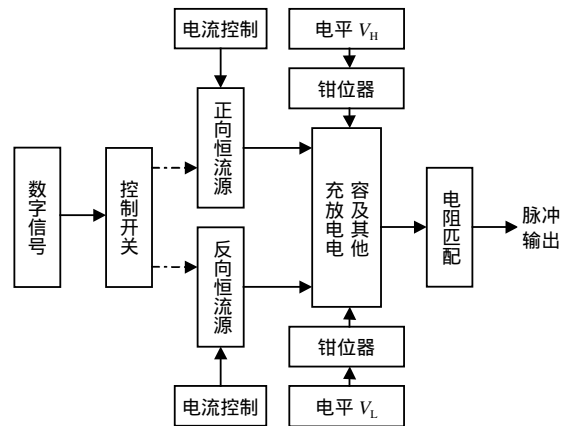


图6 脉冲信号合成原理

所示,通过调整改变正/反向恒流源电流的大小和充放电电容值的大小,就可以实现脉冲上升/下降沿的调整,而且上升沿和下降沿独立控制。电路中比较关键的在于恒流源开关断控制、充放电电容的容值精度和高速高精度钳位器的实现。现在,已有利用砷化镓场效应管实现的射频开关^[5],从而解决高速脉冲信号发生的技术难题。另外,为了降低电路分布参数的影响,特别是因分布电容的改变使充放电电容值发生变化而造成脉冲上升/下降时间控制误差,设计中将脉冲合成电路集成在一个芯片内。根据该思路设计并集成的脉冲合成电路是一种特殊的驱动器。实现中,选用了SEMTECH公司的Edge710来构成脉冲合成电路。由于充放电电容大小固定,所以脉冲的上升/下降时间的依赖于恒流源电流大小,通过Edge710外围电路的配置实现电流调整。

4 结 论

经试验验证,该设计可完成如下脉冲输出:高电平 V_{OH} 为 $-2\sim 7$ V,低电平 V_{OL} 为 $-3\sim 6$ V,脉冲输出摆幅为 $0.8\sim 7$ V,幅度可调步进 0.1 V。脉冲宽度在 5 ns ~ 50 ms之间(数字信号的时钟频率为 1 Hz ~ 200 MHz)可调,可调步进为 5 ns;脉冲延迟最小可调步进 5 ns;脉冲上升/下降时间小于 2 ns,并在输出最大脉冲幅度 7 V时 $2\sim 6$ ns范围内边沿可调。本设计已应用于某数据发生器项目的研制中,可靠地实现了 100 MHz的高速可控脉冲的产生,脉冲幅度、延迟控制准确,上升/下降时间短,抖动小。

本文将电平、边沿、延迟和脉宽均可调的高速脉冲信号发生转换为通过可控直流电平和可编程数字信号实现,然后采用电容充放电实现脉冲合成输出。由于高速模拟信号只在电路的后端即驱动器之后才出现,脉冲合成输出通过集成芯片完成,电路抗干扰性增强,消除了脉冲抖动,设计中易于实现。其设计思想及方法对于许多实际应用中高频高电压信号产生的设计有一定的参考价值。

参 考 文 献

- [1] MOSCHYTZ G S, CARLOSENA A. A Classification of current-mode single-amplifier biquads based on a voltage-to-current transformation[J]. IEEE Transactions on Circuits and Systems, 1994, 41(2): 151-156.
- [2] THOMAS C B. Error amplifier limitations in low voltage regulators using only NPN transistors[J]. IEEE Transactions on Circuits and Systems, 1995, 42(3): 220-224.
- [3] KAGAWA M, NAKADA S, ISHIKAWA Y, et al. 3 GHz multi-channel data generator[J]. Anritsu Technical Bulletin, 1990, 1(60): 50-63.
- [4] PING F, CAN J H. Design and realization of high performance VXI bus data generators[J]. Proceedings of the International Symposium on Test and Measurement, 2001, 2: 1 239-1 242.
- [5] FUJIKAWA S. High-performance pulse pattern generator, multi-channel data generator with GaAs FET essential for development of super-high speed digital devices[J]. Jee, Journal of Electronic Engineering, 1989, 26(273): 50-54.

编 辑 漆 蓉

(上接第502页)

- [16] Ulrici W. Untersuchung dreiwertiger ubergangsmetallionen in silberhalogeniden I.chrom ad titan[J]. Phys. Stat. Sol. B, 1968, 27(3): 333-337.
- [17] Griffith J S. The theory of transition-metal ions[M]. London: Cambridge University Press, 1964.
- [18] McGarvey B R. The Isotropic hyperfine interaction[J]. J. Phys. Chem, 1967, 71(1): 51-67.
- [19] McPerson G L, Kach R C, Stucky G D. Electron spin resonance spectra of V^{2+} , Mn^{2+} , and Ni^{2+} in single crystals of $CsMgBr_3$ and $CsMgI_3$ [J]. J. Chem. Phys., 1974, 60(9): 1 424-1 430.
- [20] Groh D J, Pandey R, Recio J M. Embedded-quantum-cluster study of local relaxations and optical properties of Cr^{3+} in MgO [J]. Phys. Rev. B, 1994, 50(20): 14 860-14 866.
- [21] Asakura K, Iwasawa Y. A structure model: the origin of catalytic properties of metal-doped MgO systems[J]. Mater. Chem. Phys, 1988, 18(4): 499-512.

编 辑 孙晓丹