

DF-FPDLMS自适应滤波器的可测性设计与测试

肖继学^{1,2}, 陈光禡¹, 谢永乐¹

(1. 电子科技大学自动化学院 成都 610054; 2. 西华大学机械工程与自动化学院 成都 610039)

【摘要】基于加法器的测试生成,提出了直接实现形式的细粒度流水线延迟最小均方自适应滤波器的一种可测性设计的测试方案。在测试模式下,该设计通过滤波器组成模块的分层隔离及由寄存器转化成的扫描链提高了可测性;通过复用部分寄存器和加法器避免或最小化了额外的测试硬件开销。该方法能在真速下高效地检测到滤波器基本组成单元内的任意固定型组合失效,且不会降低电路的原有性能。

关键词 加法器; 可测性设计; 失效; 滤波器; 测试生成; 乘法器

中图分类号 TN407

文献标识码 A

Design-for-Testability and Test of DF-FPDLMS Adaptive Filter

XIAO Ji-xue^{1,2}, CHEN Guang-ju², XIE Yong-lei¹

(1. School of Automation Engineering, University of Electronic Science and Technology of China Chengdu 610054;

2. School of Mechanical Engineering and Automation, Xihua University Chengdu 610039)

Abstract Based on arithmetic additive generator, a kind of design-for-testability and test strategy for direct-form fine-grained pipelined delayed least mean square adaptive filter is presented. The design improves the circuit testability by insulating the filter building modules and converting registers into scan chains. Reuses of some adders and registers existing in circuit result in the elimination or minimization of the additional hardware overhead for test. The test strategy can detect any combinational stuck-at faults within the circuit basic building cell at-speed and without any degradation of the original circuit performance.

Key words adder; design-for-testability; fault; filter; generator; multiplier

文献[1]提出了DF-FPDLMS自适应滤波器,它的关键路径短、速度快,将基于Xilinx Virtex的FPGA技术实现的8阶8位滤波器用于定位敌方雷达脉冲的电子装备测量(Electronic Support Measures, ESM)接收机,接收机的采样率达120 MHz。在集成电路集成度的发展遵循摩尔定律的条件下,IC的可测性在降低IC生产成本、提高IC可靠性等方面作用日益显著。应用于国防ESM上的电路,片上系统(System-on-Chip, SoC)的可测性尤其重要。由文献[1]可知,DF-FPDLMS滤波器由八个处理模块(Processing module, PM)、一个二进制树加法器、一个误差反馈环构成,由于误差反馈环和每个PM包含的反馈回路,以及至少包含一个加法器、二个乘法器的PM只有两个输入、一个输出,其测试相当繁琐、困难。而且,随着人们对滤波性能要求的日益提高,滤波器阶数会不断增加,芯片上会集成越来越多的晶体管,此时,该滤波器测试根本无法进行。在包含该滤波器的SoC中,这种问题尤其突出。解决该问题

的根本途径之一是对该滤波器进行可测性设计,并寻求有效的测试手段、方法。

1 可测性设计与测试策略

目前,可测性设计主要使用两种方法:(1)基于C-可测、M-可测;(2)根据电路的具体情况改进电路结构,提高其可测试性能。方法(1)通用性强,有章可循,使用也比较方便^[2-5],但前提是在任意时刻电路最多只存在一个故障。若将其应用于DF-FPDLMS滤波器,实用性会降低。而且,如有多个反馈环的存在,在DF-FPDLMS滤波器中利用它也非常困难。本文采用方法(2)进行可测性设计。由文献[1]可知,DF-FPDLMS滤波器的组成模块有加、减、乘法器和寄存器,分布PM内、外部分,电路具有很好的规则性,且寄存器较多。据此,本文针对8阶DF-FPDLMS自适应滤波器,给出了可测性设计方案:利用单向三态门在测试模式下,将关心的运算单元与其他部分隔开,合理地将寄存器构成扫描链,

收稿日期: 2006-09-29

作者简介: 肖继学(1972-),男,博士生,副教授,主要从事VLSI可测性、低功耗测试与设计及SoC的测试等方面的研究。

为运算单元传送测试矢量,可大幅度提高加法器等组成模块即电路的可控性,如图1所示。图中, $t_1 \sim t_5$ 是各运算单元的测试能使信号,高电平有效,任意时刻最多只有一个有效。

本文采用测试矢量的算术加法生成法^[6]。测试时,利用滤波电路中的加法器产生测试矢量;激活测试能使信号用来传送测试矢量,并进行相关运算

单元的测试。在不降低原电路性能的情况下,这种复用既提高了电路的可控性,又避免或最少化了额外的测试硬件开销。为了提高测试效率并充分利用电路的规则性,测试步骤如下:首先分两步分别测试PM内上、下部分的所有乘法器,接着分两步分别测试PM内的所有加法器和减法器,最后完成二进制树加法器的测试。

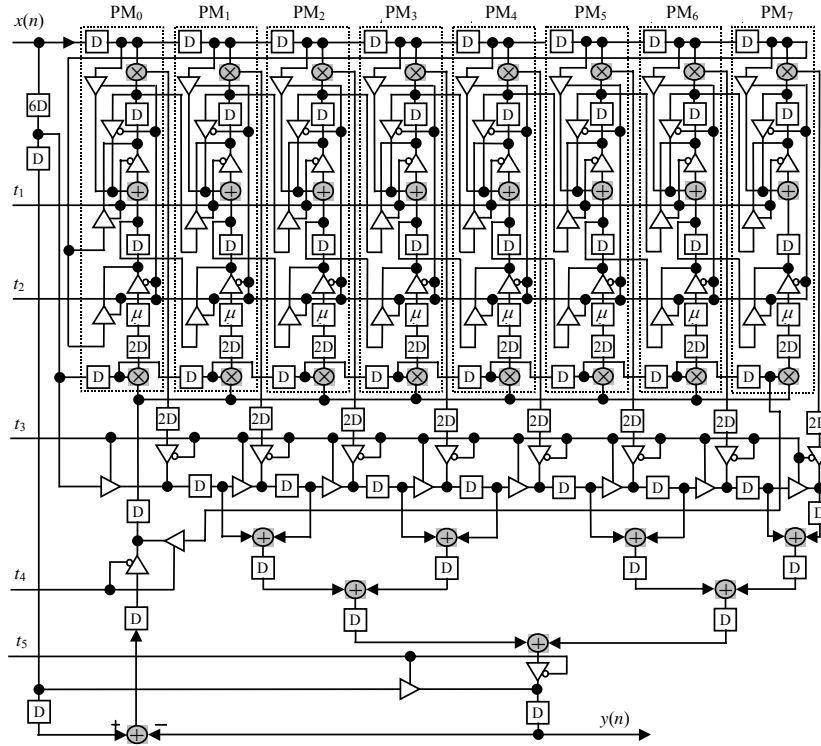


图1 改进的8阶DF-FPDLMS自适应滤波器

2 乘法器测试

由图1可知,乘法器的两个输入都是变化的,因而只能使用可变输入乘法器。在用FPGA实现的自适应滤波器时,为了充分利用FPGA资源,文献[1]采用了加法器树结构的乘法器,本文以阵列乘法器为例探讨DF-FPD LMS滤波器中乘法器的测试。

根据文献[7-10],测试矢量 H 和测试矢量分别供给阵列乘法器的两种主输入,可完成阵列乘法器的完全测试,即:

$$\mathbf{X}_{i+1} = \mathbf{X}_i + \mathbf{X}_i + 1 \quad (1)$$

$$\mathbf{X}_{i+1} = \mathbf{X}_i + \mathbf{X}_i + 2 \quad (2)$$

式中 \mathbf{X}_i 、 \mathbf{X}_{i+1} 分别为 i 、 $i+1$ 次循环后的测试矢量。由此可见,阵列乘法器的测试矢量可由二进制加法

器构成的测试生成器生成。对于 H , $\mathbf{X}_0 = 2^n - 1$; 对于 V , 式(1)中的 \mathbf{X}_0 取值为 $2^n - 1$ 、 $2^n - 4$ 各一次,式(2)的 $\mathbf{X}_0 = 2^n - 6$, $-1 < i < n$ 。

测试时,对于每个测试矢量 H 必须至少施加一次所有的测试矢量 V 。 N 阶DF-FPDLMS滤波器PM上部分乘法器的测试矢量供给方式为:每输入 N 个同一的 H ,都顺次输入 N 个 V ,按此循环直至将 V 输入结束;然后再输入下一个 H ,重复上述过程直至输入所有 H 。PM下部分乘法器的测试矢量供给方式与PM上部分乘法器相似,不同在于每顺次输入 N 个 V 之前,输入的是一个而不是 N 个 H 。分别激活测试能使信号 t_1 、 t_4 进行这两部分乘法器的测试,图2、3分别演示了其测试过程。图中, H_i 、 V_i 分别为第 i 个测试矢量 H 、 V 。

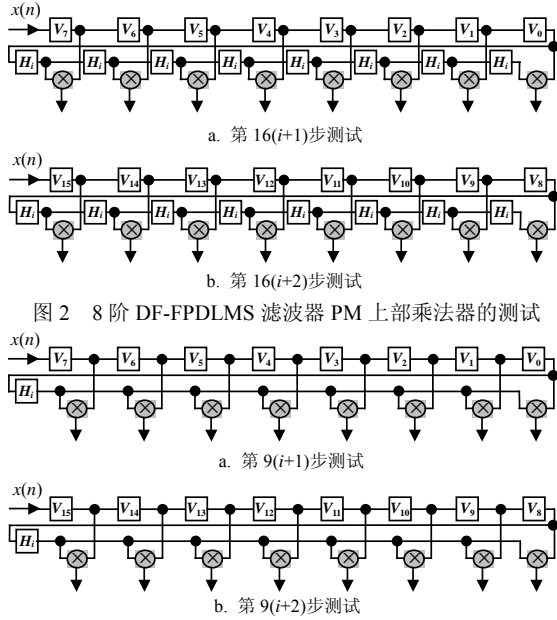


图2 8阶DF-FPDLMS滤波器PM上部乘法器的测试

图3 8阶DF-FPDLMS滤波器PM下部乘法器的测试

表1 具有3位邻域子空间的8位空间的测试矢量(二进制)

X_0	X_1	X_2	X_3	X_4	X_5	X_6	X_7
00000000	01001001	10010010	11011011	00100100	01101101	10110110	11111111

一个 n 位加法器由 n 个相同的全加法器构成，主输入空间可描述为 $a_n b_n a_{n-1} b_{n-1} \dots a_2 b_2 a_1 b_1$ 。其中， a_i 、 b_i 与进位位 $c_i (0 < i < n+1)$ 为第 i 个全加法器的输入。对于行波进位加法器， a_i 、 b_i 是可控的； c_i 可以通过 a_{i-1} 、 b_{i-1} 进行控制(当 $a_{i-1}=b_{i-1}=0$ 时， $c_i=0$ ；当 $a_{i-1}=b_{i-1}=1$ 时， $c_i=1$)，因而这种加法器具有4位邻域子空间。类似地，超前进位加法器和跳进位加法器具有 s 位邻域子空间， $s=10$ 。同理，减法器也具有邻域子空间。

对于 s 位邻域子空间的 n 位加法器，两种交叉主输入 $a_n a_{n-1} \dots a_2 a_1$ 、 $b_n b_{n-1} \dots b_2 b_1$ 表明需要有两种测试矢量同时供给。设 $X_i = a_n^i b_n^i \dots a_2^i b_2^i a_1^i b_1^i$ 、 $A_i = a_n^i a_{n-1}^i \dots a_2^i a_1^i$ 、 $B_i = b_n^i b_{n-1}^i \dots b_2^i b_1^i$ 分别是三种输入的第 i 个测试矢量，由一个累加器产生的测试矢量可以完全覆盖输入空间 $a_n b_n a_{n-1} b_{n-1} \dots a_2 b_2 a_1 b_1$ 。令 $C_j=1$ ，则 $2n$ 位二进制矢量为：

$$\begin{aligned}
 X_i - X_{i-1} &= (a_n^i - a_n^{i-1})(b_n^i - b_n^{i-1}) \dots \\
 &\quad (a_1^i - a_1^{i-1})(b_1^i - b_1^{i-1}) \\
 X_i - X_{i-2} &= (a_n^i - a_n^{i-2})(b_n^i - b_n^{i-2}) \dots \\
 &\quad (a_1^i - a_1^{i-2})(b_1^i - b_1^{i-2}) \quad (4)
 \end{aligned}$$

联立式(3)、式(4)可得：

$$\begin{aligned}
 a_j^i - a_j^{i-1} &= \begin{cases} 1 & j = ks + 1 \\ 0 & j \neq ks + 1 \end{cases} \quad k = 0, 1, \dots, (n/s) - 1 \\
 b_j^i - b_j^{i-1} &= 0 \quad j = 1, 2, \dots, n
 \end{aligned}$$

3 加、减法器测试

如果一个 n 位空间 $a_n a_{n-1} \dots a_2 a_1$ 由重叠子空间构成，且每个子空间由 s 个相邻位 $a_{i+s} a_{i+s-1} \dots a_{i+1} (2 \leq s \leq n-1, 0 \leq i \leq n-s)$ 形成，称为 s 位邻域子空间。所有子空间的完全覆盖表明该 n 位空间被完全覆盖^[6]。

由二进制加法器构成的累加器生成的伪随机、伪穷尽测试矢量能够完全覆盖这些邻域子空间^[2]。令 $e = n \bmod s$ ， $f = (n-e)/s$ ，则该测试矢量为：

$$X_i = X_{i-1} + C \quad (3)$$

式中

$$C = LC_f C_{f-1} \dots C_2 C_1$$

X_i 为 i 次循环后的测试矢量； C 为步长； $C_j (1 \leq j \leq f)$ 为 s 位矢量； L 为 $(n-sf)$ 位矢量。令 $n=8$ ， $s=3$ ， $C_j=001B$ ，则 X_i 的取值如表1所示。 $2^8=8$ 个测试矢量并行地覆盖了所有的3位邻域子空间。

$$a_j^i - a_j^{i-2} = 0 \quad j = 1, 2, \dots, n$$

$$b_j^i - b_j^{i-2} = \begin{cases} 1 & j = ks + 1 \\ 0 & j \neq ks + 1 \end{cases} \quad k = 0, 1, \dots, (n/s) - 1$$

则 A_i 、 B_i 是长度为 $2^{\lceil n/s \rceil}$ 的恒递增序列，其步长 C 中的 C_j 为 $s/2$ 位矢量，且等于1。具有 s 位邻域子空间的加法器的测试矢量 A 、 B 可由两个累加器独立产生；类似地，累加器也可作为减法器的测试生成。

分别激活能使信号 t_2 、 t_5 ，可避免其他元件对PM内所有加法器、误差反馈环内减法器的影响，输入测试矢量即可分别对它们进行测试。其中，加法器的测试矢量供给方式与PM上部分乘法器的相同，本文采用的测试矢量是 A 、 B 而非 H 、 V ；减法器的测试矢量供给方式为：对于每个 A ，每输入一次 A ，顺次输入一个 B ，直至输入完所有的 B 。

4 二进制树加法器测试

二进制树加法器的测试可以仿效PM内加法器的测试，也可以仿效减法器的测试，这样虽可减少测试时间，但需要将树形内及其周围的寄存器如上述转换成扫描链，引入或增加了额外测试硬件开销，因此本文采取了另外的测试方法。

图1中的树型结构共有三层， $AD_{i,j} (i=0, 1, 2; j=0, 1, 2, 3)$ 表示处在从上到下第 $i+1$ 行、从左至右第 $j+1$ 列的

加法器,并且扫描链中的八个测试矢量从左至右依次为 T_0, T_1, \dots, T_7 。如果相邻的两个测试矢量 T_k, T_{k+1} ($k=0, 1, \dots, 6$)分别等于矢量 A, B ,其他的均等于0,则可按图4所示依次测试这些加法器。如 $T_0 = B, T_1 = A$ 时,测试 $AD_{0,0}$; $T_1 = B, T_2 = A$ 时,测试 $AD_{1,0}$ 。对于8阶DF-FPDLMS滤波器,表2给出了被测加法器和扫描链中测试矢量的对应关系。激活能使信号 t_3 ,可隔离其他元件对树型结构体的影响,输入测试矢量即可进行测试。测试矢量的供给方式为:每输入一个 A ,需输入所有的 B ;每组 A, B 按表2所示方式供给,其测试过程如图4所示。图中省略了树型结构内的寄存器。

表2 被测加法器 $AD_{i,j}$ 及其对应的扫描链中的测试矢量

(i,j)	T_0	T_1	T_2	T_3	T_4	T_5	T_6	T_7
0,0	B	A	0	0	0	0	0	0
0,1	0	0	B	A	0	0	0	0
0,2	0	0	0	0	B	A	0	0
0,3	0	0	0	0	0	0	B	A
1,0	0	B	A	0	0	0	0	0
1,1	0	0	0	0	0	B	A	0
2,0	0	0	0	B	A	0	0	0

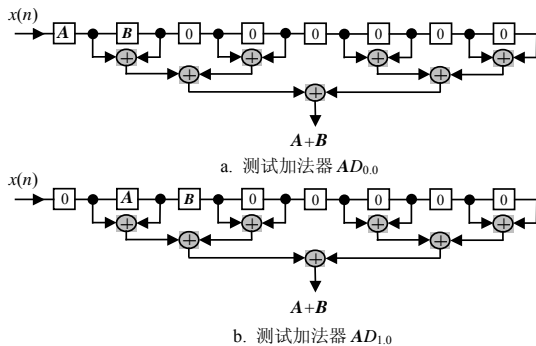


图4 8阶DF-FPDLMS滤波器二进制树加法器的测试

5 结论

本文提出了DF-FPDLMS自适应滤波器的一种可测性设计及测试方法,并以8阶滤波器为例进行了详细的阐述。设计中引入了单向三态门,将寄存器转换成扫描链,显著地改善了电路的可控性;测试中加法器、寄存器的复用避免或最大限度地减少了额外的测试硬件开销。由于测试矢量对加、减法器邻域子空间的并行覆盖以及对加法器、乘法器的并行测试,所以该测试非常高效。测试在真速下进行,

能有效地侦测到滤波器在工作状态下的失效。对于数据通路宽度为 n 位的 N 阶DF-FPDLMS滤波器,如果采用CMOS工艺且按照图1所示直接实现,本文提出的可测性设计只需要额外的 $8N+4$ 个单向三态门即可实现,其额外的空间相对开销不高于 $1/n$ 。当 $N=n=8$ 时,空间相对开销为11.637 6%;随着 n 的增加,空间相对开销会越来越小;如果其加、减法器具有 s 位邻域子空间,则需要 $2^s+(n+1)(3n-2)$ 个测试矢量,与阶数 N 无关。如文献[4]所述,加、减法器 and 阵列乘法器均具有可观测性,因而这种测试能侦测到DF-FPDLMS滤波器基本组成单元内的任意固定型组合失效。若辅以累加器特征压缩^[11],容易实现滤波器的内建自测试。

参考文献

- [1] TING L K, WOODS R, COWAN C F N. Virtex FPGA implementation of a pipelined adaptive LMS predictor for electronic support measures receivers[J]. IEEE Transactions on VLSI Systems, 2005, 13(1): 86-95.
- [2] FRIEDMAN A D. Easily testable iterative systems[J]. IEEE Transactions on Computers, 1973, C-22: 1061-1064.
- [3] VERGIS A, ELHUNI H, KINNEY L. C-testability of two-dimensional iterative arrays[J]. IEEE Transactions on Computer-Aided Design, 1986, CAD-5: 573-581.
- [4] JAMOSSI M, KAMINSKA B, MUKHEDKAR D. Testability of one-dimensional iterative arrays using a variable testability measure[J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 1994, 41(1): 82-86.
- [5] LI Jin-fu, WU Cheng-wen. Efficient FFT network testing and diagnosis schemes[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2002, 10(3): 267-278.
- [6] GUPTA S, RAJSKI J, TYSZER J. Arithmetic additive generators of pseudo-exhaustive test patterns[J]. IEEE Transactions on Computers, 1996, 45(8): 939-949.
- [7] MUKHERJEE N, RAJSKI J, TYSZER J. Testing schemes for FIR filter structure[J]. IEEE Transactions on Computers, 2001, 50(7): 694-703.
- [8] XIAO Ji-xue, CHEN Guang-ju, XIE Yong-le. Arithmetic test strategy for FFT processor[C]//Proceedings of 14th IEEE Asian Test Symposium. New Jersey: IEEE, 2005: 440-443.
- [9] 肖继学, 陈光祜, 谢永乐. IIR滤波器的测试及可测性设计[J]. 计算机辅助设计与图形学学报, 2007, 19(2): 203-209.
- [10] 肖继学, 陈光祜, 谢永乐. FFT处理器的算术测试与可测性设计[J]. 仪器仪表学报, 2007, 28(4): 657-662.
- [11] JANUSZ R, JERZY T. Accumulator-based compaction of test responses[J]. IEEE Transactions on Computers, 1993, 42(6): 643-650.