

# 宽带数字接收机的高效FPGA设计

王 洪<sup>1</sup>, 吕幼新<sup>1</sup>, 汪学刚<sup>1</sup>, 刘 磊<sup>2</sup>

(1. 电子科技大学电子工程学院 成都 610054; 2. 飞迈机械有限公司 山东 烟台 265500)

**【摘要】**在FPGA中实现了一种高效的宽带数字接收机,采用坐标旋转数字计算机算法实时产生数控振荡器数据,提高了接收机设计的灵活性。二次变频的接收机结构和四倍抽取的多相滤波结构减少了接收机的运算量,降低了接收机的资源消耗。FPGA中的仿真结果证明了该方法的高效性和实用性。

**关键词** 坐标旋转数字计算机算法; 数字接收机; 二次混频结构; FPGA  
**中图分类号** TN 971.1 **文献标识码** A

## Efficient Design of Wideband Digital Receiver on FPGA

WANG Hong<sup>1</sup>, LÜ You-xin<sup>1</sup>, WANG Xue-gang<sup>1</sup>, and LIU Lei<sup>2</sup>

(1. School of Electronic Engineering, University of Electronic Science and Technology of China Chengdu 610054;  
2. Fei Mai machine, LTD. Yantai Shandong 265500)

**Abstract** A method to design wideband digital receiver on filed programmable gates array (FPGA) is proposed in this paper. The coordinate rotation digital computer (CORDIC) algorithm is employed to generate real time numerically controlled oscillator (NCO) data. Double frequency conversion, quarter decimation and polyphase filters further enhance the system performance. The proposed receiver is more flexible, less computation and less resource consumption. Design example and simulation results are shown to testify the validities and feasibilities.

**Key words** CORDIC algorithm; digital receiver; double frequency conversion structure; FPGA

在宽带数字接收机中,随着带宽增大、采样速率的提高,增加了数字接收机在FPGA中实现的难度,包括高速混频器的实现、抽取滤波器的运算效率和高阶滤波器对FPGA的资源消耗等问题,需要对常见的数字接收机结构进行改进,以满足宽带数字接收机系统在FPGA上实现的要求。

本文针对以上问题设计出一种无乘法器的、可移植性的宽带数字接收机结构,并在FPGA中进行了仿真验证。

### 1 采用CORDIC算法实现的NCO

在数字接收机中,数控振荡器( numerically controlled oscillator, NCO)为混频器提供所需的正交本振信号, NCO的数值取决于本振频率和接收机的采样率。若接收机参数固定,通常采用查表法获得NCO数据,即事先根据正弦波的各个相位计算好相应的正弦值,并以相位角度作为地址存储各相位的正弦样本。查表法对频率捷变、参数设置灵活的接

收机不适用,需要根据接收机参数实时产生NCO数据。坐标旋转数字计算机(coordinate rotation digital computer, CORDIC)算法以移位和加法来计算像正弦和余弦这样的超函数<sup>[1-4]</sup>,用CORDIC算法可以实时产生NCO数据,并省去混频器所需的乘法运算,适合FPGA实现,增加了结构的可移植性。CORDIC算法实现NCO的原理如下:

在直角坐标上有一点 $M(X_0, Y_0)$ ,当 $M$ 绕原点逆时针旋转 $\theta$ ,  $M$ 点的坐标为<sup>[2]</sup>:

$$\begin{bmatrix} X_\theta \\ Y_\theta \end{bmatrix} = \cos\theta \begin{bmatrix} 1 & -\tan\theta \\ \tan\theta & 1 \end{bmatrix} \begin{bmatrix} X_0 \\ Y_0 \end{bmatrix} \quad (1)$$

若将 $\theta$ 分解为:

$$\theta = \sum_{i=0}^{\infty} \delta_i \theta_i + o(\theta_n) \quad (2)$$

式中  $\delta_i \in (-1, 1)$ ;  $\theta_i = \arctan 2^{-i}$ ;  $i = 1, 2, 3 \dots$ ; 有:

$$\begin{bmatrix} X_\theta \\ Y_\theta \end{bmatrix} = \cos(\delta_n \theta_n) \begin{bmatrix} 1 & -\tan(\delta_n \theta_n) \\ \tan(\delta_n \theta_n) & 1 \end{bmatrix} \begin{bmatrix} X_n \\ Y_n \end{bmatrix} =$$

$$R_n R_{n-1} \cdots R_i \cdots R_0 \begin{bmatrix} X_0 \prod_{i=0}^n k_i \\ Y_0 \prod_{i=0}^n k_i \end{bmatrix} \quad (3)$$

式中  $k_i = \cos(\delta_i \theta_i) = \cos(\theta_i)$ ;  $R_i = \begin{bmatrix} 1 & -\delta_i 2^i \\ \delta_i 2^i & 1 \end{bmatrix}$ 。

令:

$$k = \prod_{i=0}^{n-1} k_i = \prod_{i=0}^{n-1} 1/\sqrt{1+2^{-2i}}$$

式中  $k$  为CORDIC旋转补偿因子,一旦确定了旋转次数,补偿因子的值就是常数。从式(3)可知,为了完成旋转运算,需定义一个剩余角度记录量  $Z_{i+1}$ ,表示完成第  $i$  次旋转后的角度误差,它决定第  $i+1$  次旋转的方向,即  $\delta_i$  取值。初始值  $Z_0 = \theta$ ,  $Z_{i+1} = Z_i - \theta_i$ ,如果  $(X_0, Y_0) = (x, 0)$ ,经过  $\theta$  旋转后得到  $(X_n, Y_n) = (x \cos \theta, x \sin \theta)$ 。为方便硬件实现,先对初始值进行校正  $(X_0, Y_0) = (xk, 0)$ ,式(3)中每一次旋转可简化为:

$$\begin{cases} x_{i+1} = x_i - y_i \delta_i 2^{-i} \\ y_{i+1} = y_i + x_i \delta_i 2^{-i} \\ z_{i+1} = z_i - \delta_i \arctan 2^{-i} \end{cases} \quad (4)$$

在FPGA中用移位相加的流水线结构实现CORDIC算法,当  $x_0$  为接收机的输入数据时,同时

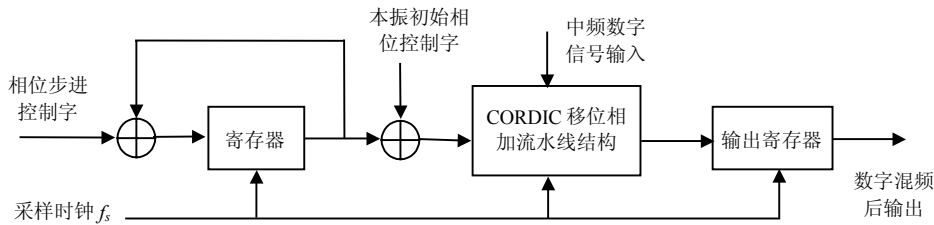


图1 用CORDIC算法实现NCO的结构

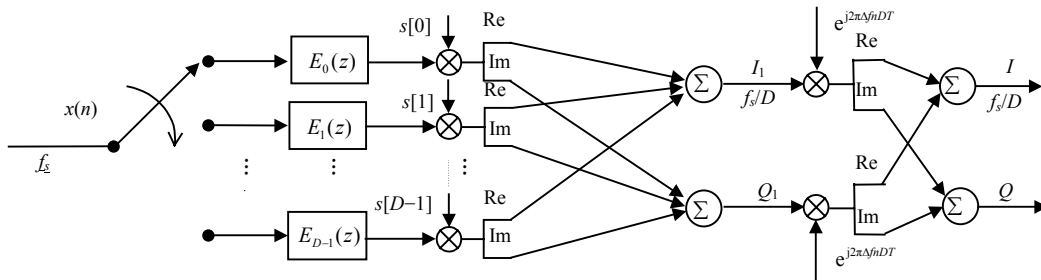


图2 二次混频的高效数字接收机结构

也完成了混频运算,实现结构如图2所示,将补偿因子作为系统增益处理。

## 2 二次混频的数字接收机结构

常用数字接收机结构中  $I$ 、 $Q$  两路滤波器系数相同,为节省FPGA的资源消耗,可根据系统的设计要求选取合适参数,使  $I$ 、 $Q$  两路共用一组滤波器。当采样频率  $f_s$  满足式(5)时,常用数字接收机结构可以改进为如图2所示的二次混频的高效结构<sup>[5-7]</sup>,当  $|\Delta f| = 0$  时,第二次混频可省略,即有:

$$\begin{cases} \frac{f_0 + \Delta f}{f_s} = \frac{m}{N} \\ \frac{f_s}{D} = f_{out} \quad kN = D \quad k = 1, 2, 3 \dots \end{cases} \quad (5)$$

式中  $f_0$  为带通信号中心频率;  $f_{out}$  为输出数据率;  $D$  为抽取倍数;  $m$ 、 $N$  为自然数;  $|\Delta f|$  为微调频率。从式(5)可以看出,第一次混频数据是以  $N$  为周期的,设第一次混频的主值为  $S_0[n]S_1[n] \cdots S_N[n]$ ,分配到各个多项滤波的支路上值是固定的,混频运算可以移植到多项滤波器支路的后端进行。该结构的优点是免去了复滤波,在FPGA中省去了一半的滤波器资源;混频操作后移降低了混频器的速度要求;采用多项滤波结构实现抽取滤波,提高了滤波器的运算效率。

## 3 设计实例及仿真结果

本文假定输入信号为线性调频信号,中心频率 200 MHz,带宽 50 MHz。选择采样率为 270 MHz,抽取因子和第一本振周期满足  $M = D = 4$ ,  $\Delta f = 2.5$ ,输出速率为 67.5 MHz。第一次混频数据周期为 4,可

免除对应混频运算中的乘法器。抽取滤波器采用 112 阶,每个多项支路为 28 阶,滤波器运算采用分布式算法和正则带符号码的优化处理算法实现,无需乘法运算,其FPGA实现框图如图3所示。

(下转第369页)

53(1): 173-183.

[7] CHEN B, WANG H. Blind estimation of OFDM carrier frequency offset via oversampling[J]. IEEE Transactions on Signal Processing, 2004, 52(7): 2047-2057.

[8] GAO F, NALLANATHAN A. Blind maximum likelihood CFO estimation for OFDM systems via polynomial rooting. IEEE Signal Processing Letters[J]. 2006, 13(2): 73-76.

[9] VAN DE BEEK J J, SANDELL M, BORJESSON P O. ML estimation of time and frequency offset in OFDM

Systems[J]. IEEE Transactions on Signal Processing, 1997, 45(7): 1800-1805.

[10] PROAKIS J G. Digital communications[M]. 4th Ed. Columbus, OH: McGraw-Hill, 2001.

[11] SHAYAN Y R. All digital phase-locked loop: concept, design and applications[J]. IEE Proceedings, 1989, 136(1): 53-56.

编辑 张俊

(上接第365页)

本文采用XILINX公司的FPGA器件XC2V1500-4进行仿真试验, 仿真时序如图4所示。采用基于查找表算法实现混频综合后的速度157 MHz, 而采用基

于CORDIC算法实现混频运算综合后的速度为217 MHz, 可以看出用CORDIC算法实现混频运算可以有效地提高混频的实现速度。

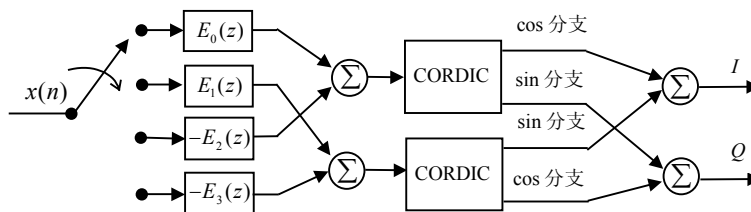


图3 高效接收机结构的FPGA设计

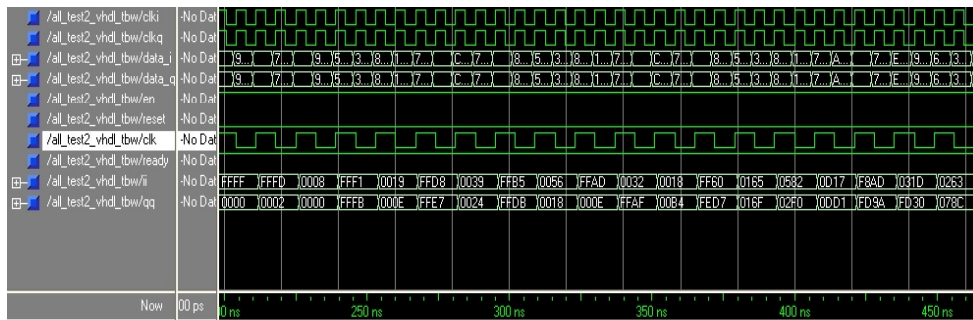


图4 接收机的仿真时序图

### 4 结束语

本文提出了一种宽带数字接收机的FPGA设计方案, 采用二次变频结构和CORDIC算法产生NCO数据, 对数字接收机的工作速度和消耗资源进行了优化, 仿真结果证明由CORDIC算法实现数字混频运算, 不但可以提高混频器实现速度, 而且还增加了系统的可移植性。

#### 参考文献

[1] 胡国荣, 孙允恭. CORDIC算法及其应用[J]. 信号处理, 1991, 7(4): 229-234.

[2] 李滔, 韩月秋. 基于流水线CORDIC算法的三角函数发生器[J]. 电子技术应用, 1996, (6): 52-53.

[3] 张进, 苏凯雄. 基于FPGA的数控振荡器的设计与实现

[J]. 福州大学学报, 2005, 33(5): 584-587.

[4] 郑立岗, 吕幼新, 向敬成, 等. 一种基于CORDIC算法的数字鉴频方法[J]. 信号处理, 2003, 19(1): 6-10.

[5] WANG Hong, LÜ You-xin, WANG Xue-gang, et al. Design of wideband digital receiver[C]//2005 International Conference on Communication, Circuit and Systems. Hong Kong: [s.n.], 2005:794-797.

[6] TSUI J B Y, STEPHENS J P Sr. Digital microwave receiver technology[J]. IEEE Trans on Microwave Theory and Techniques, 2002, 50(3): 699-705.

[7] HARRIS F J, DICK C, RICE M, et al. Digital receivers and transmitters using polyphase filter banks for wireless communication[J]. IEEE Trans on Microwave Theory and Techniques, 2003, 51(4): 1395-1412.

编辑 税红