

高电源抑制比的CMOS带隙基准电压源

吴志明, 黄颖, 吕坚, 王靓, 李素

(电子科技大学光电信息学院 成都 610054)

【摘要】介绍了一种采用0.5 μm CMOS N阱工艺制作的带隙基准电压源电路, 该电路具有高电源抑制比和较低的温度系数。通过将电源电压加到运算放大器上, 运算放大器的输出电压为整个核心电路提供偏置电压, 整个核心电路的偏置电压独立于电源电压, 使得整个带隙基准电路具有非常高的电源抑制比。基于SPECTRE的仿真结果表明, 其电源抑制比可达116 dB, 在 $-40^\circ\text{C} \sim 85^\circ\text{C}$ 温度范围内温度系数为46 ppm/ $^\circ\text{C}$, 功耗仅为1.45 mW, 可以广泛应用于模/数转换器、数/模转换器、偏置电路等集成电路模块中。

关键词 带隙基准电压源; 互补型金属氧化物半导体; 电源抑制比; 温度系数
中图分类号 TN432 **文献标识码** A

High PSRR COMS Bandgap Voltage Reference

WU Zhi-ming, HUANG Ying, LÜ Jian, WANG Liang, and LI Su

(School of Optoelectronic Information, University of Electronic Science and Technology of China Chengdu 610054)

Abstract A bandgap voltage reference circuit using 0.5 μm complementary metal oxide semiconductor transistor (CMOS) N-well process is presented in the paper. The circuit has high power supply rejection ratio (PSRR) and low-temperature coefficient. The bias voltages of core circuit is independent to the power supply voltage, and the whole bandgap circuit has high PSRR through adding the power supply to the operational amplifier of which the output voltage is supplied for the core circuit. The simulation results for this circuit using SPECTRE show that the PSRR is 116 dB, the temperature coefficient from -40°C to 85°C temperature range is 46 ppm/ $^\circ\text{C}$ and the power consumption is only 1.45 mW. The bandgap discussed in this paper can be widely used in ADC, DAC, reference circuit and so on.

Key words bandgap voltage reference; complementary metal oxide semiconductor transistor; power supply rejection ratio; temperature coefficient

模拟集成电路广泛地包含带隙基准电压源, 由于带隙基准电压源的输出电压与电源电压、工艺参数和温度的关系很小, 所以带隙基准电压源一直是集成电路中的一个重要的基本模块。在模/数转换器、数/模转换器、偏置电路等集成电路设计中, 对高电源抑制比、低温度系数的带隙基准电压源的设计十分关键^[1-2]。基于此, 本文设计了一种高电源抑制比(PSRR)的带隙基准电压源。

1 电路结构

1.1 电压源的核心电路

电路总体结构如图1所示, 图中虚线框内为整个电路的核心电路。为满足后端版图设计时 Q_1 与 Q_2 充分对称, 三极管 Q_2 发射极面积设计为 Q_1 的8倍。电源

电压加到运算放大器opamp上, opamp的输出电压 V_{DDL} 为整个核心电路提供偏置电压, 这样整个核心电路的偏置电压就独立于电源电压, 使得整个带隙基准电路具有非常高的电源抑制比。 $M_1 \sim M_6$ 管构成 high swing cascode结构, 目的是增大输出电阻, 减小沟道调制效应引起的电流不匹配, 从而减小镜像电流之间的误差^[3-5]。通过调节 $M_1 \sim M_6$ 的宽长比, 使图1中支路1~3中电流大小关系满足1:1:5。 M_7 、 M_8 组成分压电路, 为 $M_4 \sim M_6$ 提供偏置电压。 $M_9 \sim M_{13}$ 的作用是产生运算放大器opamp负载管所需的偏置电压 V_{b1} 和 V_{b2} 。下面对电路进行具体分析。

设支路电流为 I , 当运放opamp增益足够大, 使得整个环路处于深度负反馈时, 电路满足:

$$V_A = V_B \quad (1)$$

$$V_B = V_{BE1} \quad (2)$$

$$V_A = V_{BE2} + IR_2 \quad (3)$$

将式(2)、(3)带入式(1)整理可得:

$$I = (V_{BE1} - V_{BE2}) / R_2 \quad (4)$$

对于双极晶体管, 有:

$$V_{BE} = V_T \ln(I_C / I_S) \quad (5)$$

式中 $V_T = kT/q$; I_S 为结饱和电流, 正比于发射结面积。将式(5)代入式(4)整理得:

$$I = (V_T / R_2) \ln(I_{C1} I_{S2} / I_{C2} I_{S1}) \quad (6)$$

又因为 $I_{C1} = 6I_{C2}$, $I_{S2} = 8I_{S1}$, 所以:

$$I = V_T \ln 48 / R_2 \quad (7)$$

对于支路3, 满足:

$$V_{REF} = V_{BE1} + 5 \times \ln 48 \times V_T (R_1 / R_2) \quad (8)$$

式(8)两边对温度求导, 并令 $\partial V_{REF} / \partial T = 0$ 得:

$$0 = \partial V_{BE1} / \partial T + 5 \times \ln 48 \times (R_1 / R_2) \times \partial V_T / \partial T \quad (9)$$

当 $T=300$ K 时, $V_{BE} \approx 700$ mV, $\partial V_{BE} / \partial T \approx -2.0$ mV/K, $\partial V_T / \partial T \approx 0.086$ mV/K, 故 $R_1 / R_2 \approx 1.2$ 。即当 $R_1 / R_2 = 1.2$ 时, V_{REF} 温度系数为零。此时:

$$V_{REF} = V_{BE1} + 5 \times \ln 48 \times V_T (R_1 / R_2) \approx 1.3$$
 V

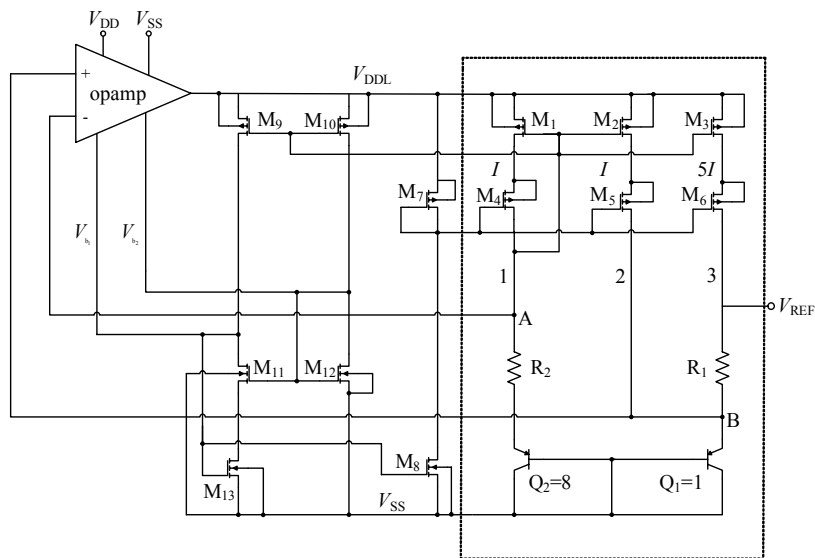


图1 带隙基准电压源的核心电路

1.2 运算放大器电路

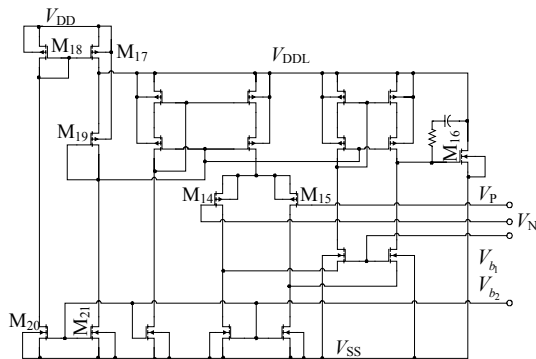


图2 运算放大器电路

为提高电压源的电源抑制比, 将运算放大器设计成图2所示的结构, 电源电压施加在PMOS管M18、M17上, 其中M17为运放第二级的输出负载管。运算放大器第一级采用折叠式共源共栅结构, 第二级的输出电压VDDL为整个运算放大器提供电源电压。通过这种反馈结构, 大大提高了运算放大器正的电源抑制比。图中运算放大器的正负输入端Vp、Vn分别接图1中B、A两点。运放负载管的偏置电压Vb、Vb2由图1中核心电路通过分压支路M9~M13产生。通过

这样的设计, 使整个带隙基准源的电源抑制比非常大^[6-7]。

1.3 启动电路

电路正常工作时, 工作点由式(9)确定, 但当电路上电瞬间, 可能出现各支路电流为0的情况, 使得Vb电位一直为0, 整个电路不工作。为了确保电路在电源接通后能够正常工作, 设计了如图3所示的启动电路^[8]。

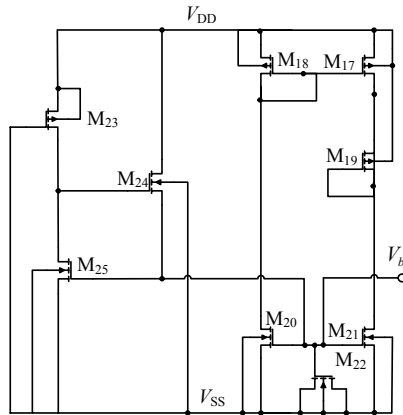


图3 启动电路

启动电路主要由M₂₃、M₂₄、M₂₅组成, NMOS管M₂₂源漏端都接地作为MOS电容用, 目的是稳定电压V_{b1}。设计PMOS管M₂₃使其具有很大的导通电阻, 且M₂₃栅极一直接低电位V_{SS}。在电路上电瞬间, M₂₃导通且工作于线性区, V_{DD}通过M₂₃传到M₂₄的栅极, 使得M₂₄导通, M₂₄漏源电流给电容M₂₂充电, 使得V_{b1}逐渐升高, 最终整个电路开启。电路稳定工作后, 由于M₂₃具有很大的导通电阻, 使得M₂₄栅极电压变得很小, 最终M₂₄关闭, 启动电路脱离主电路, 整个电路保持在正常工作点^[9]。

2 模拟仿真结果

采用典型0.5 μm CMOS工艺, 3.3 V电源电压, MOS管采用49级模型, 用CADENCE SPECTRE仿真器对电路进行仿真模拟。仿真结果如表1所示。

表1 部分仿真结果

参数	仿真结果
功耗/mW	1.45
PSRR/dB	116
温度系数/ppm·°C ⁻¹	46

图4为带隙基准电压源输出电压V_{REF}在-40°C~85°C温度范围内的特性曲线。考虑工艺偏差的影响, 仿真时分别使用MOS管的tt、ss、ff模型反映电源电压抑制比的曲线。

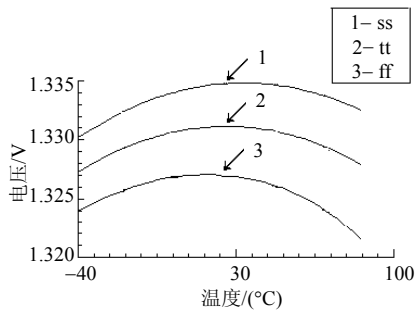


图4 不同模型下的温度特性

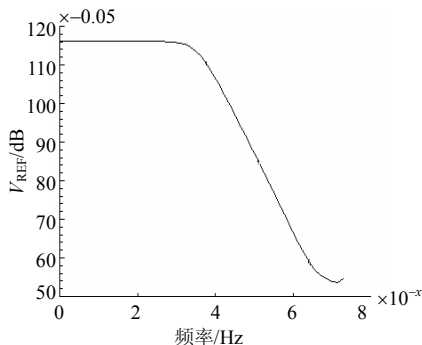


图5 电源电压抑制比

图5为带隙基准电源电压抑制比曲线。仿真时, 在保证电源电压V_{DD}直流不变的情况下, 再在其上叠

加一个幅度为1 V的交流小信号V_{dd}, 则图中曲线直接反映V_{REF}/V_{dd} = V_{REF} = 1/PSRR在V_{dd}为不同频率时的值。从图中可以看出, 电路在低频时具有很高的电源抑制比^[10-11]。

图6为带隙基准源的上电过程, 从图中看出, 在带隙基准上电很快, 最终电压稳定在1.33 V, 略大于设计值。

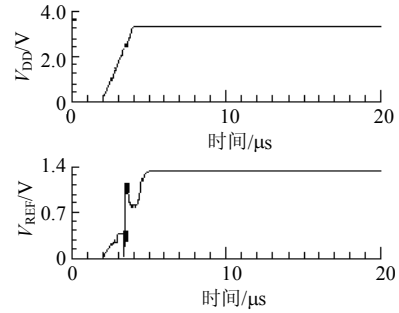


图6 带隙基准电压源的上电过程

图7反映了启动电路在上电过程中的工作状态。从图中看出, M₂₄的栅极电压V_{g24}在上电瞬间会达到很高的电位, 导致M₂₄的漏源电流I_{s24}在此瞬间出现一个尖峰, 为电容M₂₂充电, 使得V_{b1}稳步上升; 当电路稳定后, V_{g24}下降到接近零, 导致M₂₄重新关闭, 启动电路脱离主电路。

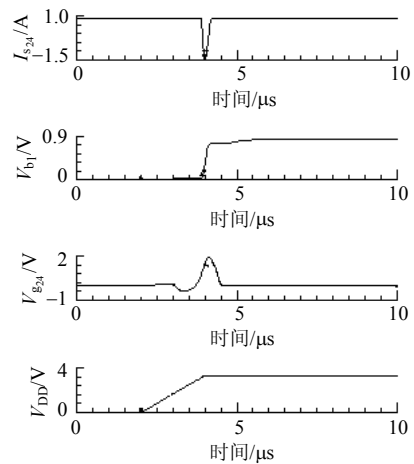


图7 启动电路上电过程

3 结束语

本文设计了一种采用0.5 μm CMOS N阱工艺, 电源电压为3.3 V的带隙基准电压源。常温时输出电压为1.33 V, 在-40°C~85°C的温度范围内, 温度系数为46 ppm/°C。该电路具有很高的电源抑制比, 可达116 dB。功耗仅为1.45 mW。可以广泛应用于模/数转换器、数/模转换器、偏置电路等集成电路模块中, 具有较高的实用价值。

参 考 文 献

- [1] BROOKS T, WESTWISK A L. A low 2 power differential CMOS bandgap reference[C]//Int So l Sta Circ Conf. [S.l.]: [s.n.], 1994: 248-249.
- [2] TZANATEAS G, SALAMA C A T, TSIVIDIS Y P. A CMOS bandgap voltage reference[J]. IEEE J Sol Sta Circ, 1979, 14(3): 655-657.
- [3] 程 军, 陈贵灿. 两种新型CMOS带隙基准电路[J]. 微电子与计算机, 2003, 7: 67-70.
- [4] 拉扎维. 模拟CMOS集成电路设计[M]. 陈贵灿, 程 军, 张瑞智, 等, 译. 西安: 西安交通大学出版社, 2002.
- [5] ALLEN P E, HOLBERG D R. CMOS模拟集成电路设计[M]. 冯 军, 李智群, 译. 北京: 电子工业出版社, 2005.
- [6] JOHNS D A, MARTIN K. 模拟集成电路设计[M]. 曾朝阳, 赵 阳, 方 顺, 译. 北京: 机械工业出版社, 2005.
- [7] BAKER R J, LI H W, BOYCE D E. 电路设计、布局与仿真[M]. 陈中建, 吉利久, 译. 北京: 机械工业出版社, 2006.
- [8] HILBIBER D. A new semiconductor voltage standard[J]. IEEE J of Solid-State Circuits, 1973, 1(8): 222-226.
- [9] BANBA H, SHIGA H, UMEZAWA S, et al. A CMOS bandgap reference circuit with sub-1 V operation[J]. IEEE Journal of Solid-State Circuits, 1999, 34: 670.
- [10] SANSEN W M, EYNDE F O, STEYAERT M. A CMOS temperature-compensated current reference[J]. IEEE Journal of Solid-State Circuits, 1988, 23(3): 821-824.
- [11] BROOKS T, WESTWISK A C. A low power differential CMOS bandgap Reference[J]. ISSCC Dig of Tech Papers, 1994: 248-249.

编辑 漆 蓉

(上接第438页)

4 结 束 语

由于自组网具有无需基站、组网灵活等优点,使其成为近几年的研究热点。当前对自组网的研究主要集中在路由协议、MAC协议、QoS保证和安全性方面,而对网络的可靠性等方面的研究则较少。本文采用连通关联矩阵和网络连通性判断等方法,通过网络连通率计算,给出了自组网可靠性评价的一种定量分析方法。基于本文评价方法所进行的大量仿真统计得到的试验数据验证表明,自组网是一种对节点和链路故障、节点移动性具有高可靠性的网络。当然,本文建立的可靠性评估模型也适用于静态网络,应用时只需将网络节点运动模型设置为静止即可。

本文只针对自组网中典型的节点随机点移动模型进行了验证,没有针对其他移动模型对进行相应的研究,这是下一步需要做的工作。

参 考 文 献

- [1] 郑相全. 无线自组网技术实用教程[M]. 北京: 清华大学出版社, 2004.
- [2] 李 柯, 郭 伟, 任 智. 自组织网络的可靠性评估算法研究[J]. 中国测试技术, 2006, 32(4): 81-83.
- [3] 王新华, 徐连诚, 刘方爱. 一种基于选路拓扑的抗毁性评估模型[J]. 小型微型计算机系统, 2007, 28(5): 819-822.
- [4] 刘莎莎, 李仁发, 李 蕊. 一种跨层服务发现协议的设计与仿真分析[J]. 系统仿真学报, 2006, 18(12): 3421-3429.
- [5] 郑相全, 郭 伟, 葛利嘉, 等. 一种基于跨层设计和蚁群优化的自组网负载均衡路由协议[J]. 电子学报, 2006, 34(7): 1199-1208.
- [6] 余旭涛, 张在琛, 毕光国. 一种Ad hoc网络可靠性度量—网络均衡度[J]. 应用科学学报, 2005, 23(6): 582-585.
- [7] CALEFFI MARCELLO, FERRAIUOLO GIANCARLO. On reliability of dynamic addressing routing protocols in mobile ad hoc networks[EB/OL]. [2008-01-23]. <http://arxiv.org/pdf/0801.4082>.
- [8] 郭 伟. 野战地域通信网可靠性的评价方法[J]. 电子学报, 2000, 28(1): 3-6.
- [9] LUO Peng-cheng, JIN Guang, et al. A review of study on reliability of communication network[J]. Mini-Micro Systems, 2000, 21(10): 1073-1077.
- [10] 丁开盛, 张学渊, 梁雄健. 通信网可靠性的定义及其综合测度指标[J]. 通信学报, 1999, 20(10): 41-44.
- [11] 潘 勇. 通信网络可靠性指标研究[J]. 电子产品可靠性与环境试验, 2006, 24(1): 1-5.
- [12] TORRIERI D. Calculation of node-pair reliability in large networks with unreliable nodes[J]. IEEE Trans on Relia, 1994, 43(3): 375-377.
- [13] WU Jun, TAN Yue-jin. Study on measure of complex network invulnerability[J]. Journal of Systems Engineering, 2005, 20(2): 128-131.

编辑 张 俊