

# 宽带数字下变频的高效实现方法研究

覃 岭<sup>1</sup>, 邓小炜<sup>2</sup>, 何子述<sup>2</sup>, 段军棋<sup>2</sup>

(1. 解放军总参57所 成都 610041; 2. 电子科技大学电子工程学院 成都 610054)

**【摘要】**针对软件无线电接收机中数字下变频的特点,提出了一种合理的基于FPGA实现宽带数字下变频的方案,即分级实现以降低抗混叠滤波器的阶数;并且每级采用不同算法实现滤波抽取以占用不同资源,从而实现FPGA总体资源的合理、高效利用。另外,论述了一种适合FIR抽取滤波器的算法——时钟选择运算法,并通过Altera公司的EP2S60F484C4对该算法进行了测试,验证了它的高效性。

**关键词** 时钟选择运算法; 数字下变频; FIR滤波器; FPGA; 软件无线电  
中图分类号 957.5 文献标识码 A

## Research on High-Efficiently Implementation Technique of Digital Down-Conversion for Wide-Band Signals

QIN Ling<sup>1</sup>, DENG Xiao-wei<sup>2</sup>, HE Zi-shu<sup>2</sup>, and DUAN Jun-qi<sup>2</sup>

(1. Southwest Institute of Electronic & Telecommunication Technology Chengdu 610041;

2. School of Electronic Engineering, University of Electronic Science and Technology of China Chengdu 610054)

**Abstract** Based on the discussion of the structure of digital down-conversion (DDC) in software radio receiver, this paper suggests the classification of decimation filtering to reduce the taps of the anti-aliasing filters, and the suggestion to use different resources at separate step of decimation filtering during the multiple steps, so as to make the resources of FPGA high-efficient utilization. Besides, a new algorithm —— clock-selective-computing algorithm fitting for FIR decimation filter is proposed and tested by Altera's EP2S60F484C4. Results validate that the new algorithm spends less resources.

**Key words** clock-selective-computing algorithm; digital down-conversion; FIR filter; FPGA; software radio

理想的软件无线电要求在天线处进行数字化<sup>[1]</sup>,现有的模数转换(A/D)技术已经能够实现射频直接高速采样,但是后端的数字信号处理(DSP)器件运算速度跟不上。所以,减少运算量和增大速度余量是当前软件无线电设计中重点考虑的两个方面。宽带数字下变频(DDC)的运算量主要集中在数字滤波上,目前大多数研究都基于如何高效地实现数字滤波,由此衍生出了快速实现FIR滤波的各种算法,如分布式算法、多相滤波法等<sup>[2-6]</sup>。本文在数字下变频中滤波抽取复合过程的基础上,提出了在分级实现过程中,每级用不同算法实现滤波抽取以占用不同资源,从而实现资源的合理、高效利用。另外,提出了时钟选择运算法,与当前的各种快速算法结合使用,将滤波和抽取两个过程合二为一,同时进行,从而极大地减少了滤波器的运算量。

## 1 常用FIR算法简介

### 1.1 乘累加算法

设FIR滤波器的单位冲激响应 $h[n]$ 为一个 $N$ 点序列,  $0 \leq n \leq N-1$ ,  $a[n]$ 为输入序列,则FIR滤波器的系统的差分方程可表达为<sup>[7]</sup>:

$$y[n] = h[n] * a[n] = \sum_{m=0}^{N-1} h[m]a[n-m]$$

很明显, FIR滤波的实质就是一个乘累加(multiply-accumulator, MAC)的运算。这种根据FIR基本原理得出的直接乘累加算法在宽带数字下变频中得到广泛的应用。

### 1.2 对称法

根据线性相位FIR滤波器系数的对称特性,首先将对称项相加后再进行乘累加运算。利用对称法可

收稿日期: 2007-03-19; 修回日期: 2007-10-09

基金项目: 部级基金

作者简介: 覃 岭(1965-), 男, 在职博士生, 主要从事阵列信号处理、通信系统等方面的研究。

以节省一半数量的乘法次数。

### 1.3 分布式算法

随着FPGA的查找表(LUT)结构的出现, 分布式算法(distributed arithmetic, DA)也称为查找表法, 得到了越来越多的应用。DA算法的主要特点是利用ROM查找表将固定系数的乘累加运算转化为查表操作。通常, 基于DA算法设计的FIR滤波器比基于MAC设计的速度明显更快, 所以适合用于滤波抽取的第1级。

在实际应用中, 滤波器系数有正有负, 处理的是有符号数的补码的形式。对于量化位数为  $(B+1)$  的有符号DA系统, 分布式算法的基本原理如下:

$$x[n] = -2^B x_B[n] + \sum_{b=0}^{B-1} 2^b x_b[n]$$

式中  $x[n]$  为输入  $x$  的第  $n$  次采样;  $x_b[n]$  为  $x[n]$  的第  $b$  位,  $x_b[n] \in [0,1]$ 。所以有:

$$y = h[n] * x[n] = \sum_{n=0}^{N-1} h[n]x[n] = \sum_{n=0}^{N-1} \left\{ h[n] \left( -2^B x_B[n] + \sum_{b=0}^{B-1} 2^b x_b[n] \right) \right\} = -2^B \sum_{n=0}^{N-1} h[n]x_B[n] + \sum_{b=0}^{B-1} 2^b \sum_{n=0}^{N-1} h[n]x_b[n]$$

可见, 分布式算法在完成乘累加功能时是通过将各输入数据每一对对应位产生的部分积预先进行相加形成相应的部分积, 然后再对各个部分积累加形成最终结果; 而传统算法是当所有乘积已经产生之后再相加来完成乘累加运算<sup>[8]</sup>。

分布式算法可以与对称法结合使用。

### 1.4 多相滤波法

设数字滤波器冲激响应  $h[n]$  的  $z$  变换为  $H(z)$ , 则有:

$$H(z) = \sum_{n=-\infty}^{+\infty} h[n]z^{-n} = \dots + h[-D]z^D + h[-(D-1)]z^{(D-1)} + \dots + h[-1]z^1 + h[0]z^0 + h[1]z^{-1} + \dots + h[D]z^{-D} + h[(D+1)]z^{-(D+1)} + \dots = \dots + h[-D]z^D + h[0]z^0 + h[D]z^{-D} + h[2D]z^{-2D} + \dots + h[-(D+1)]z^{(D+1)} + h[1]z^{-1} + h[(D+1)]z^{-(D+1)} + h[(2D+1)]z^{-(2D+1)} + \dots + h[-(2D-1)]z^{(2D-1)} + h[(D-1)]z^{-(D-1)} + h[(2D-1)]z^{-(2D-1)} + h[(3D-1)]z^{-(3D-1)} + \dots =$$

$$\sum_{K=0}^{D-1} \sum_{n=-\infty}^{+\infty} z^{-K} h[nD+K]z^{-nD} = \sum_{K=0}^{D-1} z^{-K} \left\{ \sum_{n=-\infty}^{+\infty} h[nD+K](z^D)^{-n} \right\}$$

令  $E_K(z) = \sum_{n=-\infty}^{+\infty} e_k(n)z^{-n} = \sum_{n=-\infty}^{+\infty} h[nD+K]z^{-n}$ , 故有:

$$H(z) = \sum_{K=0}^{D-1} z^{-K} E_K(z^D) \tag{1}$$

式(1)即为数字滤波器  $H(z)$  的多相滤波结构。将其应用于抽取器, 可得到抽取器的多相滤波结构, 如图1所示。

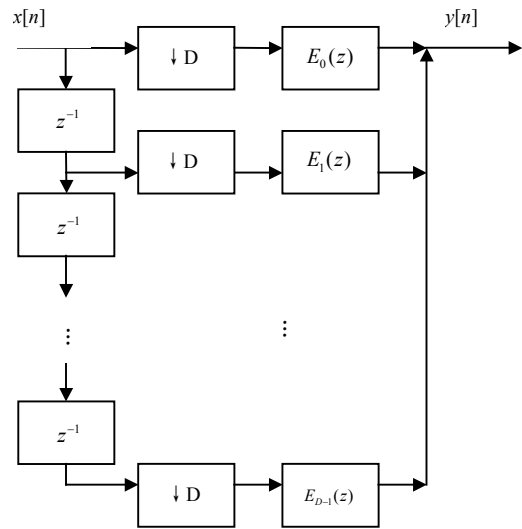


图1 抽取器的多相滤波结构

此时的数字滤波器  $E_k(z)$  均位于抽取器之后, 即滤波是在降速后进行的, 运算量只有传统滤波器算法的  $1/D$ , 这就大大降低了对处理速度的要求, 提高了实时处理能力。

但是, 多相滤波器的缺点在于不能与对称法同时使用。

## 2 时钟选择运算法

针对数字下变频既有滤波又有抽取的特点, 为了达到与多相滤波器同样减少运算量的目的, 同时又可以克服多相滤波法不能与对称法同时使用的缺点, 本文利用FPGA丰富的时钟资源, 提出了一种基于FPGA的时钟选择运算法, 滤波的同时实现抽取。文献[9]提出了类似的算法, 缺点是过于繁琐, 本文将其进行了简化。

基于MAC的时钟选择运算法的基本原理: 设抽取因子为  $D$ , 进入滤波器的信号速率为  $C_0$  (即时钟频率)。如果按照传统算法, 控制乘累加运算的时钟频率就是  $C_0$ , 滤波后再以  $C_0/D$  的时钟频率控制抽

取器实现抽取，这样就相当于乘累加运算中的  $(D-1)/D$  都是无效的。而时钟选择运算法将滤波抽取两个过程合二为一，直接将乘累加这一步的时钟频率改为  $C_0/D$ ，丢弃不必要的数，不需要再单独使用抽取器，使运算量只有传统算法的  $1/D$ ，FPGA作的运算都是有效的。

时钟选择运算法与对称法结合使用时，对称项相加的时钟频率改为  $C_0/D$ ，然后再进行时钟频率为  $C_0/D$  的乘累加运算，此时的运算量只有传统运算量的  $1/2D$ ，小于多相滤波法运算量的  $1/2$ 。以抽取因子  $D=4$ 、FIR阶数等于5的抽取滤波器为例，说明如何结合使用时钟选择运算法与对称法设计基于MAC的FIR抽取滤波器，原理图如图2所示。

$$clk_2 = C_0 / 4$$

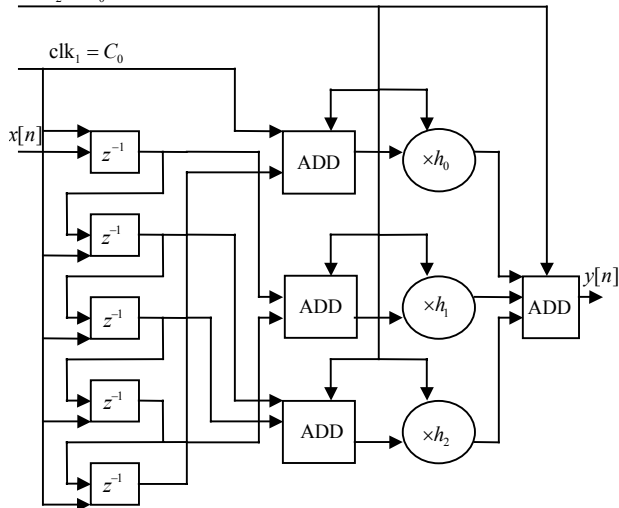


图2 5阶FIR抽取滤波器( $D=4$ )的设计原理

时钟选择运算法也可以与分布式算法结合使用，称为基于DA的时钟选择运算法，其原理与基于MAC的时钟选择运算法类似，适合滤波抽取多级实现中的第1级实现。

### 3 宽带数字下变频电路滤波抽取部分的设计及测试

本文以一个典型例子说明宽带数字下变频电路滤波抽取部分高效实现的设计方法。设数字信号带宽为50 MHz，采样频率为250 Ms/s，输出速率为62.5 MHz，抽取因子  $D=4$ ，分两级实现以降低抗混叠滤波器阶数， $D=D_1 \times D_2 = 2 \times 2$ ，如图3所示。

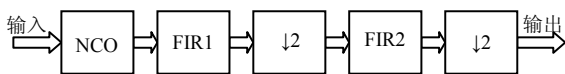


图3 DDC分级实现框图

首先用Matlab最优滤波器法产生滤波器系数，两级滤波器阶数分别为27和95。根据上述多种滤波

器算法的比较分析，第1级抽取滤波器采用与对称法结合使用的基于DA的时钟选择运算法，运算速度快，主要占用查找表资源；第2级抽取滤波器采用与对称法结合使用的基于MAC的时钟选择运算法，主要占用乘法器资源。下面以第2级为例，说明时钟选择运算法的优越性，结果均由Quartus II 6.0仿真得出。

图4所示为与对称法结合使用的基于MAC的时钟选择运算法设计的FIR滤波器的波形图。

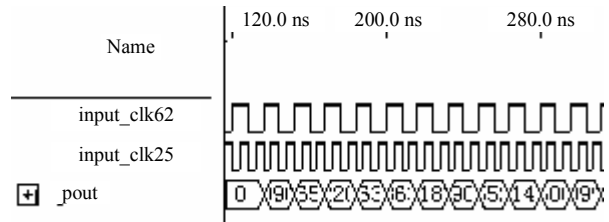


图4 FIR滤波器的波形图

表1为FIR滤波器输出结果与Matlab仿真结果的比较。实际结果与理论结果基本一致，存在误差的主要原因是FPGA实现时量化误差导致的，这是不可避免的。

表1 理论与实际结果比较

$n$	理论输入	实际输入	理论输出	实际输出
1	0.000 345	0.000 343	$5.969 5 \times 10^{-8}$	$5.762 6 \times 10^{-8}$
2	-0.001 165	-0.001 159	$-9.966 3 \times 10^{-7}$	$-9.662 0 \times 10^{-7}$
3	-0.004 354	-0.004 348	$2.539 4 \times 10^{-6}$	$2.456 7 \times 10^{-6}$
4	0.016 488	0.016 487	$1.790 3 \times 10^{-5}$	$1.725 1 \times 10^{-5}$
⋮	⋮	⋮	⋮	⋮
20	-0.468 990	-0.468 980	-0.023 826	-0.022 614
21	-0.311 270	-0.311 270	0.031 292	0.030 516
22	0.272 620	0.272 620	-0.035 144	-0.035 112
23	0.483 420	0.483 420	0.033 304	0.034 090

表2为各种算法的仿真结果比较，FPGA器件选择均为Altera公司的EP2S60F484C4<sup>[10]</sup>。从表2可以看出，时钟选择运算法所占资源最少，乘法器运算速度余量也几乎是最大的，体现了时钟选择运算法的优越性。

表2 各种算法资源占用情况比较

	自适应查找表	寄存器	9位×9位嵌入式乘法器	乘法器运算余量/ns
对称法与乘累加算法结合	4 769	4 766	90	0.477
多相滤波法	6 775	6 769	192	8.796
对称法与时钟选择运算法结合	4 729	4 726	90	8.793

(下转第708页)

量项引入模型中,从而克服了重新初始化的缺点;在数值实现方面采用了AOS算子,相对于传统的数值方法,它克服了迭代对时间步长的限制,可以选择大步长,而且绝对稳定;对多目标采用曲线族作为初始曲线的方法来提高演化速度。实验表明,改进后的模型相对原模型的速度有大幅度的提高。

### 参考文献

- [1] CHAN T, VESE L. Active contours without edges[J]. IEEE Trans on Image Processing, 2001, 10(2): 266-277.
- [2] ADALSTEINSSON D, SETHIAN J A. A fast level set method for propagating interfaces[J]. Journal of Computational Physics, 1995, 118(2): 269-277.
- [3] SETHIAN J A. A fast marching level set method for monotonically advancing fronts[J]. Proc Nat Acad Sci, 1996, 93(4): 1591-1595.
- [4] 林亚中,程跃斌,陈武凡.一种水平集分割的快速算法[J].南方医科大学学报,2006,26(6):764-766.  
LIN Ya-zhong, CHENG Yue-bin, CHEN Wu-fan. A fast approach for level set segmentation[J]. Journal of Southern Medical University, 2006, 26(6): 764-766.
- [5] WANG J N, LI L, WU B Y. An improved approach to image segmentation based on mumfordShah model [C]//Machine Learning and Cybernetics, 2006 International Conference on. Dalian: IEEE, 2006: 3996-4001.
- [6] LI C, XU C, GUI C, et al. Level set evolution with out reinitialization: a new variational formulation[C]//IEEE International Conference on Computer Vision and Pattern Recognition (CVPR). San Diego: IEEE, 2005, 1: 430-436.
- [7] OSHER S, FEDKIW R. Level set methods and dynamic implicit surfaces[M]. New York: Springer-Verlag, 2003.
- [8] OSHER S, SETHIAN J A. Fronts propagating with curvature dependent speed: Algorithms based on the Hamilton-Jacobi formulation[J]. Journal of Computational Physics, 1988, 79(1): 12-49.
- [9] WEICKERT J, ROMENY B M H, VIERGEVER M A. Efficient and reliable schemes for nonlinear diffusion filtering[J]. IEEE Transactions on Image Processing, 1998, 7(3): 398-410.
- [10] WEICKERT J, KÜHNE G. Fast implicit active contour models[M]. Berlin: SprinAer-Verlag, 2002: 133-140.
- [11] CASELLES V, KIMMEL R, SAPIRO G. Geodesic active contours[J]. Int'l J Comp Vis, 1997, 22: 61-79.

编辑 漆蓉

(上接第700页)

## 4 结束语

针对基于FPGA的宽带数字下变频的特点,本文提出了分级实现以降低抗混叠滤波器阶数,并且每级用不同算法实现滤波抽取以占用不同资源。论述了一种同时进行滤波抽取的抽取滤波器算法——时钟选择运算法;并介绍了时钟选择运算法与对称法、DA算法、MAC算法的结合使用。根据多次比较得出的结果,本文的算法所占资源最为合理、高效。

### 参考文献

- [1] 杨小牛,楼才义,徐建良.软件无线电原理与应用[M].北京:电子工业出版社,2004.  
YANG Xiao-niu, LOU Cai-yi, XU Jian-liang. Principles and applications for software radio[M]. Beijing: Publishing House of Electronics Industry, 2004
- [2] DANIEL R Z, DAVID L S, TIMOTHY W F. A hardware-efficient, multirate, digital channelized receiver architecture[J]. IEEE Transactions on Aerospace and Electronic Systems, 1998, 34(1): 137-151.
- [3] HOLLIS T, WEIR R. The theory of digital down converse on[EB/OL]. [2007-01-26]. <http://www.hunteng.co.uk/pdfs/tech/ddctheory.pdf>.
- [4] OHTA L S, HATTORI M, MATSUO H. Development of super broadband interferometer in FIR[J]. Proc of SPIE, 2004, 5487: 1563-1571.
- [5] 赵瑞杰,赖晓平.复FIR数字滤波器幅值约束Chebyshev设计[J].电子学报,2006,34(9):1694-1699.  
ZHAO Rui-jie, LAI Xiao-ping. Chebyshev design of complex FIR digital filters with magnitude constraints[J]. Acta Electronica Sinica, 2006, 34(9): 1694-1699.
- [6] CHENG C, PARHI K K. Low-cost parallel FIR filter structures with 2-stage parallelism[J]. IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, 2007: 54(2): 280-290.
- [7] 程佩青.数字信号处理教程[M].第2版.北京:清华大学出版社,2001.  
CHENG Pei-qing. Digital signal processing[M]. 2nd ed. Beijing: Tsinghua University Press, 2001.
- [8] 刘朋全.基于FPGA的FIR数字滤波器的设计和实现[D].西安:西北工业大学,2006.  
LIU Peng-quan. Design and implementation of FIR digital filter based on FPGA[D]. Xi'an: North Western Polytechnical University, 2006.
- [9] 白剑,杨伟,白应林,等. FIR抽取滤波器高效实现算法[J].无线电工程,2004,34(8):15-16.,  
BAI Jian, YANG Wei, BAI Yin-lin, et al. An effective implementation algorithm for FIR decimation filter[J]. Radio Engineering of China, 2004, 34(8): 15-16.

编辑 税红