

· 电子信息材料与器件 ·

新型流水线ADC的设计与分析

程梦璋¹, 景为平²

(1. 华侨大学信息科学与工程学院 福建 泉州 362011; 2. 南通大学江苏省专用集成电路重点实验室 江苏 南通 226007)

【摘要】设计和分析了一种新型的流水线式模数转换器。电路设计主要包括一种开关采样差分折叠式共源共栅增益级、两个时钟控制动态比较器组成的两位模数转换器、两位数模转换器。由于采用了电容下极板采样、全差分 and 开关栅电压自举, 有效地消除了开关管的电荷注入效应、时钟馈通效应引起的采样信号的误差, 提高了模数转换器的线性度、信噪比、转换精度和速度。该转换器的设计是在0.6 μm CMOS工艺下实现, 转换器在采样频率为5 MHz、信号频率为500 kHz时功耗为70 mW; SFDR为80 dB。

关键词 折叠式; 流水线; 采样/保持电路; 信噪比
中图分类号 TN402 **文献标识码** A

Design and Analysis of a Novel Pipelined ADC

CHENG Meng-zhang¹ and JING Wei-ping²

(1. College of Information Science and Engineering, Huaqiao University Quanzhou Fujian 362011;
2. Jiangsu Province Key Lab. of ASIC Design, Nantong University Nantong Jiangsu 226007)

Abstract A novel pipelined ADC is designed. The key circuit design includes a switch sample/hold differential folded common source, common gate op amp, a two-bit ADC, and a two-bit DAC. Since the capacitance bottom plate sampling, the fully differential structure, and the bootstrapped switch are employed, the charge injection error of switch MOSFET and the effect of clock feed-through are eliminated; the linearity, SNR, resolution, and speed of the ADC are improved. The ADC have been simulated in 0.6 μm CMOS process with input frequency of 500 kHz, sample frequency of 5 MHz, power consumption of 70 mW, and SFDR of 65dB.

Key words folded cascode; pipeline; sample/hold circuit; signal to noise ratio

近年来, 高性能的模数转换器的研究主要集中在快闪型、折叠插入型、逐次逼近型、 Σ - Δ 型和流水线型模数转换器。在这5种结构中, 快闪型的速度最快, 但其硬件的要求与转换器的位数(即精度)呈指数关系, 很难实现8位以上的模数转换器; 折叠插入型的速度略低于快闪型, 且具有较高的精度和较低的功耗, 但其芯片的面积很大; 逐次逼近型可实现低功耗, 但其转换速度只能在1 MHz以下, 难以实现高速的要求; Σ - Δ 型可以实现很高的分辨率, 但仅限于中低速工作; 流水线型在实现较高精度的同时, 仍可以保持较高的速度和较低的功耗, 可以在速度、精度、功耗和芯片面积之间达到最好的折中, 非常适合于单元系统集成和便携式电子设备的应用。

本文基于0.6 μm CMOS工艺, 设计了一种10位分辨率, 5 MHz采样频率流水线型模数转换器。该

转换器的基本电路设计主要包括两倍增益差分采样保持电路、两位模数转换器、两位数模转换器。

1 10位流水线型A/D转换器的结构

本文的10位精度A/D转换器是典型的每级1.5位分辨率的9级流水线结构^[1-3], 其基本结构如图1所示。其中, 前8级采用基本相同的1.5位子级; 第9级是一个2位的子级。每级流水线单元由1个2位子模数转换器、1个2位子数模转换器和1个二倍放大倍数的增益级组成。1.5位是指有效输出为1位, 冗余位为0.5。每一级的输入模拟信号经2位的子A/D转换器和2位的子D/A转换器后产生2位的数字信号输出; 同时产生相应的差分模拟信号; 输入模拟信号经增益电路放大两倍和该级的输出模拟信号的差(余量)送到下一级。由9级产生的18位数字量送到数字纠错电

收稿日期: 2007-09-12; 修回日期: 2008-02-11

基金项目: 江苏省“六大人才高峰”第二批项目

作者简介: 程梦璋(1956-), 男, 教授, 主要从事模数混合集成电路方面的研究。

路产生10位的数字输出。

数字纠错电路的基本原理是采用9个全加器将每级子模数转换器的两位输出的低位和下一级的高位数字量相加, 因此其结果消除了冗余码, 得到了精确的10位输出。由于最后一级没有冗余校正位, 是一种标准的2位分辨率单元。

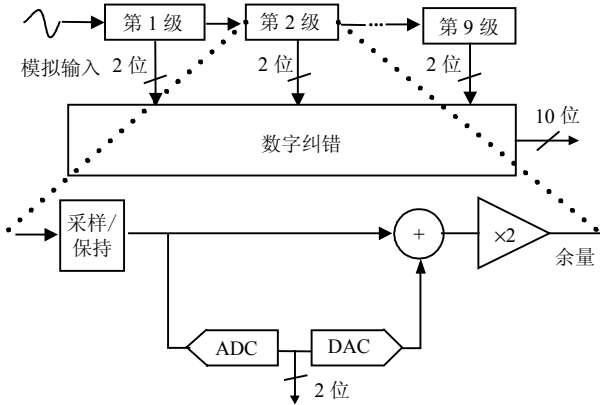


图1 10位流水线型模数转换器结构

2 差分采样/保持电路的设计

两倍增益差分采样/保持电路由一个运算放大器和开关管、采样电容和控制时钟等外围元件构成^[4-5], 如图2所示。图中, V_i 为差分输入信号; V_{out} 为差分输出信号; V_{CM} 为运放输入、输出共模电压; V_{dac} 为本级产生的模拟电压。电路采用了电容下极板采样消除了开关管的电荷注入效应所产生的采样误差, 利用双输入、双输出折叠式共源共栅放大器消除了开关管的时钟馈通效应。本文设计了一种自举电压开关电路来代替所有采样管, 提高了模数转换器的线性度。

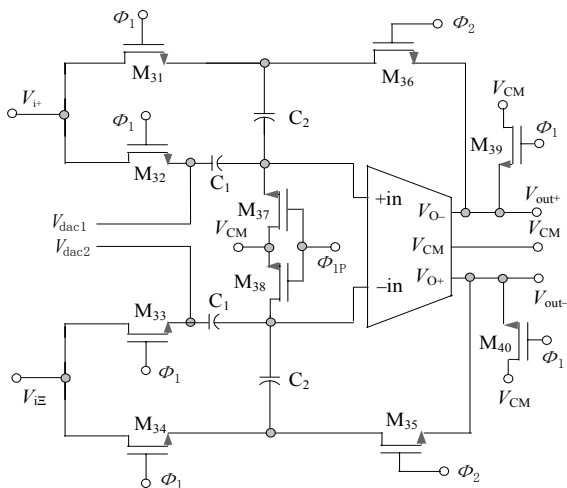


图2 两倍增益差分式采样保持电路

电路的工作原理: 当时钟 ϕ_1 和 ϕ_{1P} 为高电平、 ϕ_2 为低电平时, 输入电压被采样到两个电容量完全相

等的电容 C_1 和 C_2 上, 其存储电荷为:

$$Q_{1,2} = C_{1,2}(V_i - V_{CM} \pm V_{OS}) \quad (1)$$

式中 V_{OS} 为运算放大器的输入失调电压; 输入电压 V_i 从 $+V_{ref} \sim -V_{ref}$ 。当时钟 ϕ_1 和 ϕ_{1P} 为低电平、 ϕ_2 为高电平时, 电容 C_2 和运放构成闭环电路。由于两个电容的电容量相等, 根据电容上的电荷守恒定律, 电路的差分输出为:

$$V_{out} = \left[1 + \frac{C_1}{C_2}\right] V_i - \frac{C_1}{C_2} V_{dac} \quad (2)$$

$$V_{out} = 2V_i - V_{dac} \quad (3)$$

所以, 该电路实现了将输入模拟信号采样, 将其放大二倍后与本级的模拟信号相减的功能。

为了提高运放的小信号低频放大倍数和反应速度, 本文设计了一种差分单级折叠式共源共栅放大器, 其主体电路如图3所示。

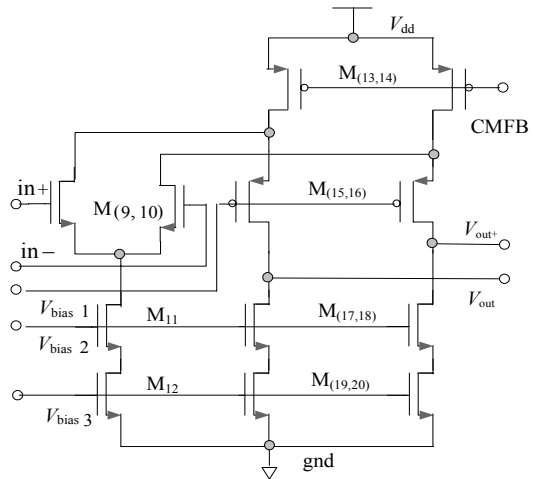


图3 折叠式共源共栅运算放大器

在图3中, M_9 和 M_{10} 为差分输入对管; M_{11} 和 M_{12} 是差分输入对管的尾电流电路, 为增加放大器的电源电压波动抑制能力, 提高尾电流电路的输出电阻, 该尾电流电路设计成共源共栅电路; $M_{13} \sim M_{16}$ 构成PMOS管的共源共栅放大电路和差分输入对管组成折叠式共源共栅放大器, 同样, $M_{17} \sim M_{20}$ 分别构成两个支路的共源共栅电流源。和简单的标准差分式运算放大器相比, 该放大器在用单级放大器实现了近似于两级标准差分式运算放大器的小信号低频放大倍数的同时也大大减少了运放的建立时间。

对于10位精度, 5 MHz的流水线式模数转换器, 因为采样频率为5 MHz, 则模数转换器的转换周期为200 ns, 一般用于采样保持时间要小于半个转换周期, 采样保持电路要在60 ns的时间内达到LSB/2, 所以运放的增益要大于67 dB, 运放的建立时间要小于30 ns。

采用0.6 μm CMOS工艺模型所得到的放大器小信号交流仿真特性如图4所示(负载电容为2 pF)。开环小信号增益为76 dB，单位增益带宽为146 MHz，相位裕度为57°，建立时间为25 ns。

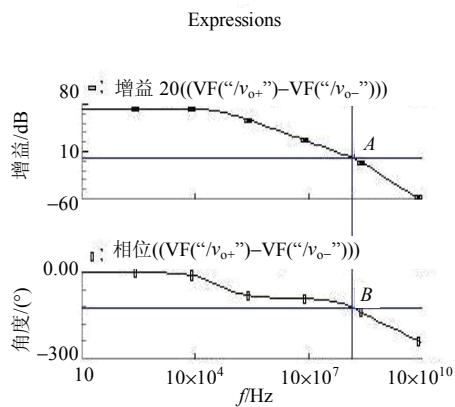


图4 运算放大器的增益相位曲线

3 两位模数转换电路的设计

两位模数转换电路是由两个时钟控制的动态比较器组成^[6-8]。其比较电压为 $-V_{ref}/4$ 和 $+V_{ref}/4$ ，输出为 A_1 、 A_2 、 B_1 、 B_2 。该输出信号输入到该级的两位数字模数转换电路分别产生本级的两个数字量和相对应的模拟信号。

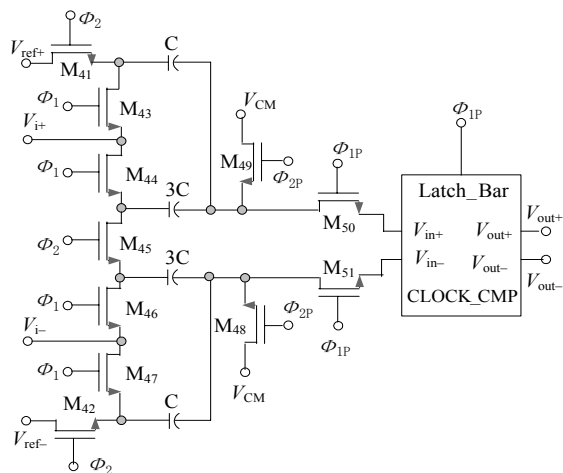


图5 采样保持比较器电路

本文设计的采样保持时钟控制比较器电路如图5所示，其工作原理如下：当 ϕ_2 为高电平时， V_{ref+} 对C充电，则电容C上的电荷为：

$$Q = (V_{ref+} - V_{CM})C \quad (4)$$

当 ϕ_2 变为低电平时，电容C右极板的电位保持不变，当 ϕ_1 为高电平时，C上的电荷分配给电容3C，

C两端的电压下降为：

$$V_{i+} - V_{in+} = \frac{Q}{C + 3C} = \frac{V_{ref+} - V_{CM}}{4} \quad (5)$$

式中 V_{in+} 表示比较器的正端的输入电压，通过式(5)可得：

$$V_{in+} = V_{i+} - \frac{V_{ref+} - V_{CM}}{4} \quad (6)$$

同理在比较器的负输入端：

$$V_{in-} = V_{i-} - \frac{V_{ref-} - V_{CM}}{4} \quad (7)$$

式(6)和式(7)相减，得：

$$V_{in+} - V_{in-} = V_{i+} - V_{i-} - \left(\frac{V_{ref+} - V_{ref-}}{4} \right) \quad (8)$$

从式(8)可知，比较器产生 $+V_{ref}/4$ 的阈值电压。两位模数转换电路需要两个比较器，其比较阈值电压分别为 $+V_{ref}/4$ 和 $-V_{ref}/4$ 。对于 $-V_{ref}/4$ 阈值电压的产生，只要将图5中的 V_{ref+} 和 V_{ref-} 对调即可。

4 两位数字模数转换电路的设计

本级设计的两位数字模数转换电路^[9-10]如图6所示，其中， A_1 、 A_2 、 B_1 、 B_2 为本级的两位模数转换电路的输出信号；MSB、LSB为本级的两位数字信号输出； V_{DAC1} 、 V_{DAC2} 是本级的模拟输出信号。

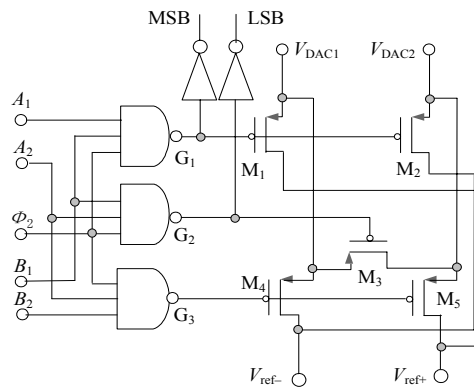


图6 两位数字模数转换电路

该电路是在时钟 ϕ_2 控制下进行数模转换。从图6可知：

$$G_1 = \overline{A_1 B_1} \phi_2 \quad (9)$$

$$G_2 = \overline{A_2 B_1} \phi_2 \quad (10)$$

$$G_3 = \overline{A_2 B_2} \phi_2 \quad (11)$$

当 ϕ_2 为低电平， G_1 、 G_2 、 G_3 都为1，则该电路的数字输出为0，且5个PMOS管都截止，模拟差分输出为高阻抗。当 ϕ_2 为高电平时的本级各模块的输出信号如表1所示。

表1 1.5位/级流水线ADC的输出状态表

$A_{1,2}$	$B_{1,2}$	Φ_2	MSB	LSB	V_{dac}
X	X	0	0	0	X
01	01	1	0	0	$+V_{ref}$
01	10	1	0	1	0
10	10	1	1	0	$-V_{ref}$

5 仿真结果

根据流水线型A/D转换器每级1.5位的量化误差原理, 其输入、输出的数学模型表示如下:

$$V_{out} = \begin{cases} 2V_i + V_{ref}, d = 00 & V_i < -0.25 V \\ 2V_i, d = 01 & -0.25 V \leq V_i \leq +0.25 V \\ 2V_i, V_{ref}, d = 00 & V_i > +0.25 V \end{cases}$$

式中 d 为本级的两位量化数字输出。

表2为1.5位/级流水线ADC模拟和数字输出的计算和仿真结果, 仿真和理论计算的结果完全吻合。

表2 1.5位/级模拟输出的计算和仿真

V_i/V	d	计算/V	仿真/V
1.0	10	1.0	1.0
0.8	10	0.6	0.6
0.6	10	0.2	0.2
0.2	01	0.4	0.4
-0.2	01	-0.4	-0.4
-0.6	00	-0.2	-0.2
-1.0	00	-1.0	-1.0

图7是采样频率为5 MHz, 输入正弦波频率为500 kHz, 峰-峰值为1 V, 取样点为2 048的FFT噪声频谱特性曲线。其最大噪声谐波是三次谐波, SFDR为80 dB, 满足了模数转换器对信噪比的要求。另外, 经电路的仿真结果可得, 其功耗为70 mW。

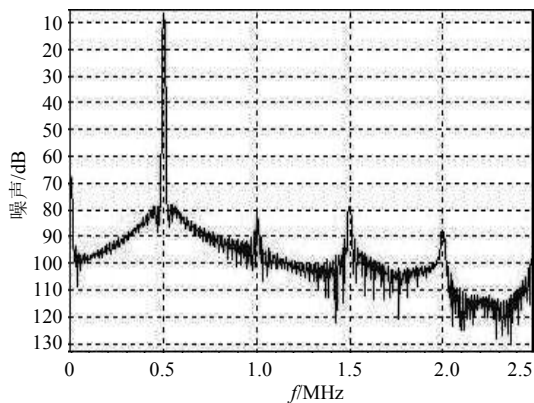


图7 流水线A/D转换器输出频谱图

6 结论

本文设计和分析了一种10位分辨率、5 MHz采

样频率流水线式模数转换器。该转换器工作电源电压为5 V, 以5 MHz采样率、输入信号为500 kHz频率条件下的仿真可以实现80 dB的SFDR。该转换器采用下极板开关采样差分折叠式共源共栅放大器和由时钟控制的下极板开关采样动态比较器组成的两位模数转换器, 消除了开关管与输入信号相关的电荷注入效应和采样脉冲馈通效应, 减小了由于放大器有限增益和建立时间所带来的采样误差; 利用了自举升压式开关电路, 减小了开关管的非线性。通过对仿真结果的分析, 该1.5位/级、采样频率为5 MHz的流水线A/D转换器设计满足了10位精度的要求。

参 考 文 献

- [1] ALLEN P E, HOLBERG D R. CMOS analog circuit design[M]. New York, USA: Oxford University Press Inc, 2002: 134-143.
- [2] BEHZED R. Design of analog CMOS integrated circuit[M]. Columbus, OH, USA: The McGraw-Hill Companies Inc, 2002: 239-279.
- [3] IROAGA E, MURMANN B. A 12-bit 75 MS/s pipelined ADC using incomplete settling[J]. IEEE J Solid-State Circuits, 2007, 42(4): 748-752.
- [4] ALI A M A, DILLON C, SNEED R, et al. A 142 bit 125 MS/s IF/ RF sampling pipelined ADC with 100 dB SFDR and 50 fs jitter[J]. IEEE J Solid-State Circuits, 2006, 41(8): 1846-1847.
- [5] BARDSLEY S, DILLON C, KUMMARAGUNTLA R, et al. A 100-dB SFDR 80MSPS 14-bit 0.35- μ m BiCMOS pipeline ADC[J]. IEEE J Solid-State Circuits, 2006, 41(9): 2144-2149.
- [6] 王红梅, 李福乐, 李冬梅. 一种流水线结构A/D转化器的速度分析方法[J]. 电子科技大学学报, 2006, 35(6): 913-916.
WANG Hong-mei, LI Fu-le, LI Dong-mei, et al. A speed analysis methodology for pipelined A/D converters[J]. Journal of University of Electronic Science and Technology of China, 2006, 35(6): 913-916.
- [7] LEWIS S H, GRAY P R. A pipeline 5-Msample/s 9-bit CMOS analog-to-digital converter[J]. IEEE J SSC, 1987, 22(6): 954-961.
- [8] BULT K, GEELLEN G. A fast-steering CMOS op amp for SC circuit with 90-dB DC gain[J]. IEEE J SSC, 1990, 25(6): 1379-1384.
- [9] LEWIS S H, FETTERMAN H S. 10-b 20 Msample/s analog to digital converter[J]. IEEE J SSC, 1992, 27: 351-358.
- [10] CHOUIA Y, EL-SANKARY K. 50 MS/s CMOS front-end sample and hold module dedicated to a pipelined ADC[J]. IEEE Circ and Syst, 2004, 1(3): 353-356.

编辑 漆 蓉