AVS高清视频帧间补偿结构与电路实现

黄　玄，陈　杰，李　霞，周　莉

(中国科学院微电子研究所　北京 朝阳区　100029)

【摘要】设计了一种适用于AVS高清解码的高性能帧间像素补偿结构，其优点是每个时钟周期产生1个预测像素；采用双端口存储器，同时执行输入数据的接收与预测像素的计算，减少了数据延迟；像素补偿采用三级流水的插值结构提高频率，并采用三级复用的滤波单元计算1/4预测像素来节省电路开销。在VCS中对该模块进行了仿真，在0.18 μm工艺下进行综合，最高频率可达到395 MHz。在250 MHz频率下综合面积为3.8×10^4等效逻辑门，具有高性能、低成本的特点，完全满足AVS高清实时解码需求。

关　键　词　数字音视频编解码技术标准;　高清数字电视;　流水线;　像素补偿

中图分类号　TN918;　O332　　**文献标识码**　A　　doi: 10. 3969/j. issn. 1001-0548. 2009. 02. 11

Architecture and VLSI Implementation of Inter Compensator for AVS HDTV Application

HUANG Xuan, CHEN Jie, LI Xia, and ZHOU Li

(Institute of Microelectronics, Chinese Academy of Science　Chaoyang Beijing　100029)

Abstract　An efficient inter predictive pixel compensator for audio video coding standard (AVS) is presented. It generates one predictive pixel result per cycle and uses dual-port memory to reduce data latency. 3-stage pipeline architecture is used to calculate compensation pixel for increasing frequency and 3-stage reusable filters are used to calculate the 1/4 predictive pixel for saving circuit cost. Simulation shows that the module implemented can achieve AVS HD real-time decoding.

Key words　AVS;　high definition televison;　pipeline;　predictive pixel compensator

《信息技术先进音视频编码》系列标准(AVS)适用于数字电视广播、交互式存储媒体等业务应用中[1]，具有压缩率高、复杂度适中、专利成本低廉等特点。相比于MPEG2[2]、MPEG4[3]的帧间预测，AVS将预测块大小进一步分割，具有更高的预测精度，并提高了压缩比；相比于H.264，AVS不对8×8的块进行进一步的分割，减少了预测模式的种类和预测数据的带宽需求。AVS采用了1/4(亮度)和1/8(色度)精度预测，提升了图像信噪比，并增大了图像的压缩比。

1/4或1/8精度的帧间预测增加了数据带宽需求和运算复杂度，根据文献[4-5]可知，1/4或1/8精度像素补偿占用了高清解码时间开销的约50%，往往成为解码器性能瓶颈；高精度预测增加了预测数据读取时间。经过存储器带宽分析，采用32 bit的SDRAM，帧间像素补偿需要占用约65%的SDRAM存储器带宽；并且高精度的预测需要大量的滤波运算单元，大大增加了解码器面积。本文提出一种每周期产生一个预测结果的帧间补偿结构，具有以下特点：(1) 内置双端口存储器，能在接收预测数据输入的同时，读出预测数据进行1/4或1/8精度预测运算。(2) 采用亮度和色度预测共用存储单元的方法，减少了存储单元数量。(3) 采用三级流水亮度像素预测结构，每级采用复用的滤波单元，大大减小了模块面积。(4) 采用三级流水色度像素预测结构，减少了色度插值乘法器给系统频率带来的影响。

1　算法描述

帧间预测分为分亮度预测和色度预测。亮度块预测精度为1/4像素，预测数据通过一系列的4抽头滤波器滤波得到了预测像素，色度块预测精度为1/8像素，预测数据通过4次乘累加操作，得到预测像素。

1.1　亮度预测

亮度预测中的1/2样本预测值通过4抽头滤波器

收稿日期：2007 – 11 – 09；修回日期：2008 – 03 – 23
基金项目：国家自然科学基金(60425413)
作者简介：黄　玄(1982 –)，男，博士生，主要从事多媒体SoC设计方面的研究.

$F_1(-1, 5, 5, -1)$计算得到，1/4样本预测值通过4抽头滤波器$F_2(1, 7, 7, 1)$计算得到[1]。

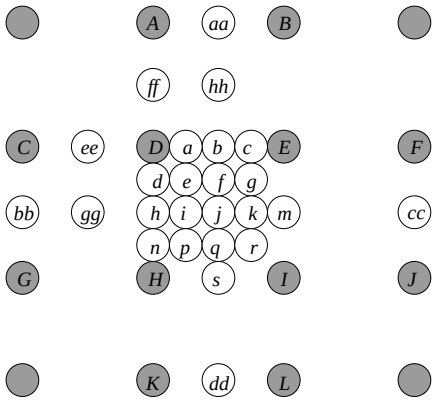

图1　整数样本、1/2样本、1/4样本位置

1.2　1/2样本计算过程

(1) 样本 b：首先用 F_1 对水平方向上最近的 4 个整数样本滤波，得到中间值 $b'=(-C+5D+5E-F)$；最终的预测值 $b=\mathrm{Clip}_1((b'+4)>>3)$。

(2) 样本 h：首先用 F_1 对垂直方向上最近的 4 个整数样本滤波，得到中间值 $h'=(-A+5D+5H-K)$；最终的预测值 $h=\mathrm{Clip}_1((h'+4)>>3)$。

(3) 样本 j：首先用 F_1 在水平或垂直方向上对最近的 4 个 1/2 样本中间值滤波，得到中间值 $j'=(-bb'+5h'+5m'-cc')$ 或 $j'=(-aa'+5b'+5s'-dd')$。其中，aa'、dd'和 s'是相应位置 1/2 样本中间值(用 F_1 在水平方向滤波得到)，bb'、cc'和 m'是相应位置 1/2 样本中间值。最终的预测值为 $j=\mathrm{Clip}_1((j'+32)>>6)$。

1.3　1/4样本计算过程

(1) 样本 a：首先用 F_2 在水平方向上对 ee'、D'、b'和 E'共 4 个值滤波，得到中间值 $a'=(ee'+7D'+7b'+E')$；最终的预测值 $a=\mathrm{Clip}_1((a'+64)>>7)$。其中，$ee'$和 b'是相应位置 1/2 样本中间值；D'和 E'是相应位置整数样本放大 8 倍的值。1/4 样本 c 的插值过程与 a 的插值过程相同。

(2) 样本 d：首先用 F_2 在垂直方向上对 ff'、D'、h'和 H'共 4 个值滤波，得到中间值 $d'=(ff'+7D'+7h'+H')$；最终的预测值 $d=\mathrm{Clip}_1((d'+64)>>7)$。其中，$ff'$和 h'是相应位置 1/2 样本中间值；D'和 H'是相应位置整数样本放大 8 倍的值。1/4 样本 n 的插值过程与 d 的插值过程相同。

(3) 样本 i：首先用 F_2 在水平方向上对 gg'、h''、j'和 m''共 4 个值滤波，得到中间值 $i'=(gg'+7h''+7j'+m'')$；最终的预测值 $i=\mathrm{Clip}_1((i'+512)>>10)$。其中，$gg'$和 j'是相应位置 1/2 中间值；h''和 m''是相应位置 1/2 样本中间值放大 8 倍的值。1/4 样本 k 的插值过程与 i 的插值过程相同。

(4) 样本 f：用 F_2 在垂直方向上对 hh'、b''、j'和 s'' 共 4 个值滤波，得到中间值 $f'=(hh'+7b''+7j'+s'')$；最终的预测值 $f'=\mathrm{Clip}_1((f'+512)>>10)$。其中，$hh'$和 j'是相应位置 1/2 中间值；b''和 s''是相应位置 1/2 样本中间值放大 8 倍的值。1/4 样本 q 的插值过程与 f 的插值过程相同。

(5) 1/4 样本 e、g、p、r 分别为：

$$e=\mathrm{Clip}((D''+j'+64)>>7)$$
$$g=\mathrm{Clip}((E''+j'+64)>>7)$$
$$p=\mathrm{Clip}((H''+j'+64)>>7)$$
$$r=\mathrm{Clip}((I''+j'+64)>>7)$$

式中　D''、E''、H''和I''是相应整数样本放大64倍的值；j'是相应位置1/2样本中间值。

1.4　色度预测

色度预测精度为1/8像素。A、B、C、D是被插值样本周围的整数样本值，dx与dy分别是预测样本与A的水平和垂直距离。预测公式如下：

$$\mathrm{predmatrix}[x,y]=\mathrm{Clip}_1(((8-\mathrm{d}x)(8-\mathrm{d}y)A+\mathrm{d}x(8-\mathrm{d}y)B)+(8-\mathrm{d}x)\mathrm{d}yC+\mathrm{d}x\mathrm{d}yD+32)>>6)$$

2　硬件设计

帧间像素补偿硬件架构如图2所示，　其架构由状态控制器、FIFO存储器、插值样点寄存器堆、亮度预测器、色度预测器以及加权预测器组成。

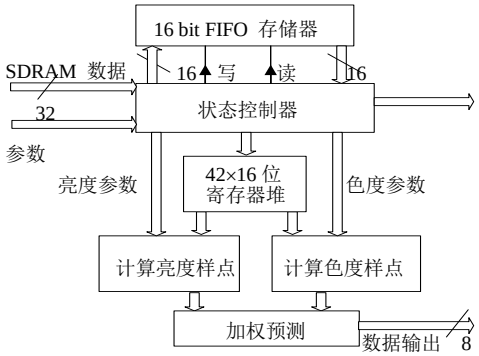

图2　帧间像素补偿结构

2.1　状态控制器

状态控制器对补偿过程进行控制，它包含数据接收控制器和像素预测控制器。数据接收控制器接收外部数据，并将其写入FIFO，FIFO包含91个位宽为16位的存储单元，其大小可以存放一个8×8 block插值所需的预测数据，通过设计输入数据时序以保证FIFO不会发生上溢和下溢。像素预测控制器根据

FIFO的状态读出FIFO中的数据，将其输出至寄存器堆；当寄存器堆数据有效时，插值运算模块在像素预测控制器控制下，对寄存器中的预测样本进行运算，输出有效的预测结果。

2.2 寄存器堆

根据AVS算法描述，一个预测样本插值过程至多需要6行的样本数据，每行至多需要13个样本数据。寄存器堆按照6行，每行7个单元，每个单元存放2个像素的结构组织，如图3所示。

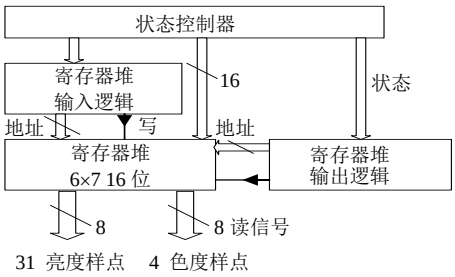

图3 寄存器堆结构示意图

寄存器堆输入逻辑将FIFO输出数据写入相应寄存器。如果是亮度预测，寄存器堆输出逻辑每个周期从寄存器堆中读出31个亮度预测数据，送至亮度预测运算器；如果是色度预测，读出4个色度预测数据，送至色度预测器进行运算。

2.3 亮度预测运算器

亮度预测运算器采用复用滤波器单元F_1及F_2，F_1 实现4抽头滤波器$F_1(-1, 5, 5, -1)$的运算功能，F_2实现4抽头滤波器$F_2(1, 7, 7, 1)$的运算功能。如图4所示，亮度预测像素生成结构由上至下分为三级流水，一共包含8个可复用的插值滤波器单元，每个滤波器采用寄存器作为输入，并对输出结果进行移位截断处理。第一级流水包含filter0-4 ，实现F_1滤波功能；第二级流水包含filter5-6，采用扩展位宽的F_1滤波单元；第三级流水操作包含 filter7，采用滤波单元F_2。

F_1与F_2滤波单元功能与结构描述为：

$$F_{1_out} = -F_{1_in0} + 5F_{1_in1} + 5F_{1_in2} - F_{1_in3}$$

$$F_{2_out} = -F_{2_in0} + 7\times F_{2_in1} + 7\times F_{2_in2} + F_{2_in3} + F_{2_in4}$$

本文通过改变F_1和F_2滤波器的输入像素来进行不同1/4精度预测的运算，如图5所示。每级滤波器的输入信号由输入多选逻辑产生，一共需要三级输入多选逻辑，输入控制逻辑根据(xFracL, yFracL)1/4精度标志来选择合适的数据作为滤波器的输入。当predMatrix[x,y]为 f、j、k、q 时需要进行三级流水运算；对于其他1/4精度预测情况下，只需要两级流水就可以计算得出插值结果，将结果延迟一个周期后输出。

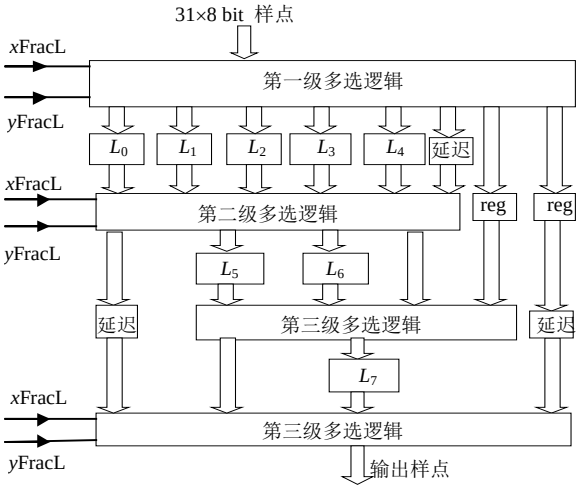

图4 亮度预测运算器

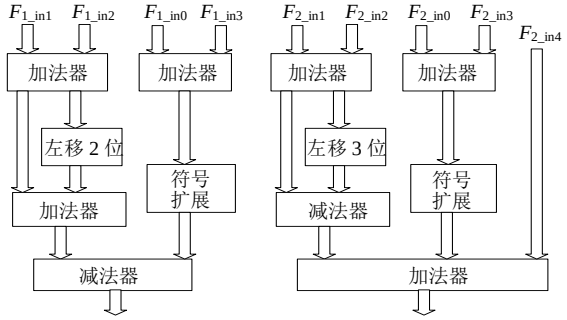

图5 F_1与F_2滤波器结构

2.4 色度预测运算器

色度预测从寄存器堆获取所需的4个样本，与状态控制器提供参数mult$A$～mult$D$，分别输入4个乘法器，4个乘法运算作为第一级流水线操作；第二级流水线操作将4个乘法器的结果相加；第三级流水操作将相加结果进行截断处理后输出。每级流水线的输入和输出都采用寄存器，采用三级流水结构减少乘法运算对系统频率造成的影响。加权预测预测模块对亮度和色度的预测像素进行加权计算处理，然后作为最后输出。

3 仿真结果与结论

仿真参考结果由AVS参考代码[6]提供。硬件模型基于verilog编写，在Synopsys VCS工具下进行仿真，并对各种预测情况进行测试，结果一致。将基于同心2DSP的包含帧间补偿模块AVS解码器下载到Altera Stratix II EP2S180F FPGA实验板上，将不同尺寸测试向量作为输入，测试AVS解码过程，结果完全正确，输出视频信号清晰。

本文采用Verisilicon标准单元库，在0.18 μm和250 MHz频率下，用Synopsys DC对本文的设计进行

综合。因国内研究AVS帧间补偿VLSI设计尚处于起步阶段，而国外H.264解码器[8-10]比较成熟，且具有一定的借鉴意义，本文选择了国内在相同工艺下实现的AVS设计[7]与目前国外指标最优的H.264设计[8]进行比较，如表1所示。

表1　实现结果比较

	本文设计	设计[7]	设计[8]
工艺/μm	0.18	0.18	0.18
最高频率/MHz	395	148.5	150
PPC等效门数	23 817	—	48 072
存储器容量/kb	1.46k	—	8
总门数	38 000	225 000	—
HDTV解码速度/帧·s^{-1}	100	30	44

由表中性能数据分析，本文的设计最大性能约为文献[7]的3倍，面积仅为其16.9%；面积和存储器容量分别为文献[8]的50%和19%，最大性能是其两倍多。H.264的1/2位置像素预测采用6抽头滤波器，AVS采用4抽头滤波器；H.264 1/4位置像素预测采用2抽头滤波器，而AVS采用4抽头滤波器，故H.264帧间预测复杂度略高于AVS，但该设计综合指标显著优于文献[8]。该结构在100 MHz频率下即可满足分辨率为1 920×1 080、25 帧/s的AVS HDTV解码，同时低成本、易复用的特点对国内AVS高清视频和手机电视应用都具有重要意义，在395 MHz频率下的高性能可满足未来高帧率、高分辨率的AVS视频应用。

参　考　文　献

[1] AVS工作组. 信息技术先进音视频编码第2部分：视频[M]. 北京：中国标准出版社, 2006.
AVS Workgroup. Information technology——Advanced coding of audio and video——Part 2: Video[M]. Beijing: Standards Press of China, 2006.

[2] MPEG. ISO/IEC 13818, general coding of moving picture and associated audio information[M]. Switzerland: IEC, 1994

[3] Joint Video Team. ISO/IEC 14469-10 international standard (ITU-T Rec.H.264)[M]. Switzerland: ITU, 2003.

[4] HE Wei-feng, MAO Zhi-gang, WANG Jin-xiang, et al. Design and implementation of motion compensation for MPEG4 AS profile streaming video decoding[C]//5th International Conference on ASIC, [S.l.]: ASIC, 2003, 2: 942-945.

[5] WANG Shih-hao, PENG Wen-hsiao, HE Yu-wen, et al. A platform-based MPEG4 advanced video coding(AVC) decoder with block level pipelining[J]. ICICS-PSM, 2003, 1: 51-55.

[6] AVS group. AVS RM52j[DB/OL]. [2007-05-11]. ftp://159.226.42.57.

[7] ZHENG Jun-hao, DENG Lei, Zhang Peng, et al. Efficient VLSI architecture for motion compensation of AVS HDTV decoder[J]. Journal of Computer Science and Technology, 2006, 21: 370-377.

[8] CHEN Jia-wei, LIN Chien-chang, GUO Jiun-in, et al. Low complexity architecture design of H.264 predictive pixel compensator for HDTV application[J]. ICASSP, 2006, 3: 932-935.

[9] WANG Sheng-zen, LIN Ting-an, LIU Tsu-ming, et al. A new motion compensation design for H.264/AVC decoder [J]. ISCAS, 2005, 5: 4558-4561.

[10] CHEN Tung-chien, HUANG Yu-wen , CHEN Liang-gee. Fully utilized and reusable architecture for fractional motion estimation of H.264/AVC[J]. ICASSP, 2004, 5: 9-12.

编　辑　黄　莘