

# CMOS环型压控振荡器的设计

程梦璋<sup>1</sup>, 景为平<sup>2</sup>

(1. 华侨大学信息科学与工程学院 福建 泉州 362011; 2. 南通大学江苏省专用集成电路重点实验室 江苏 南通 226007)

**【摘要】** 设计和分析了一种高稳定性、低噪声的CMOS环型压控振荡器。该电路具有较低的压控增益, 较好的线性范围, 较低的相位噪声。应用复制偏置电路, 对差分环型压控振荡器的控制电压进行复制, 通过对压控振荡器相位噪声的计算和分析, 以提高对环型压控振荡器电源电压噪声和衬底噪声的抑制。该设计和分析是基于上华0.5 μm CMOS工艺, 当控制电压从1~3 V变化时, 相应的振荡频率为100~500 MHz; 在偏离中心频率1 kHz、10 kHz、100 kHz和1 MHz频率处得到的相位噪声分别为-50 dBc/Hz、-75 dBc/Hz、-98 dBc/Hz和-120 dBc/Hz。

**关键词** 延迟单元; 相位噪声; 时间抖动; 压控振荡器

**中图分类号** TN402

**文献标识码** A

doi: 10.3969/j.issn.1001-0548.2009.02.35

## Design of CMOS Ring Voltage Controlled Oscillator

CHENG Meng-zhang and JING Wei-ping

(1. College of Information Science and Engineer, Huaqiao University Quanzhou Fujian 3620113;

2. Jiangsu Province Key Lab of ASIC Design, Nantong University Nantong Jiangsu 226007)

**Abstract** A high stability and low noise CMOS ring voltage-controlled oscillator (VCO) is designed and analyzed based on the CSMC 0.5 μm process. Replica-biased circuit technique is adopted to suppress the noise from VDD and substrate. The analysis shows that the VCO can achieve better linear voltage-frequency characteristic and lower phase noise: when VCO control voltage varies from 1 V to 3 V, the turning range changes from 100 MHz to 500 MHz, meanwhile the phase noise are -50 dBc/Hz, -75 dBc/Hz, -98 dBc/Hz, and -120 dBc/Hz at an offset of 1 kHz, 10 kHz, 100 kHz, and 1 MHz from oscillator centre frequency, respectively.

**Key words** delay cell; phase noise; timing jitter; voltage controlled oscillator

压控振荡器是高性能数字系统的关键模块。本文提出了一种高稳定性、低噪声CMOS环型振荡器的电路结构, 并从噪声分析的角度出发, 分别从理论和设计上对这种压控振荡器进行了详细的计算和分析, 从而设计出低相位噪声的环型压控振荡器。

### 1 压控振荡器和相位噪声的基本概念

压控振荡器的噪声主要分为器件的热噪声和环境噪声, 环境噪声包括电源和衬底噪声。本文设计和分析了一种差分环型压控振荡器, 该振荡器相位设计性能指标见表1。下面将分别给出该差分环型压控振荡器的理论计算和实际的分析结果<sup>[1]</sup>。

表1 压控振荡器的相位噪声指标

频率偏置	VCO 相位噪声/dBc·Hz <sup>-1</sup>
1	-47
10	-70
100	-90
1000	-110

压控振荡器是一种由外加控制电压控制产生相应的周期性信号的模块, 该模块是一种负反馈系统, 其传递函数可表示为:

$$\frac{V_{out}}{V_{in}} = \frac{H(s)}{1+H(s)} \quad (1)$$

如果在频率 $f_0$ 处 $H(s) = -1$ , 则其环路的放大倍数为无穷大。因此振荡器在频率 $f_0$ 处产生振荡的必要条件是:

$$|H(s)| = 1 \quad (2)$$

$$\angle H(s) = 180^\circ \quad (3)$$

在实际电路起振时, 要求环路增益大于2。

压控振荡器的信噪比可由振荡器的时间抖动得到。时间抖动 $\Delta t$ 是压控振荡器实际输出和理想输出的差, 是振荡器内部噪声和环境噪声引起的随机的不可确定的量, 是相位噪声在时域的物理描述。压控振荡器的信噪比可表示为:

$$SNR = -20 \lg(2\pi f_0 \Delta t) \quad (4)$$

收稿日期: 2008-01-21; 修回日期: 2008-05-20

基金项目: 江苏省“六大人才高峰”第二批项目

作者简介: 程梦璋(1967-), 男, 教授, 主要从事模数混合集成电路方面的研究。

压控振荡器的输出可表示为:

$$V_{\text{out}}(t) = A(t)\sin(2\pi f_0 t + \phi(t)) \quad (5)$$

式中  $A(t)$  和  $\phi(t)$  为振荡器由于随机噪声引起的输出端的幅度综合噪声和相位综合噪声;  $f_0$  为振荡器输出的中心频率。一般来说, 幅度噪声可以采取限幅电路消除其影响, 相位噪声是很难消除的, 因此在近几十年内, 国内外的大量文献都对减小电路的相位噪声进行了不同程度的研究<sup>[2]</sup>。

相位噪声定义为在某一给定偏移频率处的 1 Hz 带宽内的矩形面积和整个功率谱曲线下所包含的面积之和的比, 近似等于中心频率  $f_0$  处曲线的高度与  $f_0 + \Delta f$  处曲线的高度之差<sup>[3]</sup>, 即:

$$L(d\omega) = 10 \lg \left[ \frac{P_{\text{sideband}}(\omega_0 + d\omega, 1\text{Hz})}{P_{\text{carrier}}} \right] \quad (6)$$

## 2 压控振荡器延迟单元的设计

CMOS 差分环型压控振荡器的结构如图 1 所示。为了使压控振荡器具有很高的电源和衬底噪声抑制能力, 该结构的偏置电路模块是一种压控振荡器延迟单元半复制电路, 提供给压控振荡器差分延迟单元高线性度、高输出阻抗的电流源偏置; 压控振荡器中心模块由 5 级差分延迟单元组成; 输出缓冲器完成双输出正弦波到单输出方波的转换, 同时实现 50% 的输出占空比<sup>[4]</sup>。

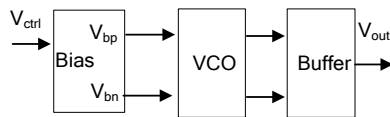


图1 差分环型压控振荡器结构图

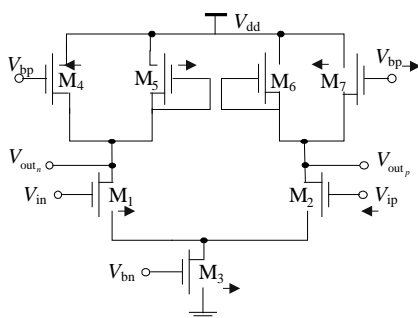


图2 差分环型压控振荡器延迟单元电路图

图2是差分环型压控振荡器延迟单元电路图。图中,  $M_1$  和  $M_2$  构成延迟单元的基本差分对;  $M_3$  为 NMOS 形成的简单电流源;  $M_4$ 、 $M_5$  和  $M_6$ 、 $M_7$  分别构成基本差分对  $M_1$  和  $M_2$  的有源线性负载;  $M_5$ 、 $M_6$  接成二极管形式;  $M_4$  和  $M_7$  受控制电压  $V_{bp}$  控制, 分别与  $M_5$ 、 $M_6$  组成基本差分对的对称型负载。对称型负载的差分延迟级, 可以获得较高的电源和衬底噪

声抑制能力。以  $M_4$ 、 $M_5$  为例,  $M_5$  为二极管连接方式工作在饱和状态;  $M_4$  由偏置电压  $V_{bp}$  控制,  $V_{bp}$  由偏置电路模块产生, 该电路的稳定值为  $V_{ctrl}$ 。随负载电流的增加,  $M_4$  的工作状态由线性到饱和状态, 这时  $M_4$  的管压降  $V_{drop}$  最后稳定在  $V_{ctrl}$ , 因此  $M_4$ 、 $M_5$  的电流表达式为:

$$I_D = \frac{1}{2} \mu_p \text{cox} (W/L)_{4,5} [V_{DD} - V_{bp} - |V_{tp}|]^2 \quad (7)$$

当偏置电压为  $V_{bp}$  时, 对称性负载的有效电阻等于  $M_4$  的跨导的倒数  $\frac{1}{g_{m_4}}$ , 则延迟单元的延时为:

$$t_d = R_L C_L = \frac{1}{g_{m_4}} C_L \quad (8)$$

式中  $R_L$  和  $C_L$  分别是对称型负载的等效电阻和输出节点的等效电容。

由于在稳定状态  $M_4$  的漏电流  $I_D$  为:

$$I_d = \frac{1}{2} K_p (V_{ctrl} - |V_{tp}|)^2 \quad (9)$$

$$g_{m_4} = K_p (V_{ctrl} - |V_{tp}|) \quad (10)$$

则延迟单元的延时可以表达为:

$$t_d = \frac{1}{K_p (V_{ctrl} - |V_{tp}|)} C_L \quad (11)$$

压控振荡器的振荡频率为:

$$f_{\text{osc}} = \frac{1}{10t_d} \quad (12)$$

该延迟单元组成的环型压控振荡器有效的时间抖动可表示为:

$$\Delta \bar{t} = \frac{KT}{2I_{ss}} \frac{a_v \xi^2}{(V_{gs} - |V_{tp}|)} T_{\text{osc}} \quad (13)$$

式中  $K$  是玻尔兹曼常数;  $T$  是绝对温度;  $I_{ss}$  是环型压控振荡器延迟单元的尾电流;  $a_v$  是延迟单元的低频小信号放大倍数;  $(V_{gs} - |V_{tp}|)$  是延迟单元对称型负载的过驱动电压;  $T_{\text{osc}}$  是环型压控振荡器输出振荡信号的周期;  $\xi^2$  是差分环型压控振荡器延迟单元的噪声因子。

从环型压控振荡器时间抖动表达式经过推导可以得到其相位噪声的表达式为:

$$L(\Delta f) = \left( \frac{f_{\text{osc}}}{\Delta f} \right) \left( \frac{a_v \xi^2 KT}{2I_{ss} (V_{gs} - |V_{tp}|)} \right) \quad (14)$$

环型压控振荡器延迟单元的低频小信号增益可以近似表示为:

$$a_v = \frac{V_{sw}}{(V_{gs} - |V_{tp}|)} \quad (15)$$

式中  $V_{sw}$  是环型压控振荡器延迟单元的输出摆幅。

环型压控振荡器延迟单元的尾电流可表示为:

$$I_{ss} = \frac{V_{sw}}{R_L} \quad (16)$$

则环型压控振荡器的相位噪声可表示为:

$$L(\Delta f) = \left( \frac{1}{2N\Delta f C_L} \right)^2 \left( \frac{I_{ss} \xi^2 K T}{2V_{sw} (V_{gs} - |V_{tp}|)^2} \right) \quad (17)$$

式(17)的第一项随着频率的变化可以近似认为常数, 则环型压控振荡器的相位噪声与其延迟单元的尾电流成正比, 与其输出摆幅成反比。因此在一定的控制电压和工艺条件下, 为了取得较小的相位噪声, 应尽可能地减小延迟单元MOS器件的尺寸; 但是要同时考虑到环型压控振荡器满足起振放大倍数的要求, 应该尽可能地提高延迟单元输出摆幅; 但输出摆幅过大, 会大幅度地减小环型压控振荡器的输出频率范围和控制电压-频率线性度<sup>[5-6]</sup>。

设定环型压控振荡器的中心频率为300 MHz; 振荡器的最高和最低输出频率分别为100 MHz和500 MHz, 基于上华0.5 μm CMOS工艺, 要保持延迟单元的NMOS对管工作在饱和状态的控制电压范围在1.0~3.0 V, 则环型压控振荡器的输出摆幅变化范围在1.0~3.0 V。图3的V-F曲线为环型压控振荡器的输出频率随控制电压 $V_{ctrl}$ 变化的仿真曲线。从该曲线可得, 差分环型压控振荡器振荡频率的线性范围为100~500 MHz; 中心频率为300 MHz; 压控增益 $K_{vco}$ 为188 MHz/V。

图4为环型压控振荡器的相位噪声随延迟单元的尾电流变化曲线。该曲线表明, 当延迟单元的尾电流 $I_{ss}=0.9$  mA时, 环型压控振荡器的相位噪声在偏离中心频率1 kHz、10 kHz、100 kHz和1 MHz频率处得到的相位噪声分别为-50 dBc/Hz、-75 dBc/Hz、-98 dBc/Hz和-120 dBc/Hz, 满足了设计指标的要求。

根据已知的尾电流 $I_{ss}$ , 由式(7)可得环型压控振荡器延迟单元对称性负载PMOS管 $M_4$ 、 $M_5$ 和 $M_6$ 、 $M_7$ 的尺寸为 $W/L=367/0.5$ ; 根据上华0.5 μm CMOS工艺PMOS管和NMOS管电子迁移率的比例可得压控振荡器延迟单元差分NMOS对管的尺寸为 $W/L=143/0.5$ ; 为了尽量减小环型压控振荡器的闪烁噪声, 延迟单元的尾电流NMOS管采用长沟道, 经计算可得尾电流NMOS管 $M_3$ 的尺寸为 $W/L=150/3$ 。通过对环型压控振荡器延迟单元的低频小信号交流仿真可知, 该延迟单元的低频小信号放大倍数范围在2.5~3.5之间, 满足了环型压控振荡器环路增益的要求<sup>[7-8]</sup>。

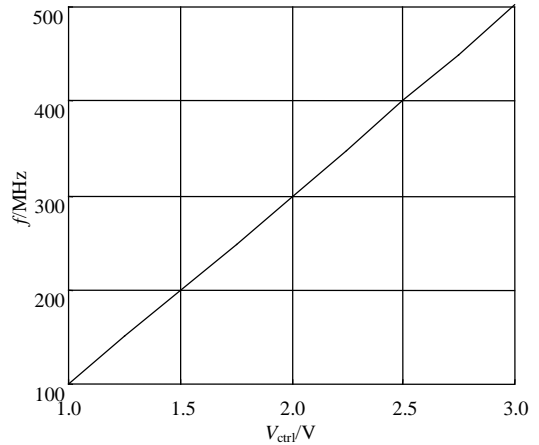


图3 压控振荡器的V-f曲线

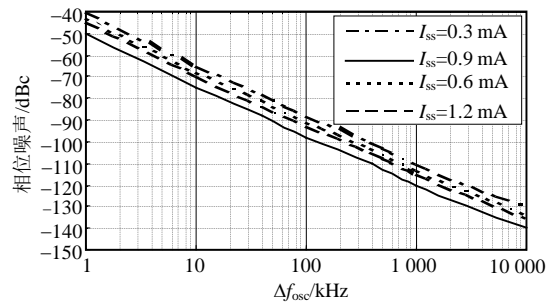


图4 压控振荡器的相位噪声与尾电流曲线

### 3 压控振荡器偏置电路的设计

压控振荡器的偏置电路如图5所示<sup>[9]</sup>。电路的输出一个为电压控制信号 $V_{ctrl}$ 的复制偏置电压 $V_{bp}$ ; 另一个则为动态控制延迟单元尾电流源的偏置电压 $V_{bn}$ 。

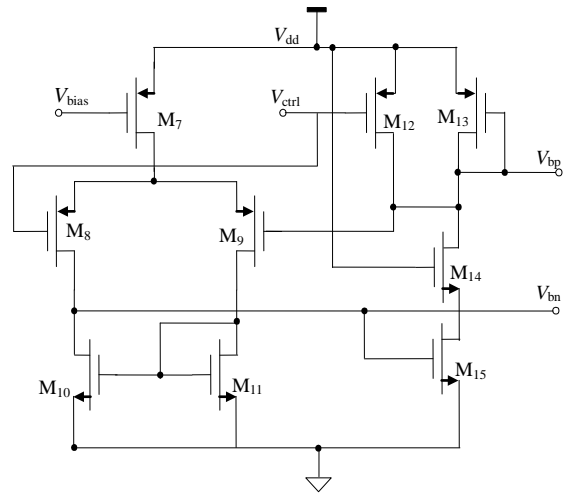


图5 压控振荡器的偏置电路

基本差分放大器的输出迫使 $V_{bp}$ 等于 $V_{ctrl}$ ; 当电源电压有一个正向的微小变化时, 基本差分放大器的正向输入端的输入电压也有一个正向的微小变化, 该微小变化通过基本差分放大器放大后使得尾电流NMOS管的 $V_{gs}$ 电压增加, 导致尾电流NMOS管漏源极电压( $V_{ds}$ )的降低, 基本差分放大器的正向输

入端的输入电压的降低,最终使得 $V_{bp}$ 保持不变。压控振荡器偏置电路控制输入电压 $V_{ctrl}$ 和输出电压 $V_{bp}$ 的线形仿真分析结果如图6所示,在电源电压 $V_{dd}$ 为5V的情况下,在1~4V的范围内,输出电压 $V_{bp}$ 可以精确地复制输入电压 $V_{ctrl}$ 。

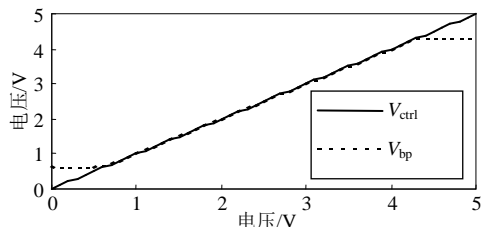


图6 偏置电路的线性测试图

## 4 结论

从实现低噪声的角度设计和分析了一种差分环型压控振荡器,分别从理论和实际上给出了该环型压控振荡器的详细分析。通过压控振荡器的噪声分析和电路优化设计,提高了对环型压控振荡器电源电压噪声和衬底噪声的抑制。其振荡频率范围从100~500 MHz;相位噪声在1 kHz、10 kHz、100 kHz和1MHz频率处得到的相位噪声分别为-50 dBc/Hz、-75 dBc/Hz、-98 dBc/Hz和-120 dBc/Hz,适合应用于对相位噪声要求较低的频率合成或锁相环系统中。

## 参考文献

- [1] HAJMIRI A, LEE T H. A general theory of phase noise in electrical oscillators[J]. IEEE J Solid-State Circuits, 1998, 33(2): 179-194.
- [2] RAZAVI B A. Study of phase noise in CMOS oscillators[J]. IEEE J Solid-State Circuits, 1996, 31: 331-343.
- [3] NGUYEN N M, MEYER R G. A 1.8 GHz monolithic LC voltage controlled oscillator[J]. IEEE J Solid-State Circuits, 1992, 27(3): 444-450.
- [4] DOCKING S, SACHDEV M. A method to derive an equation for the oscillation frequency of a ring oscillator[J]. IEEE J Solid-State Circuits, 2003, 38(2): 230-233.
- [5] HWANG I C, KIM C, KANG S M. A CMOS self-regulating VCO with low supply sensitivity[J]. IEEE J Solid-State Circuits, 2004, 39(1): 42-48.
- [6] HAJMIRI A, LEE T H. Jitter and phase in ring oscillators[J]. IEEE J Solid-State Circuits, 1999, 34(6): 790-804.
- [7] CHIEN J C, LU L H. Design of wide tuning range millimeter wave CMOS VCO with a standard wave architecture[J]. IEEE J Solid-State Circuits, 2007, 42(9): 1942-1952.
- [8] WU T, MAYARAM K, MOON U. An on-chip calibration technique for reducing supply voltage sensitivity in ring oscillators[J]. IEEE J Solid-State Circuits, 2007, 42(4): 775-783.
- [9] ABIDI A A. Phase noise and jitter in CMOS ring oscillators oscillators[J]. IEEE J Solid-State Circuits, 2006, 41(8): 1803-1806.

编辑 税红

(上接第300页)

- [8] 庄超. 一种新型INTERNET 内容版权保护计算机制[J]. 计算机学报, 2000, 23(10): 1088-1091.  
ZHUANG Chao. A new computing mechanism for internet content copyright protection[J]. Chinese Journal of Computers, 2000, 23(10): 1088-1091.
- [9] 谭建龙, 庄超, 白硕. 一种实用Internet 内容版权保护系统的设计与实现[J]. 计算机研究与发展, 2001, 38(10): 1119-1203.  
TAN Jian-long, ZHUANG Chao, BAI Shuo. Design and implementation of a practical internet content copyright protection system[J]. Journal of Computer Research and Development, 2001, 38(10): 1119-1203.
- [10] 马兆丰, 冯博琴, 宋擒豹, 等. 基于动态许可证的信任版权安全认证协议[J]. 软件学报, 2004, 15(1): 131-140.  
MA Zhao-feng, FENG Bo-qin, SONG Qin-bao, et al. Secure authentication protocol for trusted copyright management based on dynamic license[J]. Journal of Software, 2004, 15(1): 131-140.
- [11] 陈明奇, 钮心忻, 杨义先. 数字水印的研究进展和应用[J]. 通信学报, 2001, 22(5): 71-79.  
CHEN Ming-qi, NIU Xin-xin, YANG Yi-xian. The research developments and applications of digital watermarking[J]. Journal of China Institute of Communications, 2001, 22(5): 71-79.

- [12] 张春田, 苏育挺, 管晓康. 多媒体数字水印技术[J]. 通信学报, 2000, 21(9): 46-49.  
ZHANG Chun-tian, SU Yu-ting, GUAN Xiao-kang. Digital multimedia watermarking techniques[J]. Journal of China Institute of Communications, 2000, 21(9): 46-49.
- [13] 袁征, 温江燕, 刁俊峰. 基于水印和密码技术的数字版权保护模式[J]. 北京邮电大学学报, 2006, 29(5): 98-102.  
YAUN Zheng, WEN Qiao-yan, DIAO Jun-feng. Watermarks and cryptography based model for digital rights management[J]. Journal of Beijing University of Posts and Telecommunications, 2006, 29(5): 98-102.
- [14] CHEN L, KUDLA C, PATERSON K G. Concurrent signature[C]// Advances in Cryptology-Eurocrypt 2004. Berlin Heidelberg: Springer-Verlag, 2004: 287-305.
- [15] LI Hua-ping, KOU Wei-dong, DU Xiao-zhen. Fair E-Commerce protocols without a third party[C]// 11th IEEE Symposium on Computers and Communications (ISCC'06). Sardinia, Italy: IEEE Press, 2006: 324-327.
- [16] 卿斯汉. 一种电子商务协议形式化分析方法[J]. 软件学报, 2005, 16(10): 1757-1765.  
QING Si-han. A formal method for analyzing electronic commerce protocols[J]. Journal of Software, 2005, 16(10): 1757-1765.

编辑 张俊