

应用于片上网络的双通道路由器

岳培培¹, 陈杰¹, 刘建¹, SHERAZ ANJUM^{1,2}

(1. 中国科学院微电子研究所 北京 朝阳区 100029; 2. COMSATS Institute of Information Technology Islamabad Pakistan)

【摘要】提出了一种新颖的应用于片上网络的双通道路由器, 该路由器使用分开的数据包通道和控制包通道, 能够在相同的约束下达到更好的性能。通过对随机通信流和MPEG-4通信流的仿真, 可知双通道路由器系统中两种传输包不会相互影响, 且相比于传统的单通道路由器和虚通道路由器, 使用双通道路由器可以达到更好的吞吐量和平均延时性能。每个路由器的电路规模仅为2.05万门, 在SMIC 0.13 μm CMOS工艺下, 综合面积仅需0.103 mm^2 。

关键词 片上网络; 包交换; 路由器; 双通道

中图分类号 TN47

文献标识码 A

doi: 10.3969/j.issn.1001-0548.2009.02.36

Two-Channel Router for Networks-on-Chip

YUE Pei-pei¹, CHEN Jie¹, LIU Jian¹, and SHERAZ ANJUM^{1,2}

(1. Institute of Microelectronics, Chinese Academy of Sciences Chaoyang Beijing 100029;

2. COMSATS Institute of Information Technology Islamabad Pakistan)

Abstract A novel and efficient two-channel router using separate data and control packet channels is proposed for networks-on-chip. The new scheme is compared with the traditional signal-channel and virtual-channel routers under the same traffic conditions and constraints. The simulation results show that the proposed router performs better in terms of throughput and average delay. The gate count of the router is only 20 500, and the router area after synthesis is 0.103 mm^2 under SMIC 0.13 μm CMOS process technology.

Key words networks-on-chip; packet switch; router; two-channel

随着芯片上集成的IP数量的增加, 基于总线的设计已经不能满足IP间的通信要求。基于路由的方式在计算节点之间进行数据交换的片上网络(networks-on-chip, NoC)^[1]是解决片上互联问题的一种新的设计方案。采用规则二维孔拓扑结构的NoC^[2]由于结构排列规整, 方便布局布线, 是一种比较适合于单芯片系统的拓扑结构。

在NoC系统中, 路由器是关系到系统内部IP之间通信的吞吐量、延时等性能的关键部件。在常用的路由器结构^[3]中, 传输包首先在输入端缓存中暂存, 由于每个方向只有单个通道, 当其拥塞时, 该方向的后续包也不能通行。若后续包为要求低延时的控制信号包, 则会导致该包不能在限定时间内到达目的地。

为了解决这个问题, 文献[4-5]提出采用虚通道结构的路由器。在这种路由器中, 每个端口的输入端都使用多个缓存, 每个缓存对应一个虚通道, 各个虚通道使用共享的路由器间物理链路。根据物理

链路的共享方式不同分成两类, 一类采用时分复用的方式, 如Aetheral^[4], 每个虚通道占用一定的时隙。但时隙的分配往往要占用不定长度的建立时间, 另一类采用优先级的方式, 如QNoC^[5], 高优先级的虚通道优先占有物理链路, 且会暂停低优先级包的传输。这种方法能够快速传输对延时要求高的包, 但高优先级的包对低优先级包的延时影响很大, 这增加了包的平均传输延时。

为了改善片上网络系统的通信性能, 本文基于传统的单通道路由器和虚通道路由器, 提出了一种双通道路由器结构, 使用分开的数据包通道和控制包通道, 来改善吞吐量和延时性能。

1 双通道路由器结构

在并行计算中, 通信流流量呈现双峰分布, 占流量绝大多数的是包长较短的控制包和包长较长的数据包^[6]。由此, 本文基于传统的单通道路由器和虚通道路由器, 提出了一种双通道路由器, 结构如

收稿日期: 2008-03-07; 修回日期: 2008-10-15

基金项目: 国家自然科学基金(60425413)

作者简介: 岳培培(1981-), 女, 博士生, 主要从事NoC架构方面的研究。

图1所示。在路由器内部和路由器之间,控制包通道和数据包通道的信号、存储、控制、传输都是完全分离的,它们之间不存在竞争关系,采用虫孔路由的包交换方式。

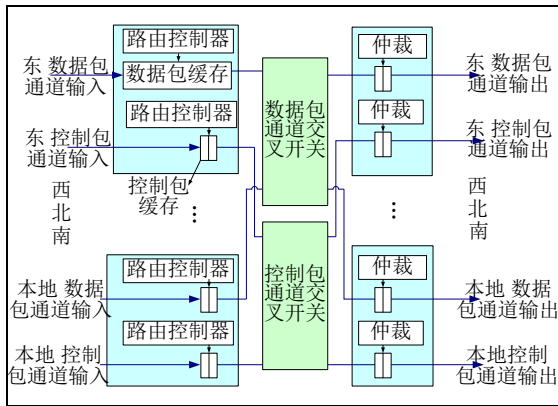


图1 双通道路由器结构图

1.1 传输包结构

双通道路由器的传输包由微片(flit)组成,包头微片包含路由信息,由源端网络接口(NI)通过查找内嵌路由表加入,途中的每个路由器使用2 bit进行方向判定。包的第2个微片为NI信息微片,包括源和目的地址、包ID、应答信号、读写请求等。随后的微片为包负载,长度任意。对于控制包,一般包总长度为2~4个微片。控制包的长度应尽量缩短,才能保证控制包通道的低拥塞率,满足控制包的延时要求。同时,每个微片也分成3部分:1bit的包尾标识(tail),1bit的奇偶校验位以及可配置位宽的数据部分。

1.2 路由器输入端

路由器输入端的主要组成部分为缓存和路由控制器。缓存即为图1中的数据包缓存和控制包缓存,用来存储到达路由器的微片。缓存采用先入先出(FIFO)结构,数据包通道缓存深度可以根据允许的路由器面积配置,最少为2级。控制包通道的缓存为2级,因为控制包比较短,不需要很多的存储空间。

输入端的路由控制器根据包头路由信息判断输出端口方向,向相应输出端口发送请求信号,并丢弃使用过的路由信息(包头微片右移2位)。

1.3 交叉开关部分

输入端口和输出端口之间的交叉开关采用多选器的形式完成。因为每个输出端口可能有4个输入方向,所以每个多选器有4个输入端。数据包通道和控制包通道有各自的交叉开关网络,它们之间没有共享信息。

1.4 路由器输出端

路由器输出端由输出端缓存和仲裁控制组成。输出端缓存由深度为2级的FIFO组成,这样可以在使用握手传输规则的情况下仍能达到最快每个时钟周期传输一个数据的速度。

输出端的仲裁采用先到先服务的形式来降低延时的方差^[7]。每个输出端由一个位宽为2 bit、深度为3级的缓存记录等待传输的输入端口号。当接收到一个传输包的尾部时,响应请求存储器中最早申请的输入端口的请求。

1.5 路由器间传输信号

双通道路由器的路由器间信号传输使用完全分开的数据包链路和控制包链路。每个链路的信号线包括flit、req和ack。

2 实验对比

2.1 仿真平台

本文对提出的双通道路由器的性能进行仿真,并对比了传统的单通道路由器和采用虚通道的QNoC路由器。仿真采用的通信流分别使用随机通信流和MPEG-4通信流。

实验中的传输数据包和控制包,数据包包长从3~20 flit随机,控制包包长为2~4 flit。输入端口数据缓存采用最少的2级深度。本文约束所对比的路由器中,每个方向上输入端输出端的缓存深度总和一致,相应得到了单通道路由器和QNoC的输入缓存深度,其中单通道路由器输入端采用6级FIFO,QNoC优先级分成2级,输入端采用3级FIFO。

仿真使用相同结构的路由器组成规则二维网孔结构进行数据传输,其中,位于边沿的路由器会减少相应的输入输出通道。每个路由器连接一个网络接口(NI)来代表与局部处理单元的连接。由NI进行包产生、包交付的操作。每个NI都以规定的发包率分别产生数据包和控制包。发包率即为每个时钟周期有新包产生的概率 \times 平均包长。

在双通道系统中,数据包和控制包分别通过数据包通道和控制包通道发送。在单通道系统中,通过仅有的一个通道发送,若在NI产生包的过程中,若同时有控制包和数据包等待产生,优先产生控制包。在QNoC系统中,控制包使用高优先级,数据包使用低优先级。

仿真平台采用C语言搭建,精确到时钟级,以系统的吞吐量、传输包的吞吐量和平均延时作为测量量来评价不同结构的性能。

2.2 随机通信流

首先采用随机产生的通信流对3种结构进行仿真, 系统采用4×4的规则二维网孔结构。数据包和控制包的发包率都从0.1~0.9递增, 每种发包率都运行1×10⁶个时钟, 得到数据包/控制包的吞吐量, 即系统中交付的数据包或控制包个数除以系统运行时钟数, 所得到的吞吐量结果如图2所示。

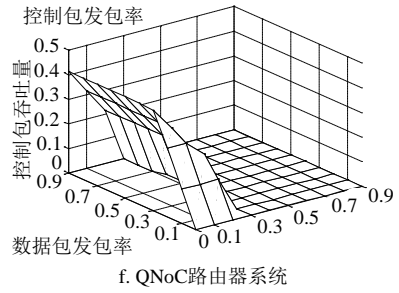
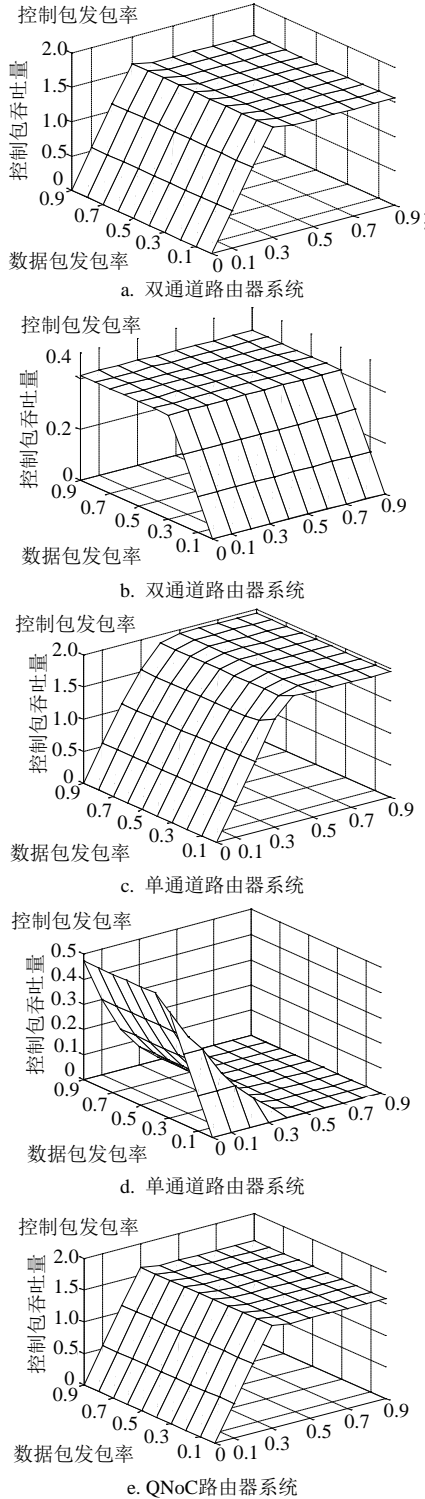


图2 3种路由器系统传输随机通信流的吞吐量

对比3种路由器组成的系统的吞吐量, 可见双通道系统中, 控制包和数据包之间没有相互影响, 只由本身的发包率决定。而在单通道和QNoC系统中, 控制包发包率的增加严重影响了数据包的吞吐量。在两种包的发包率都为0.2时, 双通道系统中数据包的吞吐量可以达到0.28, 而另两个系统的数据包吞吐量分别只有0.17和0.22。说明在这种发包率下, 采用双通道路由器对数据包的吞吐量分别可以改进65%和27%。并且, 在单通道系统和QNoC系统中, 当控制包发包率达到0.3以上时, 控制包占用了全部资源, 数据包的吞吐量为0。所以, 在系统中控制包的数量不能忽略时, 使用双通道系统能够达到更好的数据包吞吐量。

另外, 单通道系统中, 最大吞吐量大于另外两种系统, 因为该系统中只有一个通道, 其输入缓存深度为6级。当一种包的数量可以忽略时, 另一种包能够利用全部缓存, 而另两个系统中的数据包和控制包只能利用对应的一种通道的缓存。

2.3 音视频通信流

本文采用文献[8]中的MPEG-4通信流来对3种平台进行仿真, 评价3种结构在真实应用中的性能。

因为系统由RISC处理器进行控制, 所以由RISC处理器向其他IP发送控制信号, 其他所有IP也向RISC处理器发送控制信号, 这些控制信号都以平均每宏块5个包的速率传输, 来模拟实际运行时的控制信号交互。再根据文献[8]中各IP之间的带宽需求, 得到了各NI发送数据包的目的地和发包率。同时, 为了模仿实际应用过程中的端对端容错, 目的NI在收到传输包后向源端发送应答包, 通过控制包通道传送。

使用文献[9]中的映射和路径分配算法, 把各IP映射到二维网孔结构中, 同时针对该应用对映射进行了限制: 为了达到最短的控制包延时, 把RISC处理器放在中心位置, 并把和芯片外部通信的IP(DDR SDRAM、音频输出和视频输出)放置于边沿, 得到

如图3所示的采用奇偶路由的映射。



图3 MPEG-4的IP映射图

3个系统的路由器和链路设定运行频率设定为500 Mclk/s, 仿真运行500 M个时钟, 即实际应用中的1 s。最终得到的3种结构中两种传输包各自的平均延时, 如表1所示。

表1 3种路由器系统传输MPEG-4通信流的平均延时

平均延时(时钟数, 时钟周期为2 ns)	双通道系统	单通道系统	QNoC系统
控制包(控制包发送+应答包)	24.13	33.01	24.11
数据包(数据包发送+应答包)	30.14	41.69	35.50

双通道系统中两种传输包的延时都优于单通道系统, 分别改进26.9%和27.7%。双通道系统和QNoC系统的控制包延时基本一样, 相差不到0.1%, 双通道系统的数据包延时优于QNoC系统, 改进15.1%。

3 物理实现

本文使用Verilog HDL语言实现了提出的双通道路由器, 并用Synopsys的Physical Compiler进行综合, 在SMIC 0.13 μm 工艺下, 设定路由器约束频率为500 MHz, 得到的每个路由器为2.05万门, 面积仅为0.103 mm^2 。由该EDA工具得到的路由器的版图如图4所示。而采用虚通道路由器, 在相同的缓存大小情况下, 需要更多的控制逻辑, 用于虚通道的选择、仲裁等, 这就需要更多的面积。

使用本文提出的双通道路由器, 相比于传统的单通道路由器和虚通道路由器增加了路由器间传输连线的位宽。但是, 在NoC系统中, 这些连线都是芯片内部的连线, 并不像传统计算机网络中的路由器一样受到路由器芯片管脚的限制。并且, 随着集成电路工艺的改进, 可用的布线金属层也在逐步增加, IP核之间有足够的空间分布这些路由器间连线。据文献[10]统计, 在现在的65 nm工艺中, 最多可以达到11层布线层。因此, 双通道路由器间增加的连线位宽对系统的面积影响很小, 几乎不增加芯片的成本。

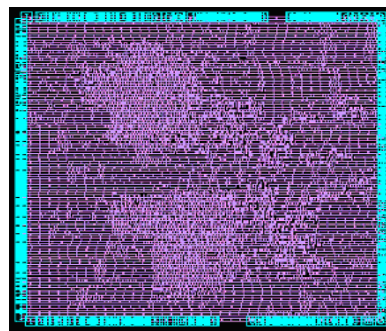


图4 双通道路由器的版图

4 结论

本文提出了一种应用于片上网络系统的双通道路由器结构, 分离了控制包和数据包的通道, 能够在相同的约束下达到更好的性能。通过对随机通信流和MPEG-4通信流的仿真得到, 双通道系统中两种传输包之间不会互相影响, 且相比于单通道系统和文献[5]的QNoC系统, 双通道系统有更好的吞吐量和平均延时性能。在SMIC 0.13 μm 工艺下, 每个路由器的综合面积仅为0.103 mm^2 。

在下一步的工作中, 重点研究双通道路由器在容错系统中的作用。由于双通道路由器使用分开的物理链路, 当某个链路遇到永久性错误, 如连线开路或短路, 且不能找到其他合适的路径, 可以使用相同路径的另外一个物理链路来进行传输, 达到容错的目的, 增加系统的可靠性。

参考文献

- [1] 高明伦, 杜高明. NoC: 下一代集成电路主流设计技术[J]. 微电子学, 2006, 36(4): 461-466.
GAO Ming-lun, DU Gao-ming. Next Generation mainstream architecture for integrated circuits[J]. Microelectronics, 2006, 36(4): 461-466.
- [2] 常政威, 谢晓娜, 熊光泽. 片上网络拓扑结构[J]. 计算机应用, 2007, 27(11): 2847-2850.
CHANG Zheng-wei, XIE Xiao-na, XIONG Guang-ze. Survey on network-on-chip topology[J]. Computer Applications, 2007, 27(11): 2847-2850.
- [3] KUMAR S, JANTSCH A, MILLBERG M, et al. A network on chip architecture and design methodology[C]// ISVLSI'02. Pittsburgh: IEEE, 2002: 105-112.
- [4] GOOSSENS K, DELISSEN J, RADULESCU A. Aethereal network on chip: concepts, architectures, and Implementations[J]. IEEE Design and Test of Computers, 2005, 22(5): 414-421.
- [5] BOLOTIN E, CIDON I, GINOSAR R, et al. QNoC: QoS architecture and design process for network on chip[J]. Journal of Systems Architecture, 2004, 50(2-3): 105-128.

(下转第316页)