

VSPC-LDPC串行级联码的结构与性能分析

敬龙江¹, 林竞力², 朱维乐², 张 怡¹

(1. 川庆钻探工程有限公司地球物理勘探公司 成都 610213; 2. 电子科技大学电子工程学院 成都 610054)

【摘要】提出了一种基于LDPC码和纵向单奇偶校验(VSPC)乘积码的级联编码方法。该方法利用LDPC码能否成功地译码的判定信息以取代常规乘积码中的横向校验,使单奇偶校验乘积码的复杂度获得较大的降低,提高了纠错能力。对新级联码的误码性能进行了理论分析。数值仿真结果表明,新编码方法的硬件实现复杂度较低,在AWGN信道和Raleigh衰落信道中其译码性能好于原LDPC码,且能有效地改善原LDPC码的误码平层问题。

关键词 误码率; 信道编码; 级联码; 低密度校验码; 和积算法

中图分类号 TN911.22

文献标识码 A

doi:10.3969/j.issn.1001-0548.2009.04.007

Analysis of Structure and Performance of VSPC-LDPC Serial Concatenated Codes

JING Long-jiang¹, LIN Jing-li², ZHU Wei-le², and ZHANG Yi¹

(1. Geophysical Company, Chuanqing Drilling Engineering Company Limited Chengdu 610213;

2. School of Electronic Engineering, University of Electronic Science and Technology of China Chengdu 610054)

Abstract A serial concatenated coding method is presented based on low-density parity-check (LDPC) codes and vertical single-parity-check (VSPC) product codes. By applying the decoded result of LDPC codes instead of the horizontal checks of conventional product codes, the performance of the component SPC product codes can be improved with the reduced complexity. The performance of the new concatenated codes is analyzed. Simulation results show that the proposed concatenated codes significantly outperform LDPC codes alone on AWGN channels and Raleigh fading channels, and the additional decoding complexity is very low. Moreover, the error floors of LDPC codes can be impaired effectively.

Key words bit error rate; channel coding; concatenated codes; low-density parity-check codes; sum-product algorithm

文献[1]提出了一类有逼近Shannon限能力的线性分组码——低密度校验(LDPC)码。LDPC码的性能随码长增加而提高,但编码和迭代译码的复杂度(计算时间和存储空间)也将大幅度地增加^[2-6],给LDPC码的实现带来了很大的障碍,制约了LDPC码在实际通信系统中的广泛应用。级联编码的概念最早由Forney提出,作为一种利用多个单码级联产生高纠错能力长码的技术,它在不增加系统硬件复杂度的同时,能为通信系统提供更加可靠的数据传输服务。文献[7]研究了基于LDPC和CRC码的串行级联码。文献[8]探讨了基于LDPC和RS码的级联码在突发信道中的性能。虽然上述方法提供了LDPC编码性能和复杂度的优良折中,但与单奇偶校验(SPC)乘积码相比,其外码复杂度相对较高。为此,本文以SPC乘

积码为外码、LDPC码为内码构造串行级联码。为了提高译码性能和进一步降低算法复杂度,利用LDPC码能否成功译码的判定信息取代常规乘积码中的横向校验,由此得到一类以仅有纵向奇偶校验(VSPC)的乘积码为外码的VSPC-LDPC串行级联码。由于VSPC乘积码可选择极高的码率,所以新级联码的码率与原LDPC码的码率相比,变化很小。

1 VSPC-LDPC串行级联码结构

基于VSPC-LDPC级联码的系统模型如图1a所示,VSPC乘积码的结构图如图1b所示。

在发射端,数据流分组为 L 个二元域上的 K 维信息矢量 $\{U_i | i=1,2,\dots,L\}$, L 个矢量在二元域上相加,得到第 $L+1$ 个信息矢量 U_{L+1} ,以完成VSPC编码。

收稿日期: 2008-03-21; 修回日期: 2008-10-17

基金项目: 国家自然科学基金(60702070)

作者简介: 敬龙江(1974-),男,博士生,主要从事新一代移动通信系统中的编码调制技术方面的研究。

然后信息矢量集 $\{U_i | i=1,2,\dots,L+1\}$ 由 (N,K) LDPC 编码为 $L+1$ 个 N 比特的 LDPC 码字 $\{C_i | i=1,2,\dots,L+1\}$ ($U_i \rightarrow C_i$) 组成, 用于调制和发射。在接收端, LDPC 译码器将每 $L+1$ 个码字的前 L 个译码可以得到 L 个 K 维矢量 $\{D_i | i=1,2,\dots,L\}$, 同时统计译码失败次数 γ ($0 \leq \gamma \leq L$), 并标定译码失败的 LDPC 码字。如果 $\gamma \neq 1$, 无需再对码字 C_{L+1} 进行 LDPC 译码, 也不需 VSPC 译码; 对于 $1 \leq i \leq L$, D_i 就是信息矢量 U_i 的译码结果。当 $\gamma=1$ 时(假设码字 C_k 译码失败), 则系统对码字 C_{L+1} 译码得到 D_{L+1} , 如译码失败, 不需 VSPC 译码, D_i 仍是信息矢量 U_i 的译码结果; 如成功译码, 则对 $L+1$ 个 K 维矢量 $\{D_i | i=1,2,\dots,L+1\}$ 进行 VSPC 译码, 得到最终的 L 个二元域上的 K 维译码数据 $\{\hat{U}_i | i=1,2,\dots,L\}$, 其中在 $1 \leq i \leq L, i \neq k$ 时, $\hat{U}_i = D_i$, 即:

$$\hat{U}_k = \sum_{i=1, i \neq k}^{L+1} D_i \quad (1)$$

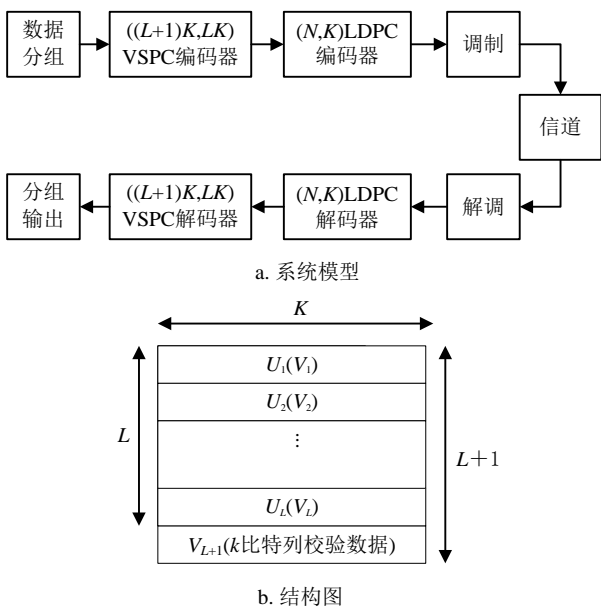


图1 VSPC-LDPC 串行级联码的系统结构

图2a和图2b分别给出了VSPC-LDPC级联码中VSPC的编码和解码电路结构。如图2a所示, 在编码端初始比特数据串行流入, 首先 a 置位, 使反馈移位寄存器移位, 同时 b 置位、 c 复位, 并保持此状态直至完成 L 个 K 维信息矢量 $\{U_i | i=1,2,\dots,L\}$ 的输出; 然后 b 复位、 c 置位以完成反馈移位寄存器中生成的 K 个校验比特 U_{L+1} 的输出, a 复位使反馈移位寄存器清零。至此, 该组VSPC编码操作结束。如图2b所示, 在译码端使用地址寄存器存储译码失败的LDPC码字标号。每个LDPC码字译码后, 译码

数据串行流入系统, a 置位, 使反馈移位寄存器移位; 如果LDPC成功译码, b 置位, 使LDPC译码数据与反馈移位寄存器中数据进行逐比特异或运算; 否则 b 复位。若无须对第 $L+1$ 个LDPC码字进行译码, 则在前 L 个码字的译码数据全部移入缓存后, a 、 b 复位, 数据从缓存中移出, 反馈移位寄存器清零, 完成本组数据操作; 若 L 个LDPC码字中有且仅有1个码字 C_k 译码失败, 且第 $L+1$ 个码字成功译码, 则在应移出第 k 个码字的译码数据时输出反馈移位寄存器中数据。在 L 个码字的译码数据全部移出后, a 、 b 复位, 反馈移位寄存器清零。至此, 该组VSPC译码操作结束。

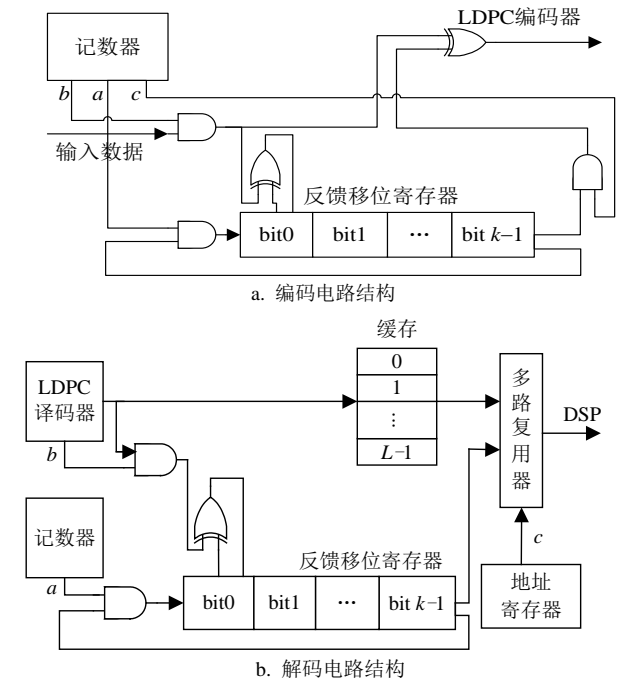


图2 VSPC-LDPC级联码中VSPC的电路结构

2 VSPC-LDPC码性能分析

在上述VSPC-LDPC串行级联码系统中, 假设在一定信道状态下, LDPC内码的译码失败概率为 P_d , 不可检测译码错误率为 P_{ud} , 则总译码错误率 $P = P_d + P_{ud}$ 。根据本文对编码系统的描述, 可知 L 个 K 维信息矢量在下面的情况下能完全正确地译码:

- (1) L 个LDPC码字皆能成功地译码, 且不存在不可检测错误。
- (2) L 个LDPC码字中有1个译码失败, 但第 $L+1$ 个码字能成功地译码, 且这 $L+1$ 个LDPC码字都不存在不可检测错误。

那么, L 个LDPC码字都能成功译码而 LK 长输入数据不能完全正确译码的概率为:

$$\tilde{P}_d^0 = \sum_{i=1}^L \binom{L}{i} P_{ud}^i (1-P)^{L-i} \quad (2)$$

L 个LDPC码字中仅有1个译码失败而 LK 长输入数据不能完全正确译码的概率为:

$$\tilde{P}_d^1 = \binom{L}{1} P_d \left[(1-P)^{L-1} P + \sum_{i=1}^{L-1} \binom{L-1}{i} P_{ud}^i (1-P)^{L-1-i} \right] \quad (3)$$

L 个LDPC码字中有 k ($1 < k \leq L$) 个译码失败, LK 长输入数据不能正确译码的概率为:

$$\tilde{P}_d^k = \binom{L}{k} P_d^k \sum_{i=0}^{L-k} \binom{L-k}{i} P_{ud}^i (1-P)^{L-k-i} \quad 1 < k \leq L \quad (4)$$

该系统中 K 维输入信息矢量的平均译码错误率为:

$$\bar{P}_e = \left(\sum_{i=1}^L i \binom{L}{i} P_{ud}^i (1-P)^{L-i} - \binom{L}{1} P_d (1-P) \right) / L + \sum_{k=1}^L \left\{ \binom{L}{k} P_d^k \sum_{i=0}^{L-k} (k+i) \binom{L-k}{i} P_{ud}^i (1-P)^{L-k-i} \right\} / L \quad (5)$$

对于广义BSC二元对称信道, 假设信道转移概率为 P_b , LDPC码的不可检测译码错误率可由下式确定:

$$P_{ud} = \sum_{j=1}^n A_j P_b^j (1-P_b)^{n-j} \quad (6)$$

式中 A_j 为LDPC码中重量为 j 的码字数目。文献[9]对LDPC码的不可检测译码错误进行了分析, 并指出在给定码率 R_L 下, 对于任意满足 $H(\omega^*/N) < 1 - R_L$ 的 ω^*/N , 总存在某个列重 t , 可使LDPC码的最小距离为 ω^* , 其平均不可检测译码错误概率随码长 N 的增加趋近于0。为方便起见, 对于有极低不可检测译码错误率的LDPC码, 本文用其译码失败概率 P_d 近似表示总译码错误率 P , 则可将式(5)简化为:

$$\bar{P}_e = \left(\binom{L}{1} (1-P_d)^{L-1} P_d^2 + \sum_{i=2}^L i \binom{L}{i} (1-P_d)^{L-i} P_d^i \right) / L \quad (7)$$

表1列出了在已知原LDPC码的译码失败概率情况下, 用式(7)计算得到的相应VSPC-LDPC串行级联码的译码错误率理论数据。如表1所示, 新级联码译码性能明显优于原LDPC码, 且其性能优化能力随原LDPC码译码失败率下降逐渐增强。 L 值越小, VSPC-LDPC串行级联码性能越优。但实际并非如此, 这是因为没有考虑VSPC外码对系统编码码率的影响。假定原LDPC码率为 R_L , 则VSPC-LDPC级联码的码率为 $R = LR_L / (L+1)$, R 随 L 值减小而下降。

表1 VSPC-LDPC串行级联码与原LDPC码的译码错误率理论数据比较

| P_d | $L=19$ | $L=29$ | $L=39$ | $L=49$ |
|----------------------|------------------------|------------------------|------------------------|------------------------|
| 1.0×10^{-4} | 1.90×10^{-7} | 2.90×10^{-7} | 3.90×10^{-7} | 4.90×10^{-7} |
| 1.0×10^{-5} | 1.90×10^{-9} | 2.90×10^{-9} | 3.90×10^{-9} | 4.90×10^{-9} |
| 1.0×10^{-6} | 1.90×10^{-11} | 2.90×10^{-11} | 3.90×10^{-11} | 4.90×10^{-11} |

3 计算机仿真

以随机构造的码长为3 008、码率为1/2、度数分布为 $\lambda(x) = 0.30013x + 0.28395x^2 + 0.41592x^7$ 、 $\rho(x) = 0.22919x^5 + 0.77081x^6$ 的非规则LDPC码^[10]作VSPC-LDPC级联码的内码, $L = 49$, $K = 1504$, 设定和积译码算法最大迭代次数为100。在BPSK调制下通过AWGN信道, 得到如图3所示的仿真结果。由图3可见, VSPC-LDPC码的仿真结果与在不考虑LDPC码的不可检测译码错误率情况下用式(7)计算的理论曲线吻合得较好。在低信噪比区域, 原LDPC码的译码失败概率很高, 对应的VSPC-LDPC级联码性能较差。但随信噪比的提高, 原LDPC码译码失败概率逐渐降低, VSPC-LDPC级联码的性能逐渐优于原LDPC码, 且其译码错误率呈加速下降趋势。在中低信噪比区域, VSPC-LDPC码性能随 L 增大而提高; 而在高信噪比区域, 其性能随 L 增大而降低。原LDPC码在译码错误率为 10^{-5} 时出现误码平台, 而理论曲线显示相应的VSPC-LDPC码的误码平台将低于 10^{-8} , 这说明VSPC-LDPC码对原LDPC码的误码平台起到了较大的改善作用。

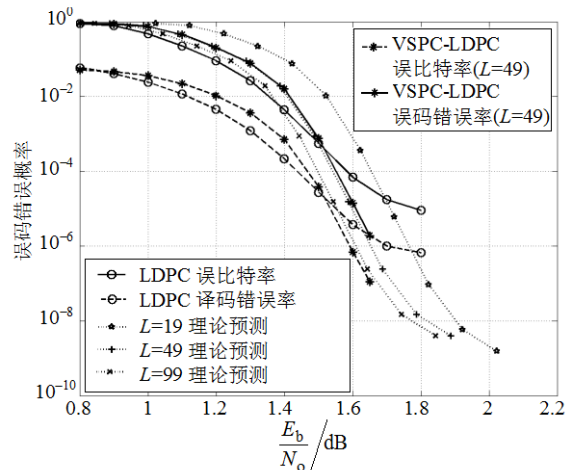


图3 VSPC-LDPC级联码在AWGN信道中的性能

以随机构造的码长1 020的(3,6)规则LDPC码为内码, $L = 49$, $K = 510$ 作VSPC-LDPC级联码。图4给出了该码在已知信道状态信息的Raleigh衰落信道

中,译码最大迭代次数为100的性能曲线。在误比特率为 10^{-6} 时,VSPC-LDPC码能比原LDPC码多提供0.5 dB以上的编码增益。仿真结果表明,最大迭代次数为20的级联码与最大迭代次数为100的原LDPC码的性能相近。因此,在保证编码性能优于原LDPC码情况下,可适当地减少级联码中LDPC码的迭代次数,从而降低系统的时间复杂度。

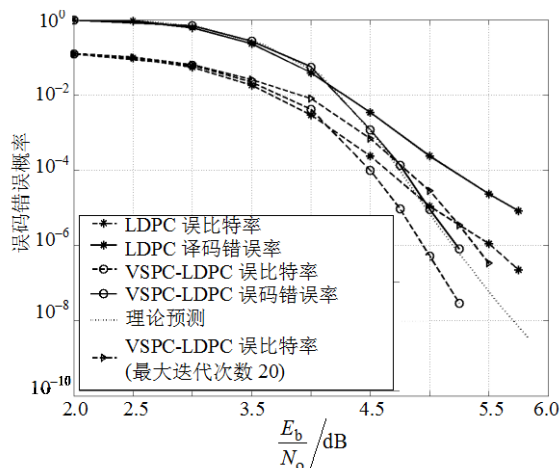


图4 VSPC-LDPC级联码在Raleigh信道中的性能

4 结束语

本文提出了基于LDPC码和纵向单奇偶校验乘积码的级联编码方法,给出了相应的实现电路图。在高信噪比区,该级联码可极大地提高原LDPC码的性能,且新编码方法硬件实现复杂度较低,译码速度快,能有效地改善原LDPC码的误码平层问题。

参 考 文 献

[1] GALLAGER R G. Low density parity check codes[M]. Cambridge MA: MIT Press, 1963.

- [2] 文 红, 符初生, 周 亮. LDPC码原理与应用[M]. 成都: 电子科技大学出版社, 2006.
WEN Hong, FU Chu-sheng, ZHOU Liang. Theories and applications of LDPC codes[M]. Chengdu: University of Electronic Science and Technology of China Press, 2006.
- [3] 李 强, 李少谦. 级联LDPC码和CCK的编码调制性能分析[J]. 电子科技大学学报, 2003, 32(5): 578-582.
LI Qiang, LI Shao-qian. Performance analysis of coded modulation concatenate CCK and low-density parity-check code[J]. Journal of University of Electronic Science and Technology of China, 2003, 32(5): 578-582.
- [4] KOU Y, LIN S, FOSSORIER M. Low-density parity-check codes based on finite geometries: a rediscovery and more[J]. IEEE Trans Infor Theory, 2001, 47(1): 2711-2736.
- [5] LI Z, CHEN L, ZENG L Q, et al. Efficient encoding of Quasi-Cyclic low-density parity-check codes[J]. IEEE Trans Commun, 2006, 54(1): 71-81.
- [6] MYUNG S, YANG K, KIM J. Quasi-Cyclic LDPC codes for fast encoding[J]. IEEE Trans Inform Theory, 2005, 51(8): 2894-2901.
- [7] KWON Y H, MI K O, DONG J P. A new LDPC decoding algorithm aided by segmented cyclic redundancy checks for magnetic recording channels[J]. IEEE Trans on Magnetics, 2005, 41: 2318-2320.
- [8] TOSHIHIKO M, MITSUHIKO O, TAKAO S. Efficiency of short LDPC codes combined with long Reed-Solomon codes for magnetic recording channels[J]. IEEE Trans on Magnetics, 2004, 40: 3078-3080.
- [9] 贺玉成, 杨 莉, 慕建军, 等. LDPC 码的不可检测译码错误分析[J]. 通信学报, 2002, 23(1): 1-7.
HE Yu-cheng, YANG Li, MU Jian-jun, et al. Analysis of undetected errors of decoding LDPC codes[J]. Journal of China Institute of Communications, 2002, 23(1): 1-7.
- [10] RICHARDSON T J, SHOKROLLAHI M A, URBANKE R L. Design of capacity-approaching irregular low-density parity-check codes[J]. IEEE Trans Inform Theory, 2001, 47: 619-637.

编辑 黄 莘